디스플레이 인터페이스에 적용된 6 Gbps급 송신기용 PLL(Phase Locked Loop) 설계

A Design of PLL for 6 Gbps Transmitter in Display Interface Application

유병재*, 조현묵***

Yu Byeong-Jae*, Cho Hyun-Mook***

Abstract

Recently, frequency synthesizers are being designed in two ways narrow-band loop or dual-loop for wide-band to reduce the phase noise. However, dual-loop has the disadvantage of center frequency mismatch and requiring an extra loop. In this paper, we propose a new structure that supports a range of 800Mhz ~ 3Ghz with multiple control of the single-loop frequency synthesizer without another loop. The control voltage of the VCO(coarse, fine) will be fixed, and finally the VCO will have a low Kvco. The frequency synthesizer is simulated using UMC 0.11 μ m process, proposed frequency synthesizer can be used in a variety of applications in the future.

요 약

최근 주파수 합성기는 협대역으로 설계를 하거나 광대역 주파수 합성기의 경우 이중루프구조로 설계하여 위상잡음을 줄이는 방식을 사용하고 있다. 그러나 이중루프구조의 주파수 합성기는 전압제어발진기의 중심주파수 불일치와 추가적인 루프를 필요로 하는 단점을 가지고 있다. 본 논문에서는 800Mhz ~ 3Ghz를 지원하는 새로운 구조의 단일루프 형태의 다중제어 광대역 주파수 합성기를 제안한다. 본 논문의 주파수 합성기의 전압제어발진기는 Coarse 제어 전압과 Fine제어전압을 고정되며, 최종적으로 낮은 Kvco를 가지게 된다. 주파수 합성기의 모의실험은 UMC 0.11 μ m 공정에서 검증하였으며, 제안된 주파수 합성기는 다양한 응용분야에 사용될 수 있을 것으로 기대된다.

Key words : frequency synthesizers, PLL, dual loop, wide band, Transmitter

I. 서론

최근 데이터 전송량의 폭발적인 증가와 함께 고속데

이터 전송기술이 중요시 되고 있다. 기본적으로 전송 대역폭의 한계를 극복하기 위해서 병렬데이터 전송방식으로 데이터의 전송속도를 높여 왔다. 하지만 병렬 데이터 전송방식은 채널간의 간섭과 스큐 등의 문제점으로 채널간의 거리 및 대역폭에 큰 제약이 가지게 된다. 또한 병렬데이터 전송방식에서 전송 데이터의 증가는 채널수의 증가와 부가적인 회로의 증가로 이어져 추가비용이 상승하게 된다. 그 때문에 고속의 광통신을 비롯한 네트워크 분야뿐만 아니라 칩과 칩 사이의 인터페이스 분야에서 병렬 데이터 전송의 한계를 해결하기 위하여 송신단에 병렬데이터를 직렬화(serialized)하여 시리얼 링크 채널을 통해 전송하고, 수신단에서는 제한된 채널로 전송된 클록 및 직렬데이터를 다시 병렬화(parallelized)하여 사용하는 방식

*DOESTEK Co., Ltd.

bjyu@doestek.co.kr 010-3717-6549

**公州大學校 電氣電子制御 工學部

School of Electrical, Electronics, and Control Engineering, Kongju University

hmchov@kongju.ac.kr

★ Corresponding author

※ Acknowledgment

Manuscript received Jan. 29, 2013 ; revised Mar. 11, 2013 ; accepted Mar. 11, 2013

으로 전환되는 추세이다[1].

최근에는 송신단에서 수신단으로 동기화 클록을 데이터와 같이 전송하는 방식뿐만 아니라 하드웨어의 복잡성을 줄이고 전력 및 가격 등의 이유로 데이터만을 송신단에서 수신단으로 보내고 수신단에서는 데이터만을 가지고 신호를 복원하는 클록 및 데이터 복원(Clock and Data Recovery : CDR)방식의 연구가 활발히 진행되고 있다. 수신단에서 CDR 방식으로 데이터를 복원한다면 송신단에서 데이터를 얼마나 정확하게 전송해 주느냐에 따라서 데이터 에러율이 결정될 가능성이 크다. 이처럼 고속 시리얼 데이터 통신은 정확한 클록을 바탕으로 신호를 전송해야하기 때문에 송신단의 주파수 합성기의 잡음이 매우 중요하다. 주파수 합성기에서 대역폭이 넓을수록 높은 K_{VCO} 가 필요하다, 하지만 높은 K_{VCO} 는 위상잡음증가와 루프필터 면적의증가 등의 단점이 있다. 이를 해결하기위해 일반적으로 이중루프의 주파수합성기를 사용하는 방법도 있다. 본 논문에서는 기존의 위상고정루프(Phase Locked Loop : PLL) 주파수 합성기와 다른 새로운 구조의 광대역 주파수 합성기를 제안한다.

II. 본론

1. 제안된 단일루프 다중제어 주파수 합성기

가. 주파수 합성기의 블록다이어그램

그림 1은 일반적인 주파수합성기의 블록다이어그램이며, 그림 2는 본 논문에서 제안하는 주파수 합성기의 블록 다이어그램이다.

Fig. 1. General frequency synthesizer block diagram

그림 1. 일반적인 주파수 합성기 블록다이어그램

제안된 주파수 합성기는 일반적인 주파수 합성기에 위상고정을 감지할 수 있는 위상고정감지기와 전압제어발진기(Voltage Controlled Oscillator : VCO)의 제어전압을 추적하여 고정하는 전압고정회로 등이 있으

Fig. 2. Proposed frequency synthesizer block diagram

그림 2. 제안된 주파수 합성기 블록다이어그램

며, 전하펌프와 루프필터의 제어전압을 전압고정회로 회로의 고정전압으로 전환해줄 제어부와 아날로그 스위치회로가 추가되었다.

나. 주파수 합성기의 위상고정과정

Fig. 3. Process of the frequency synthesizer

그림 3. 주파수 합성기의 위상고정과정

본 논문에서 제안한 주파수 합성기의 위상이 고정되는 과정은 그림 3과 같다. 일단 주파수 합성기의 동작이 시작되면 VCO의 Coarse 제어전압을 제어하게 된다. Coarse 제어전압이 위상고정이 된 후 전압 고정 회로가 Coarse 전압을 추적하며 추적된 전압은 고정되어 Coarse 제어전압으로 사용된다. 이후 제어전압은 스위치를 통하여 Fine1 제어전압에 인가되어 주파수 합성기가 다시 위상이 고정될 때까지 Fine1 제어전압을 제어하게 된다. Fine1도 마찬가지로 위상이 고정된 이후에 전압고정 회로가 Fine1을 추적하여 제어전압을 대체하게 된다. 최종적으로 제어전압은 Fine2에 인가되어 위상이 고정되며 모든 주파수 합성기의 동작을 완료하게 된다. 그림 4는 VCO의 제어전압과 Coarse, Fine1 전압의 시뮬레이션 결과이다.

Fig. 4. Control voltage and Fixed Coarse, Fine1 voltage
그림 4. 제어전압과 고정된 Coarse, Fine1 전압

2. 제안된 전압제어발진기와 듀티비 보정회로

Fig. 5. Proposed voltage-controlled oscillator cell structure
그림 5. 제안된 전압제어발진기 CELL 구조

그림 5는 제안된 VCO CELL의 구조이다. 제안된 VCO는 기존의 Wide Range VCO Cell과 같은 구조를 기반으로 설계하였다[2]. 기존의 VCO와 다른 점은 서로 다른 사이즈의 PMOS를 병렬로 나란히 배치하여 3개의 제어선으로 VCO를 제어할 수 있으며 각기 다른 K_{vco} 를 가짐으로써 VCO의 출력주파수를 세밀하게 조정할 수 있다. 표 1은 Coarse 제어전압에 따른 K_{vco} 이며, 그림 6과 7은 Coarse 제어전압과 Fine2의 제어전압에 따른 주파수 변화그래프이다.

Table 1. The K_{vco} of Coarse according to PVT
표 1. 공정, 전압, 온도에 따른 Coarse K_{vco}

PVT	Max	Min	K_{vco}
SS/1.08v/85°C	3.65 GHz	201 MHz	5.11 GHz
TT/1.2v/25°C	4.52 GHz	376 MHz	5.92 GHz
FF/1.32v/-40°C	5.35 GHz	686 MHz	6.19 GHz

Fig. 6. The K_{vco} Graph according to Coarse
그림 6. Coarse 전압에 따른 K_{vco}

Fig. 7. The K_{vco} Graph according to Fine2
그림 7. FINE2 전압에 따른 K_{vco}

Fig. 8. Duty Rate Compensation Circuit
그림 8. 듀티비(Duty Rate) 보정회로

기존의 VCO는 제어할 때 바이어스에 따라 듀티비가 달라지게 되는데 듀티비를 보정하기 위해 최종단에 그림 8과 같이 듀티비 보정회로를 사용하였다.[3]

PVT에 따른 듀티비의 변화율을 절반 듀티비 기준으로 표 2에 나타내었다.

Table 2. The duty ratio according to PVT
표 2. PVT에 따른 듀티비의 변화

PVT	TT/1.2v/25°C	SS/1.08v/85°C	FF/1.32v/-40°C
variation	0.4%	0.25%	0.95%

출력에 글리치 잡음을 발생시킨다. 발생된 글리치 잡음은 VCO의 제어전압에 영향을 끼쳐 위상잡음을 발생 시킬 수 있으므로 DAC가 고정된 이후 래치비교기의 클록을 차단 할 수 있도록 하였다.

III 모의실험결과

그림 12, 13은 800 MHz, 3GHz 일 때 주파수 합성기의 모의실험에서 주기의 첨두지터(Peak to Peak Jitter)를 보기위한 그래프이다.

Fig. 12. Period p-p value graph @800 MHz
그림 12. Period 첨두값 그래프 @800 MHz

Fig. 13. Period p-p value graph @3 GHz
그림 13. Period 첨두값 그래프 @3 GHz

그림 14는 3 GHz일 때의 주파수 합성기의 출력을 아이다이아그램으로 나타낸 것이고, 그림 15는 제안

된 주파수 합성기를 직렬화기에 적용하여 직렬화기의 출력 신호를 아이다이아그램으로 나타낸 것이다.

Fig. 14. Frequency synthesizer output eye diagram
그림 14. 주파수 합성기 출력 아이다이아그램

Fig. 15. Serializer output eye diagram
그림 15. 직렬화기 출력 아이 다이아그램

표 3은 본 논문에서 제안하는 주파수 합성기의 시뮬레이션 성능 요약을 나타내고 있다. 공급전압에 임의로 잡음을 넣는 방식을 사용하지 않고 본딩와이어 패키지 모델링을 회로에 추가하여 공급전압의 노이즈를 고려한 시뮬레이션 하였다.

Table 3. Summary of simulation performance

표 3. 시뮬레이션 성능 요약

항목	성능
공정	UMC 0.11 μ m
공급전압	1.2 V
주파수 범위	800MHz~ 3GHz
Period Jitter	1.2342 p (PK2PK)
위상고정시간	37 μ s
소모전력	23 mA @3GHz

IV 결론

본 논문은 고속 직렬 데이터 통신에 적용된 주파수 합성기를 제안하고 모의실험을 하였다. 주파수 합성기의 주파수 출력 범위는 800 MHz ~ 3 GHz 까지이며 광대역을 지원하기 위해서 주파수 합성기를 이중루프를 사용하지 않고 단일루프를 사용하면서 3개의 전압제어발진기의 제어전압을 제어할 수 있는 광대역 주파수 합성기를 제안 하였다.

일반적인 위상고정루프에서 사용되는 전압제어발진기, 위상비교기, 전하펌프, 루프필터이외에 3개의 전압제어발진기의 제어전압을 사용할 수 있도록 2개의 제어전압고정회로와 위상고정을 감지할 수 있는 위상고정감지기 등을 제안하였으며 전반적인 위상고정과정을 제어할 수 있는 제어부와 스위치 등이 추가되었다.

특히 위상고정감지기의 경우 Coarse와 Fine1의 위상고정감지의 감도를 다르게 적용하여 Fine1에서 잘못된 위상고정감지를 미연에 방지 하였다. 그리고 제어전압고정회로는 일반적인 카운터 DAC와 유사하지만 입력전압범위와 높은 대역폭을 가지는 래치비교기가 사용 되었다. 래치비교기는 출력이 클럭이기 때문에 기타 몇 개의 부가적인 회로들이 추가하여 일반적인 카운터 DAC와 동일한 동작을 하도록 설계하였다.

제안된 주파수 합성기회로는 UMC 0.11 μ m 공정 파라미터를 바탕으로 설계 하였으며 모의실험은 실제 상황과 유사하도록 전압을 처음 100 ns 의 시간동안 0V에서 1.2V로 서서히 전압을 인가하였고, 전압인가 후 모든 회로에 사용된 플립플롭을 초기화하기 위해 파워 온 리셋회로를 추가하였다. 모의실험결과 주파수 합성기의 출력 주파수가 3 GHz일 때 1.2342 ps Period jitter가 발생하였다. 또한 최종적으로 주파수 합성기의 출력을 6 Gbps 디스플레이 인터페이스용 직렬화기에 적용하여 모의실험 및 검증하였다.

본 논문에서 제안하는 주파수 합성기는 이중루프를 취하지 않고 3개의 VCO 제어전압을 제어함으로써 Kvco를 낮추고 광대역을 지원 할 수 있는 장점을 가지며 향후 다양한 응용분야에 사용될 것으로 기대된다.

References

- [1] Gwon Won-Ok; Park Kyung; Kim Myoung-Jun, "high-speed serial transceiver built-in FPGA technology trends", Weekly Technology Trends 1110, pp.16-24.
- [2] Elkader, S.A. ; Dessouky, M. "A 10 GHz Ring VCO Using a Wide Range Delay Cell Architecture",

- Microelectronics (ICM), International Conference on, 2009.
- [3] Maneatis, J.G. "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques", Solid-State Circuits, IEEE Journal of, 1996.
- [4] P.Dudek; S.Szczepanski; J.V. Hatfield, "Ahigh-resolution CMOS time-to-digital converterutilizing a Vernier delay line," IEEE J. Solid-State Circuits, vol. 35, no. 2, pp. 240 - 247, Feb. 2000.
- [5] Marcel J.M. Pelgrom, Analog-to-Digital Conversion, Springer, p.304
- [6] Sung Ba-Ro-Saim; Kim Jong-In, Ryu Seung-Tak, "Low power high speed comparator for low supply application", IIEEK, 2010

BIOGRAPHY

Yu Byeong-Jae (Member)

2008 : BS degree in Information and Communication Engineering, Kongju University.

2012 : MS degree in Information and Communication Engineering, Kongju University.

2011~present : Research Engineer, DOESTEK.

Cho Hyun-Mook (Member)

1989 : BS degree in Electronic Engineering, Korea University.

1991 : MS degree in Electronic Engineering, Korea University.

1995: PhD degree in Electronic Engineering, Korea University.

1995~present : Professor, Electrical, Electronics, and Control Engineering, Kongju University