인공위성용 3차원 메모리 패키징 기술

임재성[†] · 김진호 · 김현주 · 정진욱 · 이 혁 · 박미영 · 채장수

3D SDRAM Package Technology for a Satellite

Jae-Sung Lim[†], Jin-Ho Kim, Hyun-Ju Kim, Jin-Wook Jung, Hyouk Lee,
Mi-Young Park and Jang-Soo Chae

(2012년 3월 23일 접수: 2012년 3월 28일 수정: 2012년 3월 29일 게재확정)

Abstract: Package for artificial satellite is to produce mass production for high package with reliability certification as well as develop SDRAM (synchronous dynamic RAM) module which has such as miniaturization, mass storage, and high reliability in space environment. It requires sophisticated technology with chip stacking or package stacking in order to increase up to 4Gbits or more for mass storage with space technology. To make it better, we should secure suitable processes by doing design, manufacture, and debugging. Pin type PCB substrate was then applied to QFP-Pin type 3D memory package fabrication. These results show that the 3D memory package for artificial satellite scheme is a promising candidate for the realization of our own domestic technologies.

Keywords: Artificial satellite, synchronous dynamic RAM, QFP-Pin type 3D memory package, space technology, Pin type PCB substrate

1. 서 론

미국의 시장조사 기관인 아이서플라이(iSuppli)사에 따르면 DRAM(dynamic random access memory) 세계시장 점유율은 한국의 삼성전자와 하이닉스반도체가 2008년 2분기 DRAM 매출에서 각각 1위와 2위를 달성하였으며, 우리나라 기업이 전 세계 DRAM 시장 점유율은 50%라고 보고된 바 있다. DRAM 중 SDRAM(synchronous dynamic random access memory)은 반도체 시장에 약 9%를 차지하고 있으며, 대부분의 사용분야가 개인용 컴퓨터를 시작으로 우주용, 군사용 등 다양한 IT 기기로 확대되고 있다. 우주용 SDRAM은 단일패키지를 적층하는 구조로 메모리 용량을 증가시키는 형태로 개발되고 있다.¹⁻²⁾ 이 구조는 소형화 및 경량화에 많은 어려움이 있으며, 모듈이 구동되면서 발생하는 열에 대한 방출 이슈가 있다. 또한, 위성통신을 고려하여 고해상도화 및 고속촬영 시 발생하는 이미지 용량을 고려하여 고용량화에 대한 연구개발이 필요하다.³⁾ 우주용 메모리 패키지의 요구조건으로는 진동과 같은 외부환경에 기계적 내성이 강한 전기접속 패키지 기술과 전자기파(우주선) 방사에 대한 차폐 기능도 포함하는 패키지 기술이 개발되어야 한다. 그러나 우주 공간에서의 고장 메카니즘 분석기술의 한계로 국내에서는 이러한 고신뢰성을 요구하는 우주프로그램에서는 한동안 배제되어 있었다. 최근 마이크로 패키징 기술 도입

으로 플라스틱 소재 개발과 이슈였던 기계적 진동, 습기 및 온도 때문에 발생하는 스트레스에 의한 이슈가 몰딩 소재 및 다이 코팅 소재의 개선 등 취약점들이 상당 부분이 개선되었고 부족했던 신뢰성 자료들이 보완되고 있다.

국내에 우수한 반도체 칩 제조사 및 패키징 전문회사가 있음에도 불구하고, 우주용 메모리 모듈은 전량 수입에 의존하고 있는 실정이다. 국내에서 개발되는 위성의 대부분은 우주 임무용 소형과 대용량의 특성을 포함하는 SDRAM 모듈로 프랑스의 3D Plus사 제품을 사용하고 있다.⁴⁾

3D Plus사는 상업용 및 과학용 정지위성과 같은 우주용 제품과 우주에 대한 과학적 탐사용으로 적합한 방사능 내성을 포함하는 상업용 메모리 모듈을 발표하였다. 또한, 3D Plus는 3D 전자 패키징 기술의 선구자이며, 이 기술을 통해 능동소자, 수동소자, 광전자 및 MEMS 콤포넌트 패키징을 소형화한 3D 모듈을 설계하고 생산하고 있다. 특히 표준적으로 생산되는 제품뿐 아니라, 고객의 요구에 맞는 다양한 솔루션을 제공함으로써 국내 KOMPSAT(아리랑 위성) 2호와 3호, STSAT(과학기술 위성) 1호를 비롯하여 유럽의 Rosetta, TerraSar, Mars Express 등의 프로젝트에 직간접적으로 참여하고 있다. Fig. 1은 우주용 3D Plus사의 적층형 메모리 패키지의 공정 흐름도이다.⁴⁾ 특이사항으로는 적층하고 몰딩하여 패키지 전면에 Au 소재로 코팅한다는 것이다. 그 후 레이저를 사용하여 pattern하고, 이를 edge traces로 사용하여 제품으로 완성한다. Fig. 2는 다

[†]Corresponding author

E-mail: jaesunglim@hanamicon.co.kr

Fig. 1. Process flow of 3D memory package for a satellite.⁵⁾

Fig. 2. The manufacture of 3D memory package for a satellite.⁵⁾

Table 1. Status and direction of research and development

연구수행 기관	연구개발의 내용	연구개발성과의 활용현황
3D Plus	- 우주 방사선 영향 고려 - 최대 용량: 4 Gbits - 크기: 25.6×11.0×11.1 mm ³ - 무게: 6.95 g+a (a: 차폐 효과) - 특징: TSOP 8개를 적층한 형태	양산을 통해 여러 위성에서 사용되고 있음 (세계 시장 점유: 95%)
	- 우주 방사선 영향 고려 안함 - 최대 용량: 2 Gbits - 크기: 22.9×17.2×5.84 mm ³	양산을 통해 여러 위성에서 사용되고 있음

양한 형태의 3D Plus 제품들이다. Table 1은 선행사 연구 개발 내용을 정리하였다.⁵⁻⁸⁾

우주용 메모리 패키지를 개발하고 있는 국내 유일한 기업으로는 반도체 패키지 전문회사인 하나마이크론이 있고, 자체 보유하고 있는 칩 적층 기술, SiP 기술을 포함하는 다단 칩 적층 기술, leadframe을 이용한 적층 기술 등을 융합하여 현재 KAIST 인공위성센터와 국산화를 위한 연구가 진행되고 있다. 메모리 칩 적층을 위해서는 단위 공정기술이 필요하며, 칩 적층을 위한 칩 thinning 기술 (Back-grinding), 기판에 칩 적층 기술 wire로 전기적 연결 기술, EMC(epoxy molding compound)라는 봉지재로 밀봉하는 기술, 그리고 보드에 견고하게 실장되도록 lead를 형성하는 기술이 필요하다. 이러한 일련의 공정기술들이 확보되어야 하며, 경험이 풍부한 디자인 설계기술 역시 필요하다. 우주용으로서 요구조건에 맞는 자체 신뢰성과 방사선 시험에 대한 검증이 필요하며 이것은 국내 전문회사들이 협업하여 우주용 메모리 모듈 분야에 집중한다면 고용량 및 고성능을 가지는 제품 개발이 가능하리라 판

단된다. 그리고 비싼 가격으로 해외기업이 독점하는 시장을 국내 기술력으로 진입이 가능하다면 국가 경쟁력이 그만큼 올라가는 효과가 있을 것으로 본다. 본 고에서는 우주용 메모리 패키지에 필요한 각각의 요소기술들에 대해서 정리해 보고자 한다.

2. 본 론

패키지 설계 및 시제품 구현을 위해서 고려해야 될 기술적 내용은 pin type PCB 디자인, 외부보호를 위한 molding 기술 및 견고한 전기접속을 위한 lead 형성 공정 개발 및 우주 환경을 고려한 전기적 성능 검증이 주요기술이라 하겠다. 고용량화 및 소형화로 인공위성의 부피 감소 및 무게감소로 발사비용 절감 효과를 목적으로 또한 적층 기술은 여러 응용분야로 적용이 가능할 것으로 생각된다.

2.1. QFP-pin type 3D memory 패키지 제품 개발

하나마이크론사는 우주용 소형, 대용량 및 고신뢰성 SDRAM 모듈을 국산화 하기 위한 연구를 진행하고 있으며, QFP-pin type 3D memory의 특징으로는 용량 4Gbits 이상, 크기 20×14×2.71 mm³ 이하, 무게 6g 이하로 반도체 패키지 기술을 이용하여 하나의 패키지에 여러 개의 SDRAM 칩을 적층한 형태이다. Fig. 3은 우주용 메모리 모듈 개발을 위해 자체개발된 QFP-pin type 3D memory package 구조를 보여주고 있다.

반도체 패키지 설계는 회로도를 바탕으로 반도체 칩과 IC substrate 또는 leadframe이 전기적으로 연결될 수 있도록 회로를 구성하는 작업이라고 볼 수 있다. 반도체 패키

Fig. 3. Schematic diagram of QFP-Pin type memory package.

지의 종류에 따라 디자인 절차는 약간씩 달라 질 수 있으나 크게 netlist(회로도) 입수, 검토, data 입력, layout, gerber 출력, DRC(design rule check), 도면작성 및 승인 등으로 나누어 질 수 있다. Netlist에는 die 크기, die pad 좌표 등에 대한 정보 및 die pad와 ball 또는 lead와의 연결 정보가 포함되어 있으며, 이를 바탕으로 설계 tool에 이러한 정보를 입력하는 단계로부터 패키지 설계가 시작된다. Single-chip인 경우 보통 die를 패키지 중앙에 배치하며, multi-chip인 경우 stack 및 side by side 구조로 die를 배치한다. Die 배치가 완료되면 substrate와 chip을 wire 또는 solder bump ball로 전기적 연결을 위해 substrate에 bond finger 또는 bump pad를 형성한다. 그 후 회로도에 맞추어 bond finger와 ball을 trace로 연결하기 위해 routing을 진행한다. 여러 개의 베어 칩을 적층하여 우주용 소형·대용량 SDRAM 모듈을 개발할 때, 적층 기술 자체도 중요하지만, 단지 적층 기술만으로는 메모리 소자로서의 역할을 할 수 없다. 각 메모리 칩이 활성화될 수 있도록 전원을 인가받고, 타 유닛이 메모리에 접속하여 데이터를 읽고 쓸 수 있도록 신호선이 마련되어야 한다. 이 신호선은 반도체 칩 상에 있는 본드 패드와 패키지 외부에 있는 pin까지를 연결하는 도선이 된다.⁹⁾ 본 연구에서는 리드프레임을 사용하는 QFP-pin type 패키지로 선정하였다.

2.2. QFP-pin type 3D memory 요소 기술

공정 순서를 보면, 설계된 내용대로 반도체 칩을 적층

하고, 칩의 본드 패드와 회로 보드, 리드 프레임에 걸친 신호선을 연결하고 몰딩하며, 이후 보드설장을 위해 lead 모양대로 singulation하여 패키지를 완성한다. 핵심 기술로는 웨이퍼 후면가공(wafer backgrinding), wafer dicing, 칩 적층(chip stacking), 와이어 본딩(wire bonding) 기술, molding 및 singulation 기술 등이 있다. 다음은 핵심공정의 각 요소기술에 대해서 살펴보겠다.

2.2.1. Wafer backgrinding

Wafer backgrinding은 wafer 두께를 패키지 규격에 맞추어 비기능 부분인 뒷면을 연마하여 갈아내는 공정을 말한다. Backgrinding 전에 wafer의 윗면을 보호하기 위한 보호용 tape를 붙이며, backgrinding 후에는 wafer saw가 가능하도록 mount tape를 wafer ring과 같이 붙인다. 700 μm 이상의 SDRAM wafer를 backgrinding하여 125 mm 두께로 가공하였다. Backgrinding 하기 위해서는 grinding wheel이 필요하며 Z1(거친 grinding), Z2(미세 grinding) 및 polishing으로 3단계 가공을 한다. Fig. 4는 거칠기가 다른 wheel을 사용했을 경우의 표면형상을 보여준다. 웨이퍼 후면 절삭 공정의 주요 parameter로는 연마 회전속도, 휠 속도, DI water의 온도와 유속 등이 있으며, 이러한 parameter들에 의해서 품질이 결정된다. backgrind 공정 중에 발생할 수 있는 대부분의 불량은 wafer crack이며 가장자리가 깨지거나 실금이 가는 것이 보통이다. 본 실험에서는 125 $\pm$ 10 μm 로 설계하였으며 실제 측정된 결과 평균값이 124.69 μm 로 양호한 수준임을 확인하였고, polishing 이후 표면거칠기(roughness)는 37.54 nm의 우수한 값으로 확인되었다.

2.2.2. Wafer saw

원하는 두께로 backgrinding된 wafer를 단위 칩 형태로 분리를 위해서 diamond blade를 사용하여 dicing을 진행한다. Wafer가 카세트(wafer 보관)에서 공급되면 optical camera로 칩 내부의 독특한 pattern을 인식하여 정렬시킨다. 그리고 blade를 이용하여 최적화된 조건으로 chuck table이 움직이면서 sawing하게 된다. Strret line으로 잘려진 wafer는 DI water로 세척되어 언로딩 된다. 이때 blade는 얇은 wafer(150 μm 이하)의 경우에 칩파괴를 막기 위해서 Z1, Z2를 사용하여 step cut방식으로 자르는데, feed

Fig. 4. A SEM images of wafer backgrinding and polishing.

Fig. 5. Optical images of wafer saw.

speed, RPM 등이 매우 중요한 parameter로 작용을 한다. Wafer saw 공정에서 발생할 수 있는 주요 불량은 칩파괴 및 mis-align이다. Fig. 5는 고배율 현미경으로 칩파괴 및 kerf width를 확인하였고, kerf width 경우 평균값이 $31.45\ \mu\text{m}$ 로 측정되었다.

2.2.3. Die attach and die stack

Die attach 공정은 실리콘 칩을 PCB 또는 leadframe 기판에 정해진 die pad 위치에 고정시키는 공정이다. Die pad에 정확히 제어된 양 만큼 adhesive 소재로 분사하고 웨이퍼에서 die를 pick-up하여 접착시킨다. Die pick-up의 경우 collet이라는 rubber 성분의 pick-up tool을 사용하며 웨이퍼를 잡고 있는 마운터 테이프 밑으로는 eject pin을 사용하여 올려주면서 쉽게 테이프와 칩이 분리되도록 한다. 기판(PCB 또는 leadframe)은 자동으로 레일로 투입이 되고, optical camera로 위치를 정확히 인식시킨다. 그리고 액상 접착제(adhesive 소재)를 기판의 정해진 pad 위치에 일정한 모양으로 분사시킨다. 이후 die를 die pad에 위치시킨다. 이러한 공정을 자동으로 해주는 설비를 die bonder라고 한다. 사용되는 접착제는 대부분이 epoxy가 주성분이며, 고신뢰성 및 작업성 향상을 위해 polyimide 등의 여러 성분들을 합성한 hybrid type을 주로 사용한다.

Die attach 공정상 주의해야 할 품질 특성은 BLT(bond line thickness)라고 불리는 epoxy 두께와 칩 옆면으로 올라오는 fillet height 이다. 대부분의 BLT는 작업성 및 신뢰성을 위해 $13\sim 75\ \mu\text{m}$ 정도로 관리하고 fillet height는 50% 정도로 관리한다. 만약 fillet height가 높으면

adhesive 소재가 칩 윗면으로 침범하여 오염을 초래할 수 있다.

그리고 die attach 공정이 끝나면 cure oven에 넣어서 일정한 온도와 시간으로 경화하는 공정을 거친다. 이때 경화방법에 따라 oven cure와 snap cure 두가지 방법이 있는데, 본 SDRAM 모듈 제작에는 oven cure를 사용하였다. 그리고 칩 적층을 위해서는 액상의 adhesive와는 별도로 WBL(wafer backside lamination)이라는 일정한 두께의 film 형태의 adhesive 소재를 사용하게 된다. 극히 작은 filler 함량으로 tape 형태로 wafer의 뒷면에 laminate되어 있으며, 온도와 압력으로 칩 위에 접착시킨다. 적층되는 칩의 크기가 같을 경우는 FOW(flow on wire 또는 film on wire)라는 두꺼운 film type adhesive 소재를 사용한다. 통상적인 공정능력은 칩 두께 $50\ \mu\text{m}$ 정도까지 가능하며, pick-up시 특별한 kit가 필요하다. 특히, 본 실험에서 중요하게 고려된 epoxy/FOW film thickness, die tilt, epoxy coverage, fillet height 측정 값들은 Fig. 6에서 보여주는 것과 같이 설계시 고려된 오차 값 안에서 확인되었다.

2.2.4. Wire bonding

Wire bonding은 반도체 칩의 본드 패드와 패키지 외부와 연결된 패드를 매우 미세한 배선으로 전기적으로 접속하는 공정이다. 사용되는 wire는 보통 Au(gold) 계열로 $16\sim 30\ \mu\text{m}$ 정도의 작은 직경을 사용한다. Wire bonding은 두 가지로 방법으로 나뉘는데, ball bonding(열압착법)과 wedge bonding(초음파법)이다. 통상적으로 ball bonding은 wire 끝을 전기방전으로 용융시켜 볼을 형성하기 때문에 산화되지 않는 Au wire가 대부분 사용되고, wedge bonding은 Al(Aluminium)를 사용하여 초음파로 접합하는 것으로 패드와 접합이 Al-Al이 되어 금속간 화합물이 형성되지 않으므로 고신뢰성 접합을 얻을 수 있다. 본 실험에서는 ball bonding을 사용하며, 칩 패드의 크기를 감안하여 적당한 크기의 wire를 선정하였다. 그리고 고온에서 전기방전이 일어나므로 캐피러리(capillary)라고 하는 세라믹으로 제작된 tool을 사용한다. Wire bonding 공정에서 발생할 수 있는 주요 불량 유형은 ball과 PCB finger 쪽의 낮은 접착력으로 인한 wire lift(와이어 떨어짐)이다. 특

	PCB	DIE
Epoxy line thickness	Min. $12.5\ \mu\text{m}$ / Max. $75\ \mu\text{m}$	Min. $45\ \mu\text{m}$ / Max. $70\ \mu\text{m}$
Die tilt	Max. $62.5\ \mu\text{m}$	Max. $25\ \mu\text{m}$
Epoxy coverage	Min. 75%	-
Fillet height	Min. 25% / Max. 95%	-

Fig. 6. Optical microscopy image of die attach and wire bonding.

Fig. 7. Optical microscopy and SEM images of wire bonding using FOW.

Fig. 8. Bonding WPT and BST images.

성값으로 WPT(wire pull test)와 BST(ball shear test)를 측정하여 접착강도를 측정하며, 만약 규정 값에 미달할 경우, bonding parameter를 수정하여 강도를 높여야 한다. 본 실험에서도 bonding parameter를 최적화하기 위해서 DOE(design of experiment) 통계 기법을 사용하였으며, BST 및 WPT 측정하여 최적의 parameter를 찾았다. Fig. 7은 optical microscopy 및 SEM으로 확인된 wire bonding 형상을 보여주고 있다.

Wire bonding 공정 후 bonding BST 및 WPT 테스트를 진행하였으며, 각각의 이미지와 데이터를 fig. 8과 table 2

Table 2. Evaluation of Bonding WPT and BST

	Ball Shear Test (gram)				Wire Pull Test (gram)			
	MIN.	MAX.	AVG.	STDEV	MIN.	MAX.	AVG.	STDEV
PCB	22.7	32.9	27.14	2.59	4.4	5.8	5.04	2.07
Die 1	24.7	33.8	29.07	2.71	4.5	6.0	5.23	0.44
Die 2	24.1	32.1	27.70	2.07	4.4	5.9	4.96	0.37
Die 3	25.2	32.3	27.91	1.83	4.1	5.9	5.05	0.40
Die 4	24.6	33.1	27.95	1.85	4.8	5.9	5.26	0.34

에 나타내었다. 같은 크기의 칩을 4단 적층해야 하므로 FOW film을 적용하였으며, 이를 위해서는 reverse bonding(PCB finger에서 ball을 형성하여 chip으로 loop를 만드는 방식)을 적용해야 하며, 이때 loop height control이 매우 중요하게 된다. FOW film을 약 60 μm 로 정하면 loop height는 maximum 55 μm 으로 제어해야 하는데, 만약 더 높게 되면 칩간의 short가 발생하게 되어 불량율을 야기시킨다.

2.2.5. Molding

Die attach 및 wire bonding 공정이 완료되면, EMC를 사용하여 봉지 처리함으로써 패키지를 보호하는 molding 공정이 진행된다. 열, 습도, 물리력 및 화학적인 인자들로부터 보호하는 역할을 한다. 더불어 외부의 충격으로부터 Au wire와 칩을 보호하고 전기적 절연효과를 가지며 반도체 구동 시 열방출 효과를 어느 정도 갖게 하며, 운송 및 handling 시 발생할 수 있는 damage로부터 보호한다. 일반적으로 사용되는 방식은 EMC를 녹여서 압력으로 cavity 내로 주입되어 충전하는 방식이다. 주요 parameter로는 transfer speed/pressure, clamp pressure, 온도 및 cure 시간 등이다. Mold 공정에서 발생할 수 있는 주요 불량은 미충진, wire sweeping 및 mold void이다. Wire sweeping은 X-ray inspection 설비로 측정이 가능하며, mold 이후에 바로 비파괴 검사로 관측이 가능하다. 그리고 mold void는 초음파를 이용하여 내부 void를 관측할

Fig. 9. Wire sweeping inspection(top) Mold void/delamination inspection(down).

Fig. 10. Cross section view using a SEM.

수 있는데, C-SAM 설비를 사용한다. Fig. 9와 같이 X-ray로 관측이 되면 wire short 현상 및 open 현상을 관찰할 수 있다. 그리고 내부 delamination(박리현상)의 발생유무는 SAT 초음파 측정으로 알 수 있다.

2.2.6. Singulation and cross section view

Strip 상태의 leadframe을 각 unit 사이의 damber를 절단하고, 독립된 개체로써 기능을 수행할 수 있도록 패키지 형태로 만들어 메인보드에 실장이 용이하도록 제품을형상화시키는 공정이다. Wafer saw 공정과 유사하며, diamond blade를 사용하여 절단한다. 설비를 보면 loader, saw Part, vision, unloader 등으로 구성되어 있다. 기타 공정으로 wire bonding과 mold 공정 전에 PCB와의 접착력을 향상시키기 위해 실시하는 plasma treatment, mold 이후 mold 윗면에 LASER를 사용하여 marking하는 공정이 있다. Fig. 10은 완성된 패키지의 SEM 장비로 확인된 단면 이미지이다.

2.2.7. Package warpage

Board mount 공정성을 확인하고자 packaging된 sample의 warpage를 측정하였다. 측정설비는 shadow moire 원리를 이용한 Akrometrix TherMoire AXP 장비로 측정하였으며, 측정범위는 25 °C에서 260 °C까지 측정하였다.¹⁰⁾ 25 °C에서 20 μ m 내외의 warpage를 보였으며, 260 °C에

Fig. 12. Electrical evaluation using Kalos2 and test board.

서는 80 μ m 정도로 양호한 상태로 확인되었다.

2.2.8. Electrical evaluation

시제품 완료후 제품이 정상 작동하는지 전기적 test가 진행되었다. 기능검사는 O/S(leakage 포함), current 및 normal function test 순으로 진행하였으며, test board를 제작하여 memory package 전용 계측장비인 Kalos2로 진행하였다.

여기서, Icc2p 와 Icc2ps는 standby current측정으로 진행성 불량에 대한 screen을 목적으로 test하는 항목이고, Icc6는 self refresh current로 DRAM의 self refresh 동작을 수행할 때 발생하는 current를 check한다. 그리고 X-scan은 가장 기본적인 동작의 x 방향으로의 cell scan을 해가면서 test 진행하여 기본동작 불량 제품을 screen하는 항목이다. Kalos2 계측장비로 테스트를 진행한 결과, 측정된 데이터는 table 3의 조건을 모두 만족하여 pass 되었다.

3. 결 론

본 연구의 최종 목표는 우주용 소형, 대용량 및 고신뢰성의 QFP-Pin type 3D memory package의 제작 공정개발 및 완제품화이다. SDRAM 모듈의 용량은 최소 4 Gbits 이상이고 크기는 20×14×2.71 mm³ 이하이며 무게는 방사선 차폐를 고려하지 않은 경우 6 g 이하이다. 우주용 고용량 메모리 필요에 따라 4 Gbits까지 용량을 늘리기 위해서는 chip stacking 및 package stacking 기술이 필요하며, 이를 구현하기 위해서는 설계, 제작, 디버깅 및 신뢰성 과정을 거치며 적합한 공정성을 확보하였다. 본 연구를 통해 국

Fig. 11. Warpage of 3D package.

Table 3. Electrical evaluation standard of Kalos2**TEST ITEMS[O/S & LEAK]**

TN	PIN	FORCING	VCC	LOW LIMIT	HIGH LIMIT	NAME
1	All Pins	10UA	0.00V	0.2V	1.0V	OPEN

TN	PIN	VCC1	VCC2	LOW LIMIT	HIGH LIMIT	NAME
50	All Pins	1.80V	1.80V	-0.3uA	0.3uA	ILEAK-H
120	All Pins	0.00V	1.80V	-0.3uA	0.3uA	ILEAK-L

TEST ITEMS[CURRENT]

TN	PATTERN	VCC	RATE	LOW LIMIT	HIGH LIMIT	NAME
301	ICC2_PAT	2.00V	20.0NS	5MA	75MA	ICC2P_VCC
301	ICC2_PAT	2.00V	20.0NS	10MA	100MA	ICC2P_VCCQ
302	ICC6_FULL	2.00V	50.0NS	10MA	100MA	ICC6_FULL
303	ICC8	2.00V	10.0NS	10MA	90MA	ICC8

TEST ITEMS[FUNCTIONS_NORMAL]

TN	PATTERN	TIMER	VCC	RATE	WAVE	TIMING	NAME
500	C3B2_CHB_SCAN_PAT		1.60V	20.0NS			X-SCAN CKBD CL3 BL2
501	C3B2_CHB_SCAN_PAT		2.00V	20.0NS			X-SCAN CKBD CL3 BL2
600	C3B2_SCAN_PAT		1.60V	10.0NS			X-SCAN ALL CL3 BL2
601	C3B2_SCAN_PAT		2.00V	10.0NS			X-SCAN ALL CL3 BL2
700	C3B4_SCAN_PAT		1.60V	10.0NS			X-SCAN ALL CL3 BL4
701	C3B4_SCAN_PAT		2.00V	10.0NS			X-SCAN ALL CL3 BL4
800	C3B8_SCAN_PAT		1.60V	10.0NS			X-SCAN ALL CL3 BL8
801	C3B8_SCAN_PAT		2.00V	10.0NS			X-SCAN ALL CL3 BL8
900	C3B4_PAUSE_PAT	128ms	1.60V	10.0NS			PAUSE REF ALL CL3 BL4
901	C3B4_PAUSE_PAT	128ms	2.00V	10.0NS			PAUSE REF ALL CL3 BL4
1000	C3B4_SELF_PAT	10s	1.60V	10.0NS			SELF REF ALL CL3 BL4
1001	C3B4_SELF_PAT	10s	2.00V	10.0NS			SELF REF ALL CL3 BL4

내기술이 확보됨으로써 반도체 칩, 설계, 제작 및 검증 모두 국산화할 수 있는 가능성을 제시하였다. 경단박소형 우주용 메모리 모듈을 개발함으로써 우주용 전자부품, 제품 및 인공위성제작 비용 저감 효과와 기술력이 한 단계 진보되는 것을 기대한다. 본 연구의 기술 콘텐츠는 다양한 응용 산업분야로 확장이 가능하며 특히 우주용과 방위산업용 부품소재 분야에 경쟁력을 키우는데 기여할 수 있을 것이다.

감사의 글

본 연구는 국가연구개발사업 우주개발사업(과제번호: 20110029899)의 연구비 지원으로 수행되었습니다.

참고문헌

1. V. Solberg and G. Gray, "Performance Evaluations of Stacked CSP Memory Modules", Proc. the 29th International Electronics Manufacturing Technology Symposium, San Jose, 301, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2004).
2. R. Fillion, R. Wojnarowski, C. Kapusta, R. Saia, K. Kwiatkowski and J. Lyke, "3D Electronics Using Vertically Stacked Multichip Slices", Proc. the 3D Technology, Modeling and Process Symposium, Organized by RTI International, Research Triangle Park, Burlingame (2004).
3. I. H. Seo, C. W. Ryu, M. R. Nam and H. C. Bang, "Engineering Model Design and Implementation of Mass Memory Unit for STSAT-2", Journal of The Korean Society for Aeronautical and Space Sciences, 33(11), 115 (2005).
4. N. Villegier, 3D Plus Inc. april.(2004) from <http://www.3d-plus.com/>.
5. T. Y. Kian, T. W. Yean, L. K. Chai and N. H. Wan, "Stacked BGA Design, Development, and Materials Selection Considerations for Improved Testing and Stacking, Reduced Warpage and Environmental Stress, and Enhanced Thermal Qualities", Proc. the 2003 IEEE Electronics Packaging Technology Conference (EPTC), Singapore (2003).
6. J. Y. Kim, W. J. Kang, Y. H. Ka, Y. J. Kim, E. S. Sohn, S. S. Park, J. D. Kim, C. H. Lee, A. Yoshida and A. Syed, "Board Level Reliability Study on Three-Dimensional Thin Stacked Package", Proc. the 54th Annual Electronics Packaging and Components Conference, Las Vegas, USA (2004).
7. C. Val and T. Lemoine, "3-D Interconnection for Ultra-dense Mmultichip Modules", IEEE Trans. on Components, Packaging, and Manufacturing Technology, 13(4), 814 (1990).
8. R. J. Wojnarowski, R. A. Fillion, B. Gorowitz and R. Saia, "Three Dimensional Hybrid Wafer Scale Integration Using the GE High Density Interconnect Technology", Proc. the 5th Annual IEEE International Conference on Wafer Scale Integration, San Francisco, CA, USA (1993).
9. S. Cho, J. Choi and G. M. Park, "Pin Pull Characteristics of Pin Lead with Variation of Mechanical Properties of Pin Lead in PGA (Pin Grid Array) Package", J. Microelectron. Packag. Soc., 17(1), 9 (2010).
10. B. H. Lee, M. K. Kim and J. W. Joo, "Thermo-mechanical Behavior of WB-PBGA Packages with Pb-Sn Solder and Lead-free Solder Using Moir Interferometry", J. Microelectron. Packag. Soc., 17(3), 17 (2010).

- 임재성(林栽星)
- 1976년생
- 하나마이크론(주) 연구소
- 반도체패키징 공정
- e-mail: jaesunglim@hanamicon.co.kr

- 이 혁
- 1964년생
- 하나마이크론(주) 연구소
- 반도체패키징
- e-mail: hlee@hanamicon.co.kr

- 김진호(金鎭浩)
- 1973년생
- 하나마이크론(주) 연구소
- 반도체패키징 설계
- e-mail: tonykim@hanamicon.co.kr

- 박미영
- 1976년생
- KAIST 인공위성연구센터
- 전기적 특성
- e-mail: mypark@satrec.kaist.ac.kr

- 김현주
- 1972년생
- 하나마이크론(주) 연구소
- 반도체패키징 공정
- e-mail: khj3693@hanamicon.co.kr

- 채장수
- 1959년생
- KAIST 인공위성연구센터
- 패키지 신뢰성
- e-mail: jschae@satrec.kaist.ac.kr

- 정진욱
- 1973년생
- 하나마이크론(주) 연구소
- 반도체패키징 공정
- e-mail: jwjeong@hanamicon.co.kr