4개의 칩이 적층된 FBGA 패키지의 휨 현상 및 응력 특성에 관한 연구

김경호¹ · 이혁² · 정진욱² · 김주형² · 좌성훈^{1,†}

¹서울과학기술대학교 NID 융합기술대학원, ²(주)하나마이크론사

Numerical Analysis of Warpage and Stress for 4-layer Stacked FBGA Package

Kyoung-Ho Kim¹, Hyouk Lee², Jin-Wook Jeong², Ju-Hyung Kim² and Sung-Hoon Choa^{1,†}

¹Graduate School of NID Fusion Technology, Seoul National University of Science and Technology, 232 Gongneung-ro, Nowon-gu, Seoul 139-743, Korea

²Hanamicon, 95-1 Wonnam-ri, Eumbong-myeon, Asan-si, Chungnam 336-864, Korea

(2012년 1월 17일 접수: 2012년 3월 30일 수정: 2012년 4월 17일 게재확정)

초 록: 최근 모바일 기기에 적용되는 반도체 패키지는 초소형, 초박형 및 다기능을 요구하고 있기 때문에 다양한 실리콘 칩들이 다층으로 수직 적층된 패키지의 개발이 필요하다. 패키지 및 실리콘 칩의 두께가 계속 얇아지면서 휨 현상, 크랙 및 여러 다른 형태의 파괴가 발생될 가능성이 많다. 이러한 문제는 패키지 재료들의 열팽창계수의 차 및 패키지의 구조적인 설계로 인하여 발생된다. 본 연구에서는 4층으로 적층된 FBGA 패키지의 휨 현상 및 응력을 수치해석을 통하여 상온과 리플로우 온도 조건에서 각각 분석하였다. 상온에서 가장 적은 휨을 보여준 경우가 리플로우 공정 조건에서는 오히려 가장 큰 휨을 보여 주고 있다. 본 연구의 물질 조건에서 패키지의 휨에 가장 큰 영향을 미치는 인자는 EMC의 열팽창계수, EMC의 탄성계수, 다이의 두께, PCB의 열팽창계수 순이었다. 휨을 최소화하기 위하여 패키지 재료들의 물성들을 RMS 기법으로 최적화한 결과 패키지의 휨을 약 28 μm 감소시킬 수 있었다. 다이의 두께가 얇아지게 되면 다이의 최대 응력은 증가한다. 특히 최상부에 위치한 다이의 끝 부분에서 응력이 급격히 증가하기 시작한다. 이러한 응력의 급격한 변화 및 응력 집중은 실리콘 다이의 파괴를 유발시킬 가능성이 많다. 따라서 다이의 두께가 얇아질수록 적절한 재료의 선택 및 구조 설계가 중요함을 알 수 있다.

Abstract: Semiconductor packages are increasingly moving toward miniaturization, lighter and multi-functions for mobile application, which requires highly integrated multi-stack package. To meet the industrial demand, the package and silicon chip become thinner, and ultra-thin packages will show serious reliability problems such as warpage, crack and other failures. These problems are mainly caused by the mismatch of various package materials and geometric dimensions. In this study we perform the numerical analysis of the warpage deformation and thermal stress of 4-layer stacked FBGA package after EMC molding and reflow process, respectively. After EMC molding and reflow process, the package exhibits the different warpage characteristics due to the temperature-dependent material properties. Key material properties which affect the warpage of package are investigated such as the elastic moduli and CTEs of EMC and PCB. It is found that CTE of EMC material is the dominant factor which controls the warpage. The results of RSM optimization of the material properties demonstrate that warpage can be reduced by 28 μm . As the silicon die becomes thinner, the maximum stress of each die is increased. In particular, the stress of the top die is substantially increased at the outer edge of the die. This stress concentration will lead to the failure of the package. Therefore, proper selection of package material and structural design are essential for the ultra-thin die packages.

Keywords: FBGA, MCP, Stress, Warpage simulation, FEM

1. 서 론

최근 반도체 메모리 소자의 저장 용량을 증가시키기 위하여, 혹은 다양한 동종 또는 이종 칩과의 연결을 위하여 한 패키지 내에 여러 개의 칩을 적층하는 기술이 급속히 개발되고 있다. 이렇게 칩을 수직으로 적층한 패키지를 3차원 적층 패키지(3D stacking or 3D integration package)라

고 하며 SiP(system-in-package), PoP(package-on-package) 등의 다양한 패키지 개발¹⁾과 함께 특히 최근에는 TSV (through-silicon-via) 기술을 활용한 패키지 개발이 큰 주목을 받고 있다.^{2,3)} 모바일 기기에 사용되는 3차원 적층 패키지에서는 패키지 두께의 제약으로 인하여 칩들을 수십 마이크로 미터의 두께로 얇게 thinning 한 후에 적층하게 된다. 향후 패키지 두께의 감소가 지속적으로 요구되

[†]Corresponding author

E-mail: shchoa@seoultech.ac.kr

기 때문에 실리콘 칩 뿐만이 아니라 패키지의 각 재료 즉 EMC(epoxy mold compound) 몰드, 기판, DAF(die attach film) 등의 두께가 계속 얇아지고 있다. 패키지의 두께 및 사용된 재료들의 두께가 얇아지면서 여러 가지 신뢰성 문제가 발생할 수 있다.^{4,5)} 가령 실리콘 칩의 두께를 얇게 하기 위하여 그라인딩(grinding) 및 CMP(chemical mechanical polishing) 공정을 이용하여 칩을 얇게 thinning하게 되는데, 이 경우 그라인딩이나 CMP 공정 중에 발생한 마이크로 결함이나 스크래치에 의하여 실리콘 칩이 응력을 받았을 때 칩이 쉽게 파괴될 수 있는 위험이 높아진다.⁶⁾ 또한 적층되는 칩들의 개수가 증가되면서 칩과 칩 사이의 계면에서 delamination에 의한 계면 파괴가 발생할 가능성도 많다. 칩의 크랙 및 delamination의 주요 원인은 생산 및 조립 공정 중에 발생한 열응력(thermal stress)에 의한 내부 응력이다.⁷⁾ 이러한 열응력은 패키지의 과도한 휨 현상(warpage)을 발생시킨다. 따라서 이러한 초박형 칩 및 관련 공정 프로세스가 패키지의 휨과 응력에 어떠한 영향을 주는지에 대한 이해가 매우 필요하다.

패키지의 휨은 일반적으로 패키지의 공정 중에 공정 온도에 따라서 다양하게 발생된다. 즉 EMC 몰딩 과정에서 큐어링(curing)과 냉각 공정 중에 발생하며, 또한 솔더를 리플로우(reflow)하는 과정 중에도 발생한다. 패키지의 휨이 발생하는 이유는 사용된 패키지 재료들의 열팽창계수(CTE, the coefficient of thermal expansion)의 차에 의하여 발생된 열응력 때문이다. EMC 몰딩 후에 발생된 패키지의 휨 현상은 장기 신뢰성에 영향을 미치게 되고, 궁극적으로는 몰드의 크랙, 와이어의 파단, 다이의 크랙 발생을 초래하게 된다. 더욱이 과도한 휨 현상은 보드레벨 어셈블리 과정 즉, 리플로우, 혹은 SMT(surface mount technology) 과정에서 패키지의 접합을 어렵게 하고, 또한 패키지와 마더보드(motherboard) 사이의 솔더 조인트의 접착 불량을 초래할 가능성이 많다. 궁극적으로 공정의 수율을 저하시키는 중요한 요소이기 때문에⁸⁻¹⁰⁾ 패키지 휨의 크기를 가능한 저하시켜야 한다. 패키지의 휨 현상은 패키지의 구조, 패키지 재료들의 물성 및 공정 조건에 좌우된다.¹¹⁻¹²⁾ 따라서 적절한 패키지 재료의 선택과 패키지 구조가 필요하다. 특히 대부분의 연구 결과는 EMC 몰딩 후 상온으로 도달했을 때의 휨 현상만을 주로 연구하였다. 그러나 실제 리플로우 과정에서 발생하는 휨을 무시할 수 없으며, 리플로우 온도까지 도달했을 때의 휨 현상에 대한 추가적인 분석이 필요하다. 궁극적으로는 새로운 패키지 개발에 앞서, 패키지에서 발생되는 신뢰성 문제를 예측하고 패키지의 휨 현상과 응력 분포 등을 수치 해석적으로 예측할 수 있는 신뢰성 설계 기술의 확보가 필수적이다.

본 논문에서는 4개의 칩이 수직으로 적층된 FBGA(fine pitch ball grid array) 패키지에 대해서 휨 현상과 응력 특성을 유한요소 해석을 이용하여 분석하였다. 또한 휨에 영향을 줄 수 있는 여러 중요 인자들 즉, EMC 몰드의 물

성, 실리콘 다이의 두께, 기판의 물성 등이 휨 현상에 미치는 영향을 상온과 리플로우 온도에서 각각 고찰하였다. 이를 통하여 휨 현상 메커니즘과 이를 제어하기 위한 중요 인자를 이해함으로써 휨 현상을 최소화 하고자 하였다. 또한 실험계획법의 반응표면법(RSM, response surface method)을 이용하여 휨 현상이 최소화되는 최적 조합을 구하였다. 또한 실리콘 다이의 두께가 초박형으로 얇아졌을 경우에 실리콘 다이에 미치는 응력 및 응력 집중을 고찰하였다.

2. 유한요소 해석

2.1. 유한요소 모델링

패키지의 휨 특성 및 응력을 분석하기 위해 상용 해석 프로그램인 ANSYS 11.0을 사용하여 유한요소해석을 수행하였다. Fig. 1은 본 연구에서 사용된 패키지의 개략도를 나타내고 있으며 Table 1은 각 재료들의 치수를 나타내고 있다. PCB의 크기는 14 mm×14 mm 이며, 각 실리콘 다이(또는 칩)들의 크기는 Table 1에 표시되어 있다. 특히 4번째 맨 위의 다이의 크기는 7.2 mm×5.84 mm로써 3번째의 다이 보다 크다. 다이와 다이 사이는 DAF가 도포되어 있으며, 전체 다이들은 EMC로 몰딩되어 있다. PCB는 low CTE 코어를 갖는 2층의 FR4 PCB가 사용되었으며, 두 종류의 PCB가 각각 사용되었다. EMC는 각기 다른 물

Fig. 1. Schematic drawing of a 4-layer stacked FBGA package.

Table 1. Dimensions of various package materials used in the finite element analysis

		Dimension(mm)	
		Size	Thickness(μm)
PCB	SM_1		14.5
	Cu_1		18.0
	Core	14×14	65.0
	Cu_2		18.0
	SM_2		14.5
Die & DAF	DAF_1	9.73×10.04	20.0
	Die_1		70.0
	DAF_2	6.64×8.54	10.0
	Die_2		70.0
	DAF_3	5.09×6.24	10.0
	Die_3		70.0
	DAF_4	7.2×5.84	60.0
	Die_4		120.0
EMC		14×14	650.0

(SM: solder mask, DFA:die attach film)

성을 갖는 3가지의 EMC가 사용되었다. 사용된 각 PCB, EMC, DAF의 물성들이 Table 2에 나타나 있다.

2.2. 유한요소 해석 조건

해석을 위하여 8 절점 3차원 요소를 형성하는 SOLID 45 요소가 사용되었다. FBGA 패키지의 구조는 실리콘 다이가 4층으로 적층된 구조로써 절점(node) 수는 78,800 개이며, 요소의 수는 84,800개로 구성되었다. 유한요소의 휨 해석 모델에 가해지는 열 하중 조건은 초기 온도 175°C에서 상온(25°C)으로 감소 후 다시 250°C로 상승시켰다. 이 때 175°C는 EMC 재료의 큐어링(curing) 온도로써 스트레스가 없다는 stress-free 상태로 가정하였다. 250°C는 솔더의 리플로우 온도로서, 25°C와 250°C에서 FBGA 패키지의 각 재료들 간의 열팽창계수 차이에 의하여 각각 다른 휨 변형을 보이게 된다.

본 해석에서 사용된 패키지의 모델은 Fig. 2에 나타난 것 처럼 x 축 방향에서는 칩들이 비대칭적으로 배치되어 있기 때문에 대칭성이 존재하는 칩 전체의 1/2(half) 만을 모델링 하였으며 해석에 소요되는 시간과 해석의 용이성을 고려하여 결과의 오차가 크지 않은 조건 하에서 모델을 단순화하였다. Fig. 2는 또한 본 연구에서 사용된 FBGA의 수치해석 모델링을 보여 주고 있다. 변위 경계 조건은 전체 모델의 대칭이 시작하는 부분의 중심점과 z 축 방향 일부 절점들을 x, y, z 축으로 모두 구속하여 해석을 수행하였고, 해석의 결과로서 휨의 크기, von Mises 응력을 각각 확인하였다. 모든 재료는 탄성 영역 내에 있다고 가정하였으며, 패키지 재료들의 물성 값은 Table 2에서 명시된 온도에 따른 변화 값을 사용하였다. 온도에 따른 재료들의 물성은 대부분 업체에서 제공된 데이터를 사용하였다. FBGA 패키지의 솔더볼 및 실제 어셈블리 공정 중에 배선(interconnection)으로 이용되는 와이어 본딩(wire bonding) 부분은 휨 해석 결과에 큰 영향을 미치지 않으므로 모델링에서 생략되었다. 한편 수치해석의 유효성에 대한 검증 부분은 기존의 연구¹³⁾에서 수행되었기 때문에 본 논문에서는 생략하였다.

3. 해석 결과

우선 Table 3과 같이 다른 종류의 EMC 및 PCB를 사용하였을 경우에 대하여 휨 현상을 해석하였다. 이를 위하여 각각 물성이 다른 3가지의 EMC(EMC_A, EMC_B, EMC_C)와 2가지의 PCB(PCB_A, PCB_B)를 사용하여 EMC 몰딩 후에 온도가 상온으로 내려갔을 때의 휨의 경향을 해석한 결과가 Fig. 3(a)에 나타나 있다. 패키지의 휨은 패키지 모두 위로 볼록한 crying (∩) 형태임을 알 수 있으며, 샘플 중의 하나인 leg_3에 대한 휨의 경향(warpage contour)이 Fig. 3(b)에 나타나 있다.

상온에서 패키지 휨의 크기는 leg_3와 leg_6의 경우가 약 88 μm 로서 가장 적었으며, leg_1과 leg_4의 경우가 약 112 μm 로서 가장 컸다. 즉 휨의 크기는 PCB의 종류에는 거의 무관하고, EMC의 종류에 따라 차이가 많음을 알 수

Fig. 2. FEM element mesh modeling of 4-layer stacked FBGA.

Table 2. Material properties for various package materials used in the finite element analysis

		Material Properties					
		Poisson's ratio	E@25°C (GPa)	E@250°C(GPa)	α 1E-6 (ppm/°C)	α 2E-6(ppm/°C)	T _g (°C)
PCB	SM	0.33	2.4	2.4	60	131	100
	Cu	0.34	117	117	17	-	-
	Core_A	0.39	23	13	XY: 11 Z: 25	XY: 11 Z: 25	255
	Core_B	0.39	35	17	XY: 11 Z: 25	XY: 11 Z: 25	255
Die(Chip)	Die	0.21	161	161	2.6	-	-
DAF	DAF	0.34	0.2	0.2	52	-	-
EMC	EMC_A	0.3	21.5	2.5	8	32	150
	EMC_B	0.3	30	2	8	34	145
	EMC_C	0.3	23.5	1.5	10	44	150

(α 1 is the CTE below T_g, α 2 is the CTE above T_g)

Table 3. Matrix of EMC and PCB candidates

	PCB	EMC
Leg_01	PCB_A	EMC_A
Leg_02		EMC_B
Leg_03		EMC_C
Leg_04	PCB_B	EMC_A
Leg_05		EMC_B
Leg_06		EMC_C

(a) Warpage values of material candidates

(b) Warpage contour

Fig. 3. Warpage values and typical warpage contour of leg_3 at room temperature.

있다. 이는 본 연구에서 사용된 2종류의 PCB가 탄성계수는 다르나 CTE 값이 거의 유사하기 때문이라고 판단된다. 따라서 PCB에 대한 휨의 영향이 적은 것으로 판단된다. 결론적으로 탄성계수 및 CTE 값이 가장 큰 EMC_C를 사용하였을 경우(leg_3 및 leg_6)가 휨이 가장 적음을 알 수 있었고, 탄성계수 및 CTE 값이 가장 작은 EMC_A를 사용하였을 경우(leg_1 및 leg_4)가 휨이 가장 큼을 알 수 있었다.

한편 상온에서 리플로우 온도인 250°C까지 온도를 증가시켰을 때의 패키지 휨의 경향이 Fig. 4(a)에 나타나 있다. Fig. 4(b)는 샘플 중의 하나인 leg_2에 대한 패키지의 휨 형태를 보여주고 있다. 휨의 형태는 전체적으로는 crying 형태이나, 중간 부분은 오목하고, 끝 부분은 볼록한 wavy 형태의 휨을 나타내고 있다. 패키지의 휨은 leg_2와 leg_5의 경우가 약 43 μm로서 가장 적었고, leg_3과 leg_6가 가장 큼(63 μm)을 알 수 있었다. Leg_3과 leg_6의 경우, 상온에서는 가장 적은 휨을 보여주고 있으나, 온도가 250°C로 증가한 경우는 오히려 휨이 가장 큼을 알 수 있었다. 이는 glass transition temperature인 T_g 온도 이상에서 EMC 등의 물성의 변화율이 재료에 따라 각각 다르고, 급격하게 변하기 때문이다. 따라서 각 패키지 공정에서의 휨 현상 관찰이 매우 필요함을 알 수 있다.

한편 모바일 기기에서 사용되는 패키지의 경우, 패키지의 휨이 90 μm를 넘게 되면 PCB 보드와의 접합 시에 다양한 신뢰성 문제가 발생될 가능성이 높다. 본 연구의 결과에서 보면 상온에서 가장 적은 휨을 보여준 leg_3의 경우에도 휨이 약 88 μm로써 제조 공정의 공차를 고려하면 개선할 필요가 있다. 따라서 본 연구에서는 실험계획법(DOE, design of experiments) 및 반응표면법(response surface method)을 이용하여 FBGA 패키지의 휨을 감소시킬 수 있는 최적 설계 및 최적 조합을 연구하였다. 우선 현 상태에서 조절이 가능한 인자 즉, PCB와 EMC의 열팽창계수, 탄성계수 및 다이의 두께가 휨에 미치는 영향

(a) Warpage values of material candidates

(b) Warpage contour

Fig. 4. Warpage values and typical warpage contour of leg_3 at reflow temperature (250°C). **Fig. 5.** Pareto chart of the factor effects.

도를 파악하기 위하여 요인 배치법(factorial design) 이용하여 파레토(pareto) 차트를 작성하였고, 각 인자들이 휨에 어느 정도 영향이 있는지를 파악하였다. 다이 두께의 경우 패키지의 휨 및 신뢰성에 가장 큰 영향을 미칠 것으로 판단되는 맨 위의 4번째 다이의 두께를 변화시켰다. 각 인자의 영향도를 나타내는 파레토 차트가 Fig. 5에 나타나 있다. 가장 큰 영향을 미치는 인자는 EMC의 열팽창계수, EMC의 탄성계수, 다이의 두께, PCB의 열팽창계수 순이었다.

Table 4. Material DOE maxtrix at room temperature

	EMC		Core	
	E (GPa)	CTE (ppm/°C)	E (GPa)	CTE (ppm/°C)
low	13	5	13	XY: 6 / Z: 15
standard	23.5	10	23	XY: 11 / Z: 25
high	33.5	20	33	XY: 21 / Z: 35

다음으로 패키지의 휨을 최소화하기 위하여 반응표면법을 적용하였다. 반응표면법은 큐어링 온도에서 상온으로 하강하였을 경우와 상온에서 리플로우 온도까지 증가되었을 때의 각각의 경우에 대해서 해석하였다. 한편 본 연구의 최적 설계 목적은 패키지의 제조 특성상, 다이의 두께는 고정된 상태에서 패키지 재료들의 최적 조합을 연구하기 위한 것이므로 다이의 두께는 휨에 영향을 주는 인자에서 제외하였다. Table 4는 상온 조건에서 반응표면법의 인자로 선정된 재료의 물성을 나타내며, Table 5는 반응표면법의 수행 결과를 보여 주고 있다. 상온 조건에서 최적 설계 조건은 EMC의 경우, 탄성계수는 23.5 GPa, 열팽창계수는 12.5 ppm/°C이었다. 또한 PCB의 경우, 탄

Table 5. (a) RSM results of FBGA (b) RSM optimization with the different factors at room temperature

(a)

Run Order	EMC_E	EMC_CTE	PCB Core_E	PCB Core_CTE	Warpage
1	23.5	12.5	43	13.5	62.5
2	23.5	-2.5	23	13.5	223
3	23.5	27.5	23	13.5	183.6
4	13.5	20	33	21	77.4
5	33.5	20	13	6	128.5
6	13.5	20	33	6	84.2
7	23.5	12.5	23	13.5	61.9
8	23.5	12.5	23	13.5	61.9
9	33.5	5	33	21	133
10	23.5	12.5	23	13.5	62
11	43.5	12.5	23	13.5	61.3
12	33.5	5	13	6	129
13	23.5	12.5	3	13.5	60.9
14	33.5	5	33	6	130.6
15	23.5	12.5	23	13.5	61.9
16	13.5	5	13	6	159.8

(b)

Fig. 6. Result of warpage optimization for FBGA by RSM at room temperature.

Table 6. Material DOE maxtrix at reflow temperature

	EMC		Core	
	E (GPa)	CTE (ppm/°C)	E (GPa)	CTE (ppm/°C)
low	0.5	39	3	XY: 6 / Z: 15
standard	1.5	44	13	XY: 11 / Z: 25
high	2.5	49	23	XY: 21 / Z: 35

성계수는 23.0 GPa, 열팽창계수는 13.5 ppm/°C이었다. 최적화된 설계 변수들의 조합을 사용하였을 경우, Fig. 6에서와 같이 FBGA 패키지의 휨은 61.9 μm 로 최소화되는 것을 확인할 수 있었다. 기존에 휨이 가장 적었던 leg_3과 leg_6의 경우 (약 88 μm)에 비하여 약 28 μm 정도의 휨을 감소시킬 수 있었다. Table 6은 리플로우 조건에서 반응표면법을 수행하기 위해 선정한 인자들의 물성 조건이다. Table 7은 반응표면법의 수행 결과를 나타낸다. 리플로우 온도 조건에서 EMC의 탄성계수는 2.7 GPa이고, 열팽창계수는 34.1 ppm/°C이었다. 또한, PCB의 탄성계수는 19.2 GPa이고, 열팽창계수는 24.3 ppm/°C로 최적 설계 조건의 결과를 얻을 수 있었다. 이 최적화된 설계 변수들의 조합을 사용하였을 경우, Fig. 7과 같이 패키지의 휨은 초기 40.5 μm 로 최소화되는 것을 확인할 수 있었다. 기존에 휨이 가장 작았던 leg_2와 leg_5의 경우(43 μm)에 비하여 약 3 μm , 휨이 가장 큰 leg_3과 leg_6 (63 μm)의 경우에 비하여 약 23 μm 정도의 휨이 감소함을 알 수 있다. 결과적으로 EMC와 PCB의 탄성계수 및 열팽창계수와 같은 재료의 물성을 최적으로 선택함으로써 휨을 감소시킬 수 있음을 확인하였다.

한편 최근 패키지 기술의 동향은 적층되는 칩의 개수는 많아지는 반면에, 더 얇은 패키지가 요구되고 있다. 따라서 실리콘 다이의 두께도 현재의 70 μm 에서 30 μm 까지, 혹은 그 이하의 두께를 요구하고 있다. 이 경우 칩(혹은 다이)은 응력에 더 취약한 조건이 되며, 쉽게 파괴될

Table 7. (a) RSM results of FBGA (b) RSM optimization with the different factors at reflow temperature

(a)

Run Order	EMC_E	EMC_CTE	PCB Core_E	PCB Core_CTE	Warpage
1	1.5	44	13	13.5	62.4
2	2.5	39	3	21	222.9
3	1.5	44	33	13.5	183.6
4	1.5	44	13	13.5	77.3
5	0.5	39	3	6	128.5
6	1.5	44	13	13.5	84.2
7	1.5	44	13	13.5	61.9
8	0.5	39	3	21	61.9
9	2.5	39	23	21	133
10	0.5	44	13	13.5	61.9
11	1.5	44	13	13.5	61.3
12	0.5	49	3	6	129
13	1.5	44	7	13.5	60.9
14	0.5	39	23	21	130.6
15	2.5	49	3	21	61.9
16	0.5	49	23	21	159.8

(b)

Fig. 7. Result of warpage optimization for FBGA by RSM at reflow temperature.

가능성이 높다. 특히 적층된 다이의 크기가 상부 쪽으로 가면서 작아지는 피라미드 구조가 아닌 경우, 즉 본 연구의 FBGA의 경우와 같이 상부 다이의 크기가 하부 다이보다 클 경우 응력 집중에 의한 다이의 파괴가 발생할 가

Fig. 8. Schematic drawing of FBGA package: A-line indicates the top surface of 4th die, B-line indicates the bottom surface of 4th die, and C-line indicates the top surface of 3rd die.

능성이 높다. 이렇게 상부 다이의 크기가 하부 다이보다 큰 구조를 overhang 구조라고 한다. 따라서 본 연구에서는 최상부의 다이 즉, 네 번째 다이의 두께를 변화시키면서 다이의 응력 분포 및 응력 집중 현상을 해석하였다. 우선 다이의 두께를 120 μm , 70 μm , 30 μm 로 변경시켜 가면서 Fig. 8과 같이 네 번째 다이(4th die)의 상부면(A-line) 및 하부면(B-line), 그리고 세 번째 다이(3rd die)의 상부면(C-line)의 최대 von Mises 응력 변화를 관찰하였다. 다이 두께 120 μm 의 경우, Fig. 9(a)와 같이 상온에서는 다이의 최대 응력은 세 번째 다이와 네 번째 DAF가 맞닿은 부분(C-line)에서 발생하였으며, 그 값은 111.5 MPa이다. 또한 Fig. 9(b)의 리플로우 온도에서는 세 번째 다이의 끝 부분(edge)에서 최대 응력이 발생하였고, 그 값은 59.0 MPa이었다. 특히 Fig. 9(a)의 경우와 같이 네 번째 다이의 경우 다이의 끝 부분으로 가면서 응력이 급격히 증가하기 시작한다. 이러한 응력의 급격한 변화는 실리콘 다이

의 파괴를 유발시킬 가능성이 많다. Fig. 10 및 Fig. 11은 다이의 두께가 각각 70 μm , 30 μm 로 얇아졌을 때의 최대 응력을 나타내고 있다. 응력 분포는 120 μm 다이의 경우와 유사하다. 그러나 다이가 얇아지면서 최대 응력은 점점 증가하고 있으며, 다이의 두께가 30 μm 인 경우 최대 응력은 네 번째 다이에서 발생하고, 약 145 MPa이 됨을 알 수 있다. 특히 다이의 끝 부분에서 응력이 증가하다가 갑자기 감소하는 급격한 변화를 보여 준다. 이러한 응력의 집중 현상으로 인하여 다이의 파괴가 발생할 가능성이 높음을 알 수 있다. 특히 Zang의 연구에 의하면 실리콘 재료의 파괴 응력은 1 GPa이나, 실리콘 칩을 thinning 공정에 의하여 얇아지게 되면서 thinning 공정으로 발생한 마이크로 결함이나 스크래치에 의하여 실리콘 칩이 응력을 받았을 때 칩이 쉽게 파괴될 수 있는 위험이 높아지며, 궁극적으로 파괴 응력이 175 MPa 정도로 급격히 감소한다는 결과를 제시한 바 있다.¹⁴⁾ 또한 다이가 얇아지게 되면서 각 다이들의 최대 응력도 상승함을 알 수 있다. 리플로우 온도 조건에서도 다이의 두께가 얇아지면서 응력이 증가함을 알 수 있다. 결론적으로 다이의 두께가 초박형이 될 경우, 응력의 감소를 위한 재료의 선택 및 구조 설계가 중요함을 알 수 있다.

4. 결 론

본 연구에서는 4개의 칩이 수직으로 적층된 FBGA 패키지에 대해서 휨 현상과 응력 특성을 유한요소 해석을

Fig. 9. von Mises stress variation of 3rd and 4th die in transvers direction in case that the thickness of 4th die is 120 μm .

Fig. 10. von Mises stress variation of 3rd and 4th die in transvers direction in case that the thickness of 4th die is 70 μm .

Fig. 11. von Mises stress variation of 3rd and 4th die in transvers direction in case that the thickness of 4th die is 30 μm .

이용하여 분석하였으며, 특히 EMC 큐어링 조건에서 상온으로 온도가 내려갔을 때와 리플로우 온도 조건에서 대하여 각각 해석하였다. 상온에서 가장 적은 휨을 보여준

경우가 리플로우 온도 조건에서는 오히려 가장 큰 휨을 보여주고 있다. 이는 T_g 온도 이상에서 EMC 등의 물성의 변화율이 재료에 따라 각각 다르고 급격하게 변하기

때문이다. 따라서 T_g 온도를 고려한 물성의 선택 및 패키지 공정들에서의 휨 현상의 관찰이 필요함을 의미한다. 본 연구의 재료 물성 조건에서 패키지의 휨에 가장 큰 영향을 미치는 인자는 EMC의 열팽창계수, EMC의 탄성계수, 다이의 두께, PCB의 열팽창계수 순이었다. 반응표면법을 이용하여 패키지의 휨을 최적화한 결과 상온에서의 휨은 약 $61.9\ \mu\text{m}$ 이었으며, 리플로우 온도에서는 $40.5\ \mu\text{m}$ 로써, 기존 대비 최대 약 $28\ \mu\text{m}$ 의 휨을 감소시킬 수 있었다. 다이의 두께가 얇아지게 되면 다이의 최대 응력은 증가한다. 특히 다이의 끝 부분으로 가면서 응력이 급격히 증가하기 시작한다. 이러한 응력의 급격한 변화 및 응력 집중은 실리콘 다이의 파괴를 유발시킬 가능성이 많다. 따라서 다이의 두께가 얇아질수록 재료의 선택 및 구조 설계가 중요함을 알 수 있다.

후 기

본 연구는 (주)하나마이크론사 및 지식경제부, 국가플랫폼기술개발사업의 일환인 “모바일 플랫폼기술개발사업”의 지원에 의해 수행되었습니다.

참고문헌

1. P. Sun, V. Leung, D. Yang, R. Lou, D. Shi and T. Chung, “Development of a New Package-on-Package (PoP) Structure for Next-Generation Portable Electronics”, 2010 Electronic Components and Technology Conference, 1957 (2010).
2. T. Jiang and S. Luo, “3D Integration-Present and Future”, Proc. 10th Electronics Packaging Technology Conference, 373 (2008).
3. S.-H. Hwang, B.-J. Kim, S.-Y. Jung, H.-Y. Lee and Y.-C. Joo, “Thermo-Mechanical Analysis of Through-silicon-via in 3D Packaging”, J. Microelectron. Packag. Soc., 17(1), 69 (2010).
4. W. D. van Driel, G. Q. Zhang, J. H. J. Janssen, L. J. Ernst, F. Su, K. S. Chian and S. Yi, “Prediction and Verification of Process-induced Thermal Deformation of Electronic Packages Using Non-linear FEM and 3D Interferometry”, Proc. EuroSimE, 362 (2002).
5. T. Y. Wu, Y. Tsukad and W. T. Chen, “Materials and Mechanics Issues in Flip-chip Organic Packaging”, Proc. 46th Electronic Components and Technology Conference, 524 (1996).
6. H. H. Jiun, I. Ahmad, A. Jalar, G. Omar, “Effect of Wafer Thinning Methods Towards Fracture Strength and Topography of Silicon Die”, Microelectronics Reliability, 46(5), 836 (2006).
7. S. S. Kiyono, K. Yonehara, “Consideration of Mechanical Chip Crack on FBGA Packages”, Proc. 2001 Electronic Components and Technology Conference, (2001).
8. G. Kelly, C. Lyden, W. Lawton, J. Barrett, A. Saboui, H. Pape and H. Peters, “The Importance of Molding Compound Chemical Shrinkage in the Stress and Warpage Analysis of PQFPs”, Proc. 45th Electronic Components and Technology Conference, 977 (1995).
9. B. Kiang, J. Wittmershaus, R. Kar and N. Sugai, “Package Warpage Evaluation for Multi-Layer Molded PQFP”, Proc. 11th IEEE/CHMT International Electronics on Manufacturing Technology Symposium (IEMT), 89 (1991).
10. R. Ingkanisorn and A. Sriyanya, “RoHS-Compliant Molding Compound Evaluation and Manufacturability For FBGA Packages”, Proc. 6th Electronic Packaging Technology Conference (EPTC), 479 (2004).
11. L. Yip and A. Hamzehdoost, “Package Warpage Evaluation for High Performance PQFP”, Proc. 45th Electronic Components and Technology Conference, 229 (1995).
12. K. Irving, Y. Chien, J. Zhang, L. Rector and M. Todd, “Low Warpage Molding Compound Development for Array Packages”, Proc. 1st Electronics System integration Technology Conference (ESTC), 2, 1001 (2006).
13. C. G. Song and S.-H. Choa, “Numerical Study of Warpage and Stress for the Ultra Thin Package”, J. Microelectron. Packag. Soc., 17(4), 49 (2010).
14. J. Zhang, M. O. Bloomfield, J. Lu, R. J. Gutmann and T. S. Cale, “Thermal Stresses in 3D IC Inter-wafer Interconnects”, Microelectron. Engin., 82, 534 (2005).