칩내장형 PCB 공정을 위한 칩 표면처리 공정에 관한 연구

전병섭^{1,3} · 박세훈^{1,2,†} · 김영호² · 김준철¹ · 정승부³

¹전자부품연구원 패키징연구센터, ²한양대학교 신소재공학부, ³성균관대학교 신소재공학부

The Study on Chip Surface Treatment for Embedded PCB

Byung-Sub Jeon^{1,3}, Se-Hoon Park^{1,2,†}, Young-Ho Kim², Jun-Cheol Kim¹ and Seung-Boo Jung³

¹Korea Electronics Technology Institute, Bundang-gu, Seongnam-si, Gyeonggi-do 463-816, Korea

²Division of Materials Science & Engineering, Hanyang University, Seongdong-gu, Seoul 133-791, Korea

³Advanced of Materials Science & Engineering, Sung Kyun Kwan University, Jangan-gu, Suwon, Gyeonggi-do 440-746, Korea

(2012년 9월 4일 접수: 2012년 9월 12일 수정: 2012년 9월 28일 게재확정)

초 록: 본 연구에서는 칩을 기판에 내장하기 위해 상용화된 CSR사의 bluetooth chip을 이용하여 표면의 솔더볼을 제거하고 PCB소재와 공정을 이용하는 embedded active PCB 공정에 관한 연구를 하였다. 솔더볼이 제거된 칩과 PCB는 구리 도금 공정으로 연결되었으나 열 충격시 표면처리를 하지 않았을 시 칩의 표면과 ABF 간의 de-lamination 현상이 발견되었고, 이를 해결하기 위해 칩의 polyimide passivation layer에 디스미어와 플라즈마 공정을 이용하여 조도 형성을 하는 연구를 진행하였다. SEM(Scanning Electron Microscope) 과 AFM(Atomic Force Micrometer)을 통하여 표면을 관찰하였고, XPS(X-ray Photoelectron Spectroscopy)를 이용하여 표면의 화학적 구조의 변화를 관찰하였다. 실험결과 플라즈마 처리 시 표면 조도형성이 되었으나 그 밀도가 조밀하지 못하였지만 디스미어 공정과 함께 처리하였을 시 조도의 조밀도가 높아 열 충격을 가하였을 시에도 칩의 polyimide layer와 ABF간의 de-lamination 현상이 발견되지 않았다.

Abstract: In this paper, the research of IC embedded PCB process is carried out. For embedding chips into PCB, solderballs on chips were etched out and ABF(Ajinomoto Build-up Film), prepreg and Cu foil was laminated on that to fabricate 6 layer build-up board. The chip of which solder ball was removed was successfully interconnected with PCB by laser drilling and Cu plating. However, de-lamination phenomenon occurred between chip surface and ABF during reflow and thermal shock. To solve this problem, de-smear and plasma treatment was applied to PI(polyimide) passivation layer on chip surface to improve the surface roughness. The properties of chip surface(PI) was investigated in terms of AFM(Atomic Force Micrometer), SEM and XPS (X-ray Photoelectron Spectroscopy). As results, nano-size anchor was evenly formed on PI surface when plasma treatment was combined with de-smear(NaOH+KMnO₄) process and it improved thermal shock reliability (260°C-10sec solder floating).

Keywords: Embedded, PCB, Polyimide, Adhesion characteristics

1. 서 론

최근 전자전기업체는 스마트 폰이나 태블릿 PC처럼 DMB, Bluetooth, WiFi, GPS 기능 등이 내장되어 복합기능을 소지한 제품들이 다양하게 출시되고 있다. 이런 전자기기 기능의 증가에 따라 고성능, 다기능화 및 소형 경량화라는 시대적 요구에 대응할 수 있게 다양한 기능을 구현하기 위해 필요한 부품을 작은 공간에 집적시키려는 노력을 기울이고 있으며, PCB의 제한된 공간에 다양한 기능을 갖는 칩들을 패키징 하여 내장하는 연구가 활발히 진행되고 있다. 이에 관한 연구로는 Chip In Packaging(CIP), Bumpless Build-up Layer(BBUL)과 같은 칩을 내장시키는 임베디드 공정 기술에 대한 연구가 많이 진행되어 지고

있다. Fig. 1과 같이 능동/수동 소자를 기판 내에 내장시킴으로써 제한된 실장공간의 효율성을 높이고 실장밀도

Fig. 1. active/passive component chip in packaging.

[†]Corresponding author
E-mail: psh104@keti.re.kr

를 획기적으로 줄일 수 있으며 마이크로 비아 가공으로 패턴과 소자간의 배선 길이를 짧게 할 수가 있어 신호의 고속화에 기여할 수 있다.

본 연구에서는 이중에서도 상용화된 csr사의 블루투스 칩의 솔더볼을 제거한 후 기판에 내장하여 진행하는 총 8층으로 된 다층 구조의 IC embedded PCB 샘플을 구현하였다.

2. 실험

2.1. 시편 제작 공정

본 실험에 사용된 기판은 ABF와 Doosan high Tg FR-4를 이용하여 빌드업을 구성하였고 UV laser drill 장비를 통한 micro via 가공과 무전해동도금 및 전해동도금을 하여 층간 연결을 진행하였다.

칩은 기판에 내장하기 위해 60% 질산(HNO₃)용액을 DI water와 1:1 비율로 희석하여 질산 수용액을 만들고 칩과 5분간 반응 시켜 솔더볼을 제거하였다.

우선 칩의 두께를 고려하여 C-stage의 FR-4를 laser로 가공하여 cavity를 형성한 후 칩을 내장하고 40 um ABF를 3 um Cu foil과 함께 170°C에서 30분간 진공 라미네이션하여 정합하였다. 다음으로 비아 가공 후 무전해 및 구리 도금을 통해 칩과 패드간의 전기적 연결을 하고 에칭법을 통하여 패턴을 형성하였다. 이 후의 레이어는 FR-4를 사용하여 220°C에서 100분간 진공라미네이션 하여 빌드업 한 후 위와 같은 방법으로 층간 연결 및 패턴을 형성하여 기판을 제작 하였으며(Fig. 2) 완성된 칩 내장형 기판은 Fig. 3과 같다.

2.2. 표면처리

Polyimide (PMDA-ODA PI) 표면 처리는 plasma, ion beam과 같은 건식 방법이 있다. polyimide를 플라즈마 처

Fig. 2. schematic drawing of packaging process.

Table 1. Sample and condition

samples	conditions
N Non-treatment	non
D Desmear	sweller 5min desmear 20min conditioner 5min
P Plasma	O ₂ gas 50watt 1min
D/P Desmear & Plasma	both D&Pdesmear before plasma

Fig. 3. Picture of embedded chip PCB sample (size of each cell: 12.56 mm×12.56 mm).

리하기 위하여 여러 가지의 gas sources가 사용되었고, 이중 oxygen 이나 argon 가스가 ammonia plasma 보다 접착력 증가에 좀 더 효과적이다.¹⁾

Polyimide passivation layer에 조도를 형성하기 위하여 디스미어와 플라즈마 공정을 이용하였다. 사용된 시편은 총 4가지로 N (Non-treatment), D (only Desmear), P (only Plasma), DP (Desmear and Plasma) 샘플로 구성하였고 Table 1과 같은 조건에서 진행하였다. 각각의 시편 당 16 개의 칩을 Fig. 3과 같이 실장 하여 표면 처리에 따른 변화를 SEM, AFM, XPS를 통하여 표면과 조도의 변화를 관찰하였다.

3. 결과 및 고찰

3.1. 솔더볼(SnAgCu) 제거와 비아 연결

칩의 솔더볼은 Fig. 4(a)와 같이 BGA 된 상태의 Sn-Ag-Cu (SAC)로 구성되어 있으며 산과 반응하여 화학적인 제거를 할 수 있었다. 에칭 후에도 Fig. 4(c)와 같이 Cu-Sn, Ag-Sn계열의 금속간화합물이 표면에 잔류하는 것을 확인할 수 있었으며 이를 제거하기 위하여 DI water 울트라 소닉 세척을 통하여 잔류한 금속간화합물을 제거하였고 Fig. 4(d)에 나타내었다. 솔더볼이 제거된 칩은 폴리머와 라미네이트된 후 UV laser 드릴과 구리 도금을 통해 연결 되었으며 비아 계면은 SEM을 이용하여 관찰하였다. Fig.

Fig. 4. (a) before nitric acid etching (b) after nitric acid etching (c) before ultrasonic (d) after ultrasonic.

Fig. 5. SEM micrographs ; (a) micro via after laser drill (b) tilted via image after laser drill (c) via to chip pad interconnection (d) Cu EDX mapping of via interconnection.

5(a), (b) 사진처럼 ABF에서 칩으로 UV laser를 통해 가공되어진 micro via에 Fig. 5(c)의 사진처럼 무전해 구리 도금과 전해 구리도금 공정을 통한 전기적 연결을 하였다. 특히 EDX를 이용한 Cu Kα1 mapping결과 Fig. 5(d)와 같이 칩 패드와 구리 도금 계면에서 금속간 화합물에 의한 불 균일 계면은 관찰되지 않았으며 연속적으로 형성되어 있고 도금 공정에 의한 interconnection이 완전히 이루어진 것을 볼 수 있었다.

3.2. 열 충격에 대한 계면 분리 및 표면조도 형성

완성된 기관의 리플로우 단계에서 기관이 부풀어 오르는 현상이 발견되었다.

이를 확인하기 위하여 단면을 확인한 결과 Fig. 6과 같이 솔더볼이 제거된 칩의 polyimide 표면과 절연 층으로

Fig. 6. Cross sectional images of de-lamination between chip and ABF.

사용되어진 ABF 계면에서 de-lamination 현상이 발견되었다. 이는 다른 논문에서도 발표하였듯이 폴리이미드는 에폭시 계열의 폴리머와 접착력이 좋지 않기 때문에 판단된다.²⁾ 이를 해결하기 위하여 칩 표면의 polyimide passivation layer에 디스미어와 플라즈마 처리를 통한 조도 형성을 하여 비교 하여 보았다.

Fig. 7는 각 샘플의 처리방법에 따른 표면변화를 나타내는 SEM 이미지이다. 각각 15.0 kV 3만 배의 배율에서 이미지를 보았고 디스미어만 처리한 샘플 Fig. 7(b)은 처리 안한 샘플 Fig. 7(a)과 거의 비슷한 이미지를 보였다. 플라즈마만 처리한 샘플 Fig. 7(c)은 조도 형성은 되었으나 밀도가 균일하지 않았고 Fig. 7(d)에 나타난 두 가지 처리 방법을 병행한 샘플은 보다 좋은 조도가 형성되었음을 볼 수 있다.

이는 AFM을 통해서 보다 자세하게 확인 할 수 있었다. Fig. 8에서는 AFM 3D 이미지와 Ra (roughness average (nm)) 값을 나타내었다. N샘플의 Ra값이 0.825 nm로 D샘플의 0.378 nm 보다 높았지만 이는 칩 표면에 미세하게 남아있던 잔여물질 등이 포함된 수치이다. N 샘플과 마찬가지로 1 nm 이하의 Ra값을 가지는 D 샘플에서는 desmear 공정에서 chemical cleaning 역할을 하여 N샘플에서 보였던 잔여물질을 제거하면서 조도 형성에는 기여하지 않았다. 플라즈마 처리만 진행한 P 샘플은 12.249 nm의 높은 Ra값을

Fig. 7. SEM micrographs of PI surface; (a) non-treatment (b) desmear (c) O₂ plasma (d) desmear+O₂ plasma.

Table 2. Results of the O1s/C1s ratio of surface treatment

	N	D	P	D/P
O1s/C1s ratio (At%)	0.43	0.34	0.80	0.42

Fig. 8. AFM 3D images with various treatments of each samples and roughness average(Ra, nm).

가지고 있지만 SEM 이미지와 AFM 3D 이미지를 고려하였을 때 조도형성은 되었으나 밀도가 좋지 않은 것을 볼 수 있다. 상대적으로 낮은 수치인 8.283 nm의 Ra값을 가진 D/P샘플이 P샘플보다 조도의 분포가 좋아 보다 좋은 접착력을 갖는 것으로 사료된다. 이는 polyimide 부분이 디스미어공정의 액상들과 반응을 하여 chemical cleaning과 함께 polyimide의 결합력을 약화시켜 일부 조도를 형성하고 O₂ 플라즈마가 유기화합물을 산화시켜 휘발성 물질로 전

환하여 조도 형성을 하였음을 생각해볼 수 있다. 이러한 표면변화를 자세히 보기 위하여 polyimide의 XPS spectra를 보았을 때 285 eV 부근에서 탄소 피크, 404 eV 부근에서 질소 피크, 532 eV 부근에서 산소 피크가 나타난 것을 확인할 수 있었다. 이 중 C1s의 변화를 보기 위하여 298~280 eV 범위의 피크를 분류하여 아래 Fig. 9에 나타내었다.

C1s의 피크는 284.7 eV이고 이는 Fig. 9(a)에 나타나있

Fig. 9. XPS peak indexing; (a)non-treatment (b) desmear treatment (c) O₂ Plasma (d) O₂ Plasma after desmear.

Table 3. Result of thermal shock test

	Pass	Fail	failure rate(%)
N	2	14	87.5%
D/P	16	-	0 %

Fig. 10. Cross sectional image after thermal shock (a) passed sample (b) failed sample due to de-lamination.

는 표준시료인 N샘플에 나타나있다. Fig. 9(b)의 286 eV 부근의 피크에서 디스미어 처리 중에 NaOH와 반응하여 C-C 본딩과 함께 과도한 carbonyl hydro 본딩이 생성되어 피크 값이 증가 하면서 위치가 쉬프트 되었음을 생각 할 수 있다. 또한 Fig. 9(c)와 같이 플라즈마 처리 샘플의 286 eV 부근의 피크 값이 증가하였는데 이는 새로운 피크인 carboxylates(COO-) 구조가 형성되었음을 짐작 할 수 있다.⁵⁾ 이러한 carboxyl groups은 산소를 함유한 관능기의 증가에 의해 소수성인 폴리이미드 표면에 친수성이 크게 증가하여 표면의 wetting과 surface bonding을 증가 시킴으로써 접착특성이 향상되어진 것으로 생각할 수 있다. Fig. 9(b)와 같이 287 eV 근처에서는 NaOH 처리가 포함된 디스미어 공정은 조도형성에는 기여하지 않지만 폴리이미드 표면의 C-N 본딩을 끊어주거나 약화시키고 새로운 hydroxide 반응물을 생성시켜 O2 플라즈마 처리 시 많은 carbonyl-hydroxide 결합을 형성할 수 있게 도와주는 것으로 보여 진다. 특히 Fig. 9의 (d)와 같이 플라즈마 처리 전 디스미어 처리한 시편에서는 초반 시편에서 관찰되었던 O=C-N 결합물의 peak이 많은 carbonyl-hydroxide 생성과 함께 broadening 되면서 발견되지 않았다.

참고로 Fig. 9(d)의 292 eV 부근에서 새로운 C-F성분이 발견되었는데 이는 디스미어와 플라즈마 처리에 따른 표면 식각으로 폴리이미드 내에 함유되어진 F성분이 관찰되어진 것으로 보여진다. 이에 따른 산소함량 변화를 Table 2에 O1s/C1s 비로 나타내었다. 그 결과 디스미어 처리 샘플인 D는 탄소비중이 크게 나타났으며 플라즈마 처리 샘플인 P는 산소의 비중이 크게 나타났다.

3.3. 열 충격 테스트

시편의 신뢰성을 검토하기 위하여 PCB 실장 시 Wave Soldering이나 IR Reflow로 PCB에 열 충격이 가해질 때 품질저하를 시험하는 solder float test를 진행하였다. IPC 검사 Spec인 IPC-TM-650 2.6.8 Thermal Stress, PTH에는 3가지의 Solder Float Test 조건이 기술되어있다. 이 중에서 B 조건인 $260\pm5^{\circ}\text{C}$ 10sec+1- 0°C 에서 표면에 처리를 하지 않은 시편(N)과 디스미어와 플라즈마 처리를 병행한 시편(D/P)의 열 충격 실험을 진행하였다. 그 결과 Table 3과 같이 디스미어와 플라즈마 조합으로 표면처리를 진행한 샘플의 열 충격 신뢰성이 향상되는 것을 확인할 수 있었다.

각 샘플의 단면을 관찰한 결과 두 가지 표면처리를 한 샘플(D/P)은 접착력이 향상되어 Fig. 10(a)와 같이 칩과 ABF 주변에서 de-lamination이 발생하지 않았고 아무 처리를 하지 않은 샘플(N)은 Fig. 10(b)에서 확인할 수 있듯이 칩과 ABF 사이에서 de-lamination이 발생하였다.

4. 결 론

본 연구에서는 상용화된 csr 사의 블루투스 칩의 솔더 불을 제거한 IC 칩을 내장하는 PCB 공정을 진행하였다.

이중 발생하였던 칩과 ABF 사이의 de-lamination 현상을 억제하기 위하여 칩의 표면인 polyimide passivation layer에 디스미어와 플라즈마 공정을 통하여 표면처리의 효과를 검토 하였다. 실험 결과 디스미어 진행 시 클리닝 효과와 함께 표면결합을 약하게 하여 약간의 조도형성을 하였다. 플라즈마만 처리 하였을 시 조도형성은 증가되었으나 밀도가 조밀하지 못하였고, 이때 생성된 carboxylates (COO-) 구조가 접착 특성에 효과적인 것을 확인할 수 있었다. 또한 디스미어 처리 후 플라즈마를 처리하였을 시 부족했던 조도의 밀도가 증대됨으로써 열 충격 테스트의 결과와 같이 polyimide와 ABF 간의 접착력이 개선되었던 것을 확인할 수 있었다.

감사의 글

본 논문은 한국전자기계융합기술원의 300 mm 대응 대 구경 다층구조의 복합패키지 공정 및 장비 기술개발사업의 일환으로 지식경제부 지원을 받아 수행되었으며, 이에 관계자 여러분께 감사드립니다.

참고문헌

1. Shijian Luo and C. P. Wong, "Improvement of Epoxy Adhesion to Polyimide Passivation" Electronic Components and Technology Conference 1390-1395 (2002).
2. F. D. Egitto and L. J. Matienzo, "Plasma modification of polymer surfaces for adhesion improvement", IBM J. Res. Develop., 38, 423 (1994).

3. S. H. Park, J. I. Ryu, J. C. Kim, J. H. Youn, N. K. Kang and J. C. Park, "The Fabrication and Characterization of Embedded Switch Chip in Board for WiFi Application", J. Microelectron. Packag. Soc., 15(3), 53 (2008).
4. A. M. Ektessabi, S. Hakamata, "XPS study of ion beam modified polyimide films", Thin Solid Films 377-378, 621-625 (2000).
5. T. Y. Hin, Changqing Liu, Paul P. Conway, "Controlling Interfacial Interpenetration of Polymer Waveguide Deposited on Plasma Treated Flexible Substrate", 10th Electronics Packaging Technology Conference 828-833 (2008)
6. Ho-Young Lee, "Embedded Passives", J. Microelectron. Packag. Soc., 9(2), 55 (2002).