수치해석에 의한 TSV 구조의 열응력 및 구리 Protrusion 연구

정훈선 · 이미경 · 좌성훈^{1,†}

¹서울과학기술대학교 NID 융합기술대학원

Numerical Analysis of Thermo-mechanical Stress and Cu Protrusion of Through-Silicon Via Structure

Hoon Sun Jung, Mi Kyoung Lee and Sung-Hoon Choa^{1,†}

¹Graduate School of NID Fusion Technology, Seoul National University of Science and Technology, 232
Gongneung-ro, Nowon-gu, Seoul 139-743, Korea

(2013년 6월 19일 접수: 2013년 6월 24일 수정: 2013년 6월 27일 게재확정)

초 록: Through-Silicon Via (TSV) 기술은 3차원 적층 패키징을 위한 핵심 기술로서 큰 관심을 받고 있다. 그러나 TSV 기술은 아직 다양한 공정상의 문제와 신뢰성 문제를 해결해야 하는 난제가 남아 있다. 특히 구리 비아(via)와 실리콘 기판의 큰 열팽창계수의 차이로 인한 열응력은 계면 박리, 크랙 발생, 구리 protrusion 등 다양한 신뢰성 문제를 발생시킨다. 본 연구에서는 구리 TSV 구조의 열응력을 수치해석을 이용하여 분석하였으며, 3차원 TSV 비아와 실리콘 기판의 응력 및 변형을 해석하였다. 비아의 크기, 비아와 비아 사이의 간격 및 비아의 밀도가 TSV 구조의 응력에 미치는 영향을 분석하였으며, 또한 어닐링(annealing) 온도 및 비아의 크기가 구리 protrusion에 미치는 영향을 관찰하였다. 구리 TSV 구조의 신뢰성을 향상시키기 위해서는 적절한 비아와 비아 사이의 간격을 유지한 상태에서, 비아의 크기 및 비아의 밀도는 작아야 한다. 또한 구리 protrusion을 감소시키기 위해서는 비아의 크기 및 어닐링 공정과 같은 공정의 온도를 낮추어야 한다. 본 연구의 결과는 TSV 구조의 열응력과 관련된 신뢰성 이슈를 이해하고, TSV 구조의 설계 가이드라인을 제공하는데 도움을 줄 수 있을 것으로 판단된다.

Abstract: The through-silicon via (TSV) technology is essential for 3-dimensional integrated packaging. TSV technology, however, is still facing several reliability issues including interfacial delamination, crack generation and Cu protrusion. These reliability issues are attributed to thermo-mechanical stress mainly caused by a large CTE mismatch between Cu via and surrounding Si. In this study, the thermo-mechanical reliability of copper TSV technology is investigated using numerical analysis. Finite element analysis (FEA) was conducted to analyze three dimensional distribution of the thermal stress and strain near the TSV and the silicon wafer. Several parametric studies were conducted, including the effect of via diameter, via-to-via spacing, and via density on TSV stress. In addition, effects of annealing temperature and via size on Cu protrusion were analyzed. To improve the reliability of the Cu TSV, small diameter via and less via density with proper via-to-via spacing were desirable. To reduce Cu protrusion, smaller via and lower fabrication temperature were recommended. These simulation results will help to understand the thermo-mechanical reliability issues, and provide the design guideline of TSV structure.

Keywords: Through-silicon via, Reliability, Thermo-mechanical stress, Copper protrusion, Numerical analysis

1. 서 론

TSV를 이용한 3차원 적층 칩 패키지 기술은 여러 개의 기판 혹은 다른 종류의 칩들이 수직 방향으로 적층(stack)되는 형태의 패키징 기술이다.¹⁾ TSV 기술은 실리콘 웨이퍼를 관통하는 미세 비아 홀을 에칭 공정을 통하여 형성

한 후, 절연막 및 barrier 막을 증착한다. 그 후에 비아 홀 내부에 전도성 물질, 주로 구리(copper)를 충전시켜 칩 내부에 직접 전기적 연결 통로를 확보하는 기술이다.²⁾ TSV 기술을 사용할 경우, 기존의 와이어 본딩을 이용한 적층 기술에 비해 고집적화 및 고기능의 효과가 발생하고, RC delay의 감소 및 저 저항 특성으로 인한 매우 우수한 전

[†]Corresponding author
E-mail: shchoa@seoultech.ac.kr

© 2013, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

기적 특성을 나타낸다. 따라서 최근 반도체 업계의 차세대 패키징 기술로서 개발이 한창 진행 중에 있다. 특히 TSV 기술을 스마트 모바일 기기에 적용할 경우, 고질적인 문제로 지적되고 있는 배터리의 전력 소모 문제가 어느 정도 해결될 수 있기 때문에, 향후 스마트폰 및 모바일 기기에 사용되는 반도체 칩은 대부분 TSV 기술 방식의 칩 적층 기술이 사용될 것으로 예상하고 있다.

그러나 아직 TSV 기술은 공정의 복잡성과 저가격화를 실현해야 하는 문제가 남아 있다. 특히, 신뢰성에 대한 문제 해결이 향후 상업화에 도달하기 위한 큰 난제로 부각되고 있다.³⁾ 3차원 적층 칩은 다양한 재료로 이루어진 복잡한 구조로 되어 있다. 또한 배선(interconnect)의 수가 증가하고 칩의 크기가 작아짐에 따라서 열응력(thermo-mechanical stress) 및 기계적 피로로 인한 파괴 등이 발생할 가능성이 많다. 특히 배선 간의 전기적 손실을 최소화하기 위한 재료로써 구리를 사용할 경우에 발생할 수 있는 신뢰성 문제는 간과할 수 없다. 현재 TSV 구조의 비아 층진 재료로서 구리가 주로 사용되고 있는데, 이는 반도체 공정에서 주로 사용되었던 poly-Si 이나 텅스텐(W)에 비하여 구리는 우수한 전기적인 특성 및 신뢰성을 갖고 있기 때문이다. 그러나 구리는 실리콘 기판에 비하여 6~7배의 높은 열팽창계수(coefficient of temperature expansion, CTE) 값을 갖는다. 즉 실리콘 웨이퍼의 열팽창계수는 $2.5 \times 10^{-6}/^{\circ}\text{C}$ 인 반면, 구리의 열팽창 계수는 $17.5 \times 10^{-6}/^{\circ}\text{C}$ 이다.⁴⁾ 이러한 CTE의 큰 차이로 인하여 구리 비아 내부와 실리콘 기판 및 주변 TSV 구조에 큰 열응력이 발생하며, 이러한 열응력은 기계적인 신뢰성 문제를 야기할 수 있다.^{5,6)} 즉 크랙에 의한 칩의 파괴, TSV 구조에서의 구리의 돌출(Cu protrusion 또는 Cu extrusion) 현상, 계면에서의 박리 현상 등을 초래할 수 있으며, 특히 주변 트랜지스터 소자의 성능을 저해할 수 있다. 이러한 문제는 TSV를 이용한 소자 및 패키지의 공정, 신뢰성 시험 및 실제 사용 환경 하에서 TSV 소자 및 패키지의 신뢰성에 큰 영향을 미치게 된다. 특히 TSV 주변에는 능동 소자들, 즉 트랜지스터들이 위치에 있는데, 이러한 CTE mismatch에 의한 열응력은 실리콘의 압저항(piezoresistive) 효과로 인하여 주변 트랜지스터 소자의 성능을 저해할 수 있다. 실제로 약 100 MPa의 응력은 MOSFET 소자의 전하 이동도(carrier mobility)를 10% 이상 변화시킬 수 있다고 보고하고 있다.⁷⁾ 특히 응력의 방향도 중요한데 Thompson 등에 의하면 종방향(longitudinal direction)의 인장응력은 MOSFET 소자의 홀 이동도를 감소시키는 반면에, 횡방향(transverse direction)의 인장응력은 홀 이동도를 증가시킨다고 보고하였다.⁸⁾ 따라서 응력의 크기뿐만 아니라, 응력의 방향도 매우 중요하다. TSV 구조의 열응력에 의한 영향이 미치지 않는 영역에 능동소자인 트랜지스터를 위치시켜야 하며, 이는 TSV 구조를 설계함에 고려해야 될 매우 중요한 사항이다. 트랜지스터 소자가 열응력에 의한 영향을 받는 영역을 keep-away zone (KAZ) 혹은

keep-out-zone (KOZ)이라고 한다.^{9,10)} 특히 TSV 비아는 트랜지스터의 크기에 비하여 매우 크기 때문에 TSV의 응력 분포를 고려하는 것이 칩 혹은 패키징의 크기 및 성능을 결정하는 매우 중요한 요소가 된다. 또한 TSV 비아는 칩과 칩을 연결하는 배선의 역할을 하기 때문에, 한 개가 아닌 여러 개의 array(어레이) 형태로 배열된다. 따라서 비아 어레이 형태에 따른 응력 분포 및 KAZ 영역을 고려하여 설계에 반영되어야 한다.

또 다른 신뢰성 이슈는 TSV 구조에서의 구리 protrusion 문제이다.^{11,12)} TSV 구조는 비아 홀을 형성한 후에도 다양한 고온 공정을 거치면서 열응력을 받게 된다. 즉 비아를 에칭한 후, 구리로 채운 후에도 각기 다른 온도에서 여러 후속 공정이 진행되게 되는데 이때 열응력을 받게 되면서 구리는 팽창한다. 예를 들면 구리 어닐링 공정, 메탈 배선(interconnection) 공정, 칩과 칩 혹은 웨이퍼와 웨이퍼를 접합하는 접합 공정 등을 통해서 열응력을 받게 된다. 구리를 채운 후, 어닐링 하는 목적은 구리의 미세조직을 안정화하고, 잔류응력을 감소시키기 위함이며, 어닐링 온도는 대략 $200 \sim 400^{\circ}\text{C}$ 이다. 메탈 배선 공정의 온도는 약 200°C , 그리고 접합 공정은 접합 방법에 따라서 다르지만, 대략 $270 \sim 300^{\circ}\text{C}$ 에서 수행된다. TSV 공정 과정에서 온도가 올라가게 되면 TSV 비아 내에 있는 구리가 위로 팽창하게 되고, 실리콘 웨이퍼 표면으로 부터 돌출되면서 비아 홀 위에 존재하는 절연막이나 배선막을 파괴하게 된다.¹³⁾ 이러한 현상을 Cu protrusion 혹은 Cu extrusion이라고 한다. 특히 구리 protrusion은 low-k 재료를 사용하는 배선에서 절연막의 크랙 발생을 초래할 가능성이 매우 크다.

따라서 TSV 구조의 열응력 현상을 예측하고 분석하는 것이 TSV 및 3차원 적층 패키징 설계 및 공정에 매우 중요한 요소이다. 본 연구에서는 CTE mismatch에 의한 열응력이 TSV 구조에 미치는 영향을 수치해석을 이용하여 분석하였다. TSV 비아의 종류 및 크기에 따른 열응력의 크기 및 분포, 다수의 비아가 존재하는 비아 어레이에 대한 열응력의 분포 및 KAZ의 크기를 분석하였다. 또한 온도 증가에 따른 TSV 구리 비아의 protrusion 현상을 해석하였다. 이러한 해석 결과를 통하여 궁극적으로 TSV 구조 설계의 가이드라인을 제시하고자 하였다.

2. 수치해석 모델링 및 해석 조건

TSV 공정은 via-first, via-last, via-middle 공정 등 매우 다양하며, 크게 보면 두 가지 공정 방법이 있다. 즉 에칭 공정에 의하여 TSV 비아를 형성하고, 비아를 구리로 채운 후, CMP 공정을 이용하여 웨이퍼를 얇게 thinning 하는 방법과 웨이퍼를 thinning 한 후 비아를 구리로 채우는 공정으로 구별될 수 있다. 이때 전자의 방법으로 제작된 비아를 blind 비아라고 하며, 후자의 방법을 through 비아라고 한다. 각 방법에 따라서 비아에 걸리는 응력이 다르

Fig. 1. Schematic illustration of TSV structures used in numerical simulation (a) Through via TSV (b) Blind via TSV.

며, 구리 protrusion이 다를 것으로 예측하고 있다. 이렇게 다른 응력 등은 후속 공정을 진행함에 있어서 반드시 고려해야 될 사항이다. 따라서 본 연구에서는 through 비아와 blind 비아에 대한 응력 및 구리 protrusion을 해석하였다. Fig. 1은 본 해석에서 사용한 through 비아와 blind 비아의 개략도 및 치수를 나타내고 있다. 기준 모델로서 비아의 직경은 10 μm 이며, 비아의 높이는 50 μm 이었다. Blind 비아의 경우 실리콘 웨이퍼의 체적은 through 비아의 체적과 동일하게 설정하였다. 구리 비아와 실리콘 웨이퍼 계면에 있는 SiO₂ 절연막의 두께는 0.5 μm 이었다. 반면에 매우 얇은 Ta, Ti 같은 확산방지막(diffusion barrier)은 SiO₂에 비하여 두께가 매우 얇기 때문에, TSV 구조의 응력분포에 미치는 영향이 미미할 것으로 판단하여 해석에는 무시하였다.

Fig. 2는 본 연구에서 사용한 TSV 구조의 FEM 모델을 나타내고 있다. 수치해석은 상용 해석 프로그램인 ANSYS 14.5를 사용하여 유한요소 해석을 수행하였다. 해석모델 모두 8절점 3차원 요소로 구성된 SOLID185 요소를 사용하였으며 해석에 사용된 모델은 대칭 구조이므로, 해석 시간을 단축하기 위하여 1/4 대칭 구조로 모델링하여 해석을 수행하였다. 단일 through 비아 모델의 경우 요소(element)의 개수는 199,410개, 절점(node) 수는 211,505개이며, 해석 결과의 정확성을 높이기 위해 mapped mesh를 하였고, 비아 부분을 조밀하게 mesh 하였다. 변위 경계는 모델의 global coordinate x, y, z 축의

Fig. 2. Three-dimensional finite element model (a) Single via TSV (b) Multi vias TSV.

Table 1. Material properties of TSV structure.

Material	Young's modulus (GPa)	Poisson's ratio (ν)	CTE (ppm/ $^{\circ}\text{C}$)
Silicon	130.4	0.28	2.8
SiO ₂	70.0	0.16	0.6
Copper	in Table 2	0.34	17.0

Table 2. Material properties of Copper.

Young's modulus (GPa)	Elastic range	Plastic curve – Stress (MPa) vs. strain
121.0		121 @ 0.001e
		186 @ 0.004e
		217 @ 0.01e
		234 @ 0.02e
		248 @ 0.04e

원점을 모두 구속 하고, 구조물의 x 축과 y 축에 대하여 대칭 조건을 적용하였다. 유한요소해석에서 사용된 각 재료의 물성은 기존 문헌에서 사용된 대표 값을 사용하였으며,^{14,15,16)} 재료의 물성치인 탄성계수, 프아송비, 열팽창계수는 Table 1과 Table 2에 명시하였다. 또한 실리콘과 SiO₂ 막은 등방성 탄성재료로 가정하였으며, 구리는 소성변형을 고려하기 위하여 Table 2와 같이 탄소성(elasto-plastic) 재료로 모델링 하고, 등방성 경화 모델(isotropic hardening model)을 사용하였다.

TSV 구조는 상온에서 응력 및 변형이 없는 stress-free 상태로 가정하였으며, 온도를 200 $^{\circ}\text{C}$ 까지 올렸을 때의 응력과 변형을 해석하였다. 상온을 stress-free로 가정한 이유는 비아를 구리로 채우는 과정은 주로 electroplating 공정에 의하여 수행되는데, electroplating의 공정 온도가 상온이나 상온 보다 약간 높다. 따라서 구리가 용융 상태에서는 응력이 거의 존재하지 않는다고 보고, stress-free 조건으로 설정하였다. 한편 온도 200 $^{\circ}\text{C}$ 에서의 열응력을 해석한 이유는 메탈 배선 공정이나 어닐링의 온도가 최소 200 $^{\circ}\text{C}$ 가 되기 때문이다. Von Mises 응력을 TSV 구조의 응력의 크기 및 분포를 해석하기 위하여 사용하였다. 또한 von Mises 항복 기준을 기계적 파괴 발생의 가능성으로 간주하여, von Mises 응력이 항복응력을 초과하는지를 관찰하였다. 만일 von Mises 응력이 항복응력보다 크면 영구 변형이 발생하고, 이러한 변형은 TSV 구조의 변형 및 파괴를 초래하게 된다.

3. 해석 결과

3.1. 단일 Through 비아 및 blind 비아의 응력 해석

Fig. 3은 비아가 한 개 있는 직경 10 μm , 깊이 50 μm 의 단일 TSV 구조에 대한 von Mises 응력 분포로서, 상온에서 200 $^{\circ}\text{C}$ 로 증가되었을 때의 through 비아와 blind 비아의 응력 분포를 각각 나타내고 있다. 구리 비아를 중심으로 전체 패키지 단면의 von Mises 응력 분포를 보여준다.

(a)

(b)

Fig. 3. Von Mises stress distribution of the TSV structure (a) Through via (b) blind via.

Fig. 3(a)의 through 비아의 경우 응력은 비아 상부 혹은 하부의 구리와 SiO_2 박막의 계면 혹은 SiO_2 막에서 응력 집중이 되면서 응력이 최대가 되며, 최대 응력은 약 410 MPa 이었다. 구리와 SiO_2 계면에서의 계면응력(interfacial stress)은 계면에서의 크랙의 성장을 유발하거나, 계면박리(delamination)를 발생시킬 수 있는 요인이 된다.¹⁷⁾ Fig. 3(b)는 blind 비아의 경우의 응력 분포이다. 비아 상부의 응력 분포는 through 비아의 경우와 유사하나, 비아 하부 구석(edge) 부분의 구리와 SiO_2 막이 접하는 계면에서 응력이 최대가 되었다. 이때 최대 von Mises 응력의 값은 434 MPa 이었다. 온도가 올라가면 비아 내부의 구리는 실리콘에 비하여 약 6배, SiO_2 막에 비하여 10배 정도 많이 팽창을 하기 때문에, SiO_2 막과 주변 실리콘 웨이퍼에 큰 인장 응력을 가하게 된다. Fig. 4는 x 방향의 인장응력(σ_{xx})의 응력 분포를 보여주고 있다. 예측한 바와 같이 구리 비아는 실리콘 웨이퍼에 의하여 팽창이 구속되기 때문에 압축응력을 받고 있으며, 실리콘 웨이퍼에는 인장 응력이 작용하고 있다. Blind 비아의 경우도 비슷한 경향이며 비아 하부에 큰 압축응력이 작용하고 있음을 알 수 있다. 특히 계면에 형성된 인장 응력은 온도가 연속적으로 올라가거나 내려가는 열 사이클(thermal cycle) 과정에서 계면의 박리현상을 초래할 수 있다. 한편 응력은 TSV

(a)

(b)

Fig. 4. Normal stress distribution (σ_{xx}) of TSV structure (a) Through via (b) Blind via.

구조에 균일하게 분포하지 않고, 매우 국부적으로 집중되어 있음을 알 수 있다. 궁극적으로 구리 비아의 소성 변형은 매우 작은 영역에서 발생함을 알 수 있다.

Fig. 5는 비아의 크기, 즉 직경에 따른 구리 비아 내부의 최대 von Mises 응력을 나타낸다. 비아의 크기가 증가할수록 구리 비아 내부의 응력은 증가하게 된다. Fig. 5(a)의 through 비아의 경우, 직경 10 μm 비아의 최대 von Mises 응력은 약 410 MPa이었다. 직경이 증가하면서 응력은 선형적으로 증가하며, 30 μm 부터 응력의 증가는 완만하였다. 직경 40 μm 경우의 최대 von Mises 응력은 약 530 MPa이었다. Fig. 5(b)는 blind 비아의 응력을 나타내고 있다. Blind 비아의 경우 10 μm 비아의 최대 응력은 434 MPa 이며, 40 μm 비아에서는 약 550 MPa로 through 비아 보다 전체적으로 비아 내부의 응력이 높음을 알 수 있다. Electroplating 공정으로 제작된 구리의 항복 응력은 문헌에 따라서 약 200 MPa 부터 600 MPa 까지 매우 큰 차이를 보이고 있는데, 이는 구리의 두께, grain 크기, 및 온도에 따라 구리의 항복 응력이 영향을 받기 때문이다.^{18, 19)} 결론적으로 비아의 크기가 커질수록 구리 비아 내부의 응력은 증가하고, 40 μm 이상에서는 거의 항복 응력에 도달함을 알 수 있다. 따라서 가능한 비아의 직경을 40 μm 이

Fig. 5. Maximum von Mises stress with increasing via diameter (a) Through via (b) Blind via.

하로 설계하여야 한다.

구리 비아의 내부뿐만이 아니라 주변 실리콘 웨이퍼에도 어느 정도의 응력이 발생하는지가 중요하다. 그러나 실리콘의 항복 응력은 약 7 GPa 이며 파괴 응력은 1 GPa 이다.²⁰⁾ 따라서 von Mises 항복 기준에 의한 신뢰성 문제는 크지 않을 것으로 판단된다. 그러나 실리콘은 취성재료로서 파괴응력은 재료에 존재하는 결함이나 미세 손상에 좌우된다. 특히 실리콘 기판의 thinning 공정은 기판의 손상이나 결함을 발생할 가능성이 많다. Zang의 연구에 의하면 이러한 thinning 공정에 의하여 실리콘 웨이퍼의 파괴 응력이 175 MPa 정도로 급격히 감소한다는 결과를 제시하였다.¹⁸⁾ 따라서 실리콘 기판 내부의 응력 분포는 실리콘 내부의 결함이나 크랙이 있는 경우, 크랙의 성장을 유발하여 기판의 파괴를 초래할 수 있다. 따라서 실리콘 기판의 파괴를 방지하기 위해서는 실리콘 기판의 공정 및 취급 과정에서 손상이 되지 않도록 유의해야 한다.

한편 트랜지스터는 실리콘 웨이퍼의 상부 표면으로부터 약 1 μm에 위치해 있다. 전술한 바와 같이, 실리콘 웨이퍼 표면에 존재하는 100 MPa의 낮은 응력에도 주변 트랜지스터들의 성능은 저하될 수 있다. Fig. 6은 TSV 구조의 상부 표면에서의 응력 분포를 나타내고 있다. Fig. 6(a)의 through 비아의 경우, 응력의 분포는 비아 중심에서 SiO₂ 막에 가까워질수록 증가하여 SiO₂ 박막 주변에서 최

Fig. 6. Von Mises stress of single via TSV structure (a) Stress at the top surface of through via (b) Stress at the top surface of blind via (c) Stress at the bottom of the blind via.

대가 되며, 비아에서 멀어질수록, 즉 실리콘 웨이퍼로 갈수록 응력은 급격히 감소한다. 비아의 중심으로 부터 20 μm 떨어진 실리콘 웨이퍼 부근의 응력은 50 MPa 이하가 되며, 40 μm 떨어진 실리콘 웨이퍼 부근에서 응력이 거의 0 이 됨을 알 수 있다. Fig. 6(b)의 blind 비아의 상부 표면에서의 응력 분포는 through 비아의 응력 분포와 거의 동일하였다. Fig. 6(c)의 blind 비아의 하부 영역에서의 응력 분포를 살펴보면 비아 내부의 응력은 through 비아에 비하여 매우 높았으나, 실리콘 웨이퍼 영역의 응력 분포는 through 비아와 거의 동일하였다.

Fig. 7. Maximum von Mises stress of through via TSV structure for different via diameter.

3.2. 비아 어레이의 응력 분포 및 KAZ 해석

전술한 바와 같이 한 개의 반도체 칩에 존재하는 TSV 비아의 개수는 칩의 종류에 따라 다르지만, 비아의 개수가 수 백, 수 천 개인 경우 KAZ의 존재로 인하여 트랜지스터의 성능에 영향을 줄 수 있으며, 칩의 크기가 예상보다 크게 될 수 있다. 따라서 TSV 구조를 설계함에 있어서 KAZ 영역을 고려하는 것이 매우 중요하다. 고밀도의 TSV integration을 위해서는 실리콘 표면의 응력 수준은 가능한 낮아야 하며, 트랜지스터의 성능에 영향을 줄 수 있는 영역, 즉 KAZ를 가능한 작게 해야 한다. 따라서 비아의 크기, 비아와 비아 사이의 간격, 비아와 비아의 위치 등이 KAZ에 어떻게 영향을 미치는지에 대해서 해석을 수행하였다. 우선 비아의 크기에 따른 응력이 최소화되는 KAZ를 해석하였다. Fig. 7은 비아 직경에 따른 TSV 구조의 응력 분포를 나타내고 있다. 비아의 직경이 10 μm 에서 40 μm 로 비아가 커질수록 최대 von Mises 응력은 증가하고 있으며, 실리콘 웨이퍼 표면의 응력도 증가하고, 동시에 응력이 미치는 영역도 증가하게 된다. 흥미로운 점은, 트랜지스터 소자가 영향을 받는 KAZ의 응력을 100 MPa 이상으로 가정했을 때에 KAZ의 크기는 비아의 직경과 거의 비례한다는 점이다. 즉 직경이 10 μm 인 경우 KAZ 영역은 비아의 중심으로 부터 대략 10 μm 이며, 직경이 40 μm 인 경우 KAZ 영역은 대략 40 μm 가 된다. 따라서 비아의 크기를 가능한 줄이는 것이 실리콘 웨이퍼의 파괴나 트랜지스터 소자의 성능에 영향을 덜 미치게 된다.

실제적으로 TSV 비아들은 주로 칩 외곽 주위에 다수의 비아들이 존재하는 어레이(array) 형태로 배치되며, TSV 비아는 근접한 주변 비아들의 영향을 받는다. 비아와 비아 사이의 간격이 작게 되면 비아들 사이의 응력 상호 작용에 의하여 비아 사이의 실리콘 웨이퍼의 응력은 증가하게 된다. Fig. 8(a)는 인접한 2x2 비아들에 대한 응력 분포를 나타내고 있다. Fig. 8(b)는 A-A' 방향에서 2개

Fig. 8. (a) Von Mises stress distribution map (b) Von Mises stress of top surface for 2x2 TSV via array in horizontal direction (A-A' direction).

Fig. 9. Von Mises stress for 2x2 TSV via array in horizontal direction (A-A' direction) for different β values.

의 TSV 구조에 대한 최대 응력값을 나타내고 있다. 비아의 직경은 10 μm 이며, 비아와 비아 사이의 간격, 즉 피치(pitch)는 20 μm 이다. Fig. 8(b)에서 보는바와 같이 단일 TSV와 비교하여 볼 때, 비아와 비아 사이의 실리콘 웨이퍼 상부 표면의 응력은 약 180 MPa로서 응력이 크게 증가하였음을 알 수 있다. TSV 비아들의 간격이 주변 비아에 미치는 영향을 파악하기 위하여 피치를 변화시키면서 TSV 구조의 응력을 살펴보았다. Fig. 9는 두 개의 TSV 비아들에 대해서 피치를 변화시키면서 응력의 변화를 본 그림이다. 비아의 직경이 10 μm 로 고정하고, 다양한 피치 간격에 대한 TSV 구조의 응력 분포 해석하였다. 여기에서 β 는 비아와 비아 사이의 간격, 즉 피치를 비아의 직경으로 나눈 값이다($\beta = \frac{\text{pitch}}{\text{diameter}}$). β 값이 증가하면, 즉 비아 사이의 간격이 커지면 인접 비아 간의 응력의 영향이 감소함을 알 수 있다. β 값이 2.5가 되면 응력은 크게 감소하게 되며, β 값이 3.5 이상이 되면 인접 비아 간의 응력의 영향은 거의 없었으며, 실리콘 웨이퍼의 응력은 100 MPa 이하가 된다. 즉 직경 10 μm 비아의 경우, 비아들 사이의 간격이 최소 35 μm 가 되어야 그 사이에 위치한 트랜지스터가 성능에 영향을 받지 않음을 알 수 있다. 한

Fig. 10. (a) Von Mises stress distribution map (b) Von Mises stress of top surface for 2x2 TSV via array in diagonal direction (B-B' direction).

편 비아와 비아 사이의 간격이 β 가 1.5인 경우와 같이 매우 작아졌을 때에는 비아의 응력이 주변 비아에 영향을 미쳐 비아 내부의 응력 및 주변 실리콘 웨이퍼의 응력이 증가됨을 알 수 있었다. 따라서 비아 사이의 간격이 너무 작게 되면 비아와 비아 간의 응력 간섭이 발생되고 이로 인하여 비아 내부의 응력은 증가한다.

TSV 비아들 간에 작용하는 응력은 비아가 위치한 방향에 영향을 받으며, 열응력이 최소화 될 수 있도록 배치되어야 한다. 즉 TSV 설계 시 layout 배치에 대한 고려가 필요하다. 따라서 비아와 비아가 45도 방향으로 배치되었을 때의 응력 분포를 살펴보았다. Fig. 10은 2x2 TSV에서 B-B' 방향으로의 응력 분포를 나타내고 있다. B-B' 방향의 응력 분포는 Fig. 8의 A-A' 방향의 응력에 비하여 실리콘과 실리콘 사이의 응력이 매우 낮음을 알 수 있으며, 응력이 100 MPa 이하가 되는 영역도 매우 넓다. 따라서 TSV 비아 배치에 방향도 고려해야 함을 알 수 있다. Fig. 11은 B-B' 방향에서 β 값은 변화시키면서 응력이 어떻게 변화하는지를 해석한 결과이다. 비아와 비아 사이의 응력의 수준은 낮았으며 β 값이 2 정도 되어도 응력이 100 MPa 이하가 됨을 알 수 있다. 다음으로는 TSV가 여러 개가 존재하는 어레이 형태로서 비아 홀들이 사각형

Fig. 11. on Mises stress for 2x2 TSV via array in diagonal direction (B-B' direction) for different β values.

Fig. 12. Stress distribution map for 3x3 TSV array for different β value. Dark area indicates keep-away-zone.

형태로 배열된 사각형 어레이(square array) 형태에 대한 응력 분포를 해석하였다. 해석에 사용된 사각형 어레이는 TSV가 x, y 방향으로 각각 3x3 TSV 어레이 형태이며, 이 사각형 어레이에 대해서 비아와 비아 사이의 피치를 변화시키면서 응력 분포, 즉 KAZ 영역이 어떻게 변화하는지를 살펴보았다. Fig. 12는 비아 직경을 10 μ m로 고정하고, 피치를 변화시켜 가면서 KAZ 영역의 어떻게 변화하는지를 관찰한 그림이다. 이 때 KAZ 영역은 응력을 100 MPa 이상으로 가정하였으며, Fig. 12에서 비아 주변에 진하게 색칠된 부분이 KAZ 영역이다. 그림에서 보듯이 β 값이 3.0 이상이 되어야 KAZ이 감소함을 알 수 있다.

3.3. 구리 비아 protrusion 해석

다음은 구리 protrusion에 대한 수치 해석 결과이다. Fig. 13은 지름 10 μ m의 through 비아가 온도가 올라가면서 구리 비아가 어떻게 팽창이 되는지를 잘 보여주고 있다. 구리 비아 수직 방향으로의 protrusion 높이는 이해를 돕기 위하여 30배로 확대하였다. 온도가 증가되면서 protrusion은 양은 증가하고 있으며, 400°C에 도달하게 되면 protrusion 뿐만 아니라, 비아 내부의 계면에서의 응력도 크게 증가함을 알 수 있다. Fig. 14는 비아의 직경인 10, 15, 40 μ m 인 through 비아 및 blind 비아에 대해서 100°C 부터 400°C 까지 온도를 증가시키면서 구리 protrusion을 해석한 결과이다. Fig. 14(a)에서 보면 직경 10 μ m의 through 비아의 경우, 100°C일 때 구리 protrusion의 높이는 약 30 nm 이었으며 온도가 증가함에 따라 protrusion은 거의 선형

Fig. 13. Von Mises stress distribution of the through via TSV structure showing Cu protrusion phenomenon with increasing temperature.

Fig. 14. Simulated Cu protrusion height with increasing temperature (a) Through via (b) Blind via.

적으로 증가한다. 온도 400°C에서의 protrusion 높이는 대략 200 nm 이었으며, 비아의 지름이 증가하면 protrusion의 양은 급격히 커진다. 비아 지름 40 μm의 경우 protrusion은 온도가 250°C까지 선형적으로 증가되지만, 온도 300°C에서 증가폭이 커지면서 400°C에서는 급격히 증가하게 되며, protrusion의 높이는 약 560 nm이었다. 560 nm의 protrusion은 구리 비아 위의 절연막이나 금속 배선 등의 BEOL(back end of line) 막들을 파괴하기에 충분한 높이이다. 한편 이 해석 결과는 실험적으로 Cu protrusion을 측정된 여러 논문들의 결과^{21, 22)}와 거의 동일함을 알 수 있었으며, 따라서 해석의 유효성을 간접적으로 알 수 있었다. 구리를 비아로 채운 후 사용되는 어닐링 온도는 200°C에서 400°C로 다양한데 본 연구의 해석 결과를 보면 가능한 어닐링의 온도를 낮추는 것이 좋을 수 있다. 가령 비아 10 μm 직경의 Cu protrusion의 높이가 400°C에서 0.2 μm로서 TSV 위에 증착되어 있는 배선막이나 절연막의 두께와 거의 동일한 정도의 수준이기 때문에 이 경우 어닐링의 온도를 300°C 이하로 해야 열응력 인한 박막들의 파괴를 최소화할 수 있다. Fig. 14(b)는 blind via에 대한 구리 protrusion이다. Through 비아의 결과와 비교하여 보면, 온도가 증가하면서 구리 protrusion

Fig. 15. Maximum von Mises stress with increasing temperature (a) Through via (b) Blind via.

이 증가하는 경향은 유사하나, 구리 protrusion의 높이는 작음을 알 수 있다. Through 비아는 상하부가 모두 구속되어 있지 않아서 구리가 상하부로 자유롭게 팽창할 수 있다. 반면 blind 비아는 구리의 팽창이 비아의 하부 및 옆면의 실리콘 웨이퍼에 의하여 구속되어 있기 때문에 구리 protrusion의 높이는 through 비아에 비하여 작다. 이러한 경향은 Fig. 15의 어닐링 온도 변화에 따른 구리 비아 내부의 von Mises 응력의 경향을 보면 잘 설명될 수 있다. 구리 비아 내부의 최대 von Mises 응력은 blind 비아가 through 비아 보다 높다. 즉 blind 비아는 구리의 팽창이 실리콘 웨이퍼로 인하여 제한되며, 대신에 구리 내부에는 매우 큰 응력이 걸리게 됨을 알 수 있다. 또한 구리 비아 내부의 최대 응력은 비아 10 μm 경우 어닐링 온도가 300°C 이상이 되면 600 MPa 이상이 된다. 600 MPa은 구리의 항복 응력 이상의 응력으로서, 구리는 소성 변형을 하게 된다. 이러한 과도한 소성 변형은 비가역적이기 때문에 어닐링 후에 상온으로 온도가 내려갔을 때에도 팽창된 부분은 초기 위치로 돌아오지 않으며, 이러한 변형은 그대로 존재하게 된다. 구리 protrusion의 높이와 von Mises 응력을 해석한 결과 어닐링의 온도를 가능한 낮추어야 하며, 비아 10 μm의 경우 어닐링 온도를 300°C 이하로 해야 함을 할

수 있다.

4. 결 론

본 연구에서는 열팽창의 차이로 인한 열응력 및 구리 protrusion이 TSV 구조의 신뢰성에 미치는 영향을 수치해석을 이용하여 분석하였다. TSV 구조의 응력은 비아 상부 혹은 하부의 구리와 SiO₂ 박막의 계면 혹은 SiO₂ 막에서 응력 집중이 되며, 계면 박리 현상을 발생시킬 수 있다. 비아의 크기가 증가할수록 구리 비아 내부의 응력은 증가하게 된다. Blind 비아의 경우가 through 비아 보다 전체적으로 구리 비아 내부의 응력이 높았다. 비아의 직경 40 μm 에서는 비아의 응력이 항복응력 이상으로 증가하므로 비아 직경 40 μm 이하의 설계가 필요할 것으로 판단된다. 또한 비아의 크기가 증가하면 KAZ 영역도 증가하였으며, KAZ 영역의 크기는 비아의 직경과 거의 비례하였다. TSV 구조는 인접한 TSV 비아들의 영향을 받으며, 비아와 비아 사이의 간격이 작아졌을 때에는 주변 비아에 영향을 받아 비아 내부의 응력 및 주변 실리콘 웨이퍼의 응력이 증가됨을 알 수 있었다. 비아 사이의 간격이 커지면 비아 간의 응력의 영향이 감소하였다. 비아와 비아 사이의 간격이 비아 직경에 비하여 3.5배 이상이 되면 인접 비아 간의 응력의 영향은 거의 없었으며, 실리콘 웨이퍼의 응력은 100 MPa 이하가 되어 그 사이에 위치한 트랜지스터의 성능에 영향을 미치지 않음을 알 수 있었다. 구리 비아의 protrusion을 해석한 결과, 온도가 증가함에 따라 protrusion은 선형적으로 증가하였으며, 비아의 체적이 증가함에 따라 protrusion의 양은 급격히 증가하였다. 비아 직경 40 μm 의 경우 protrusion은 400°C에서 급격히 증가하며, 그 높이는 500 nm 로서 구리 비아 위의 절연막이나 금속 배선 등의 BEOL 막들을 파괴하기에 충분한 높이였다. 또한 온도가 300°C 이상이 되면 구리 비아의 소성 변형이 시작됨을 알 수 있었다. 결론적으로 TSV 구조의 신뢰성 향상을 위해서는 비아의 크기를 줄이고, 비아와 비아 사이의 간격을 어느 정도 유지해야 하며, 어닐링 등의 공정의 온도를 가능한 낮추어야 한다. 본 해석 결과는 향후 TSV 구조의 신뢰성 문제를 향상시키기 위한 설계 가이드라인으로 유용하게 활용될 수 있을 것으로 판단된다.

감사의 글

이 연구는 서울과학기술대학교 교내 학술연구비 지원으로 수행되었습니다.

참고문헌

1. M. S. Yoon, "Introduction of TSV (Through Silicon Via) Technology", J. Microelectron. Packag. Soc., 16(1), 1 (2009).

2. John H. Lau, "Evolution, Challenge, and Outlook of TSV, 3D IC Integration and 3D Silicon Integration", International Symposium on Advanced Packaging Materials. pp. 462-488 (2011).
3. K. N. Tu, "Reliability Challenges in 3D IC Packaging Technology", Microelectronics Reliability, 51, 517 (2011).
4. C. S. Selvanayagam, John H. Lau, X. Zhang, S. K. W. Seah, K. Vaidyanathan, and T. C. Chai, "Nonlinear Thermal Stress/Strain Analyses of Copper Filled TSV(Through Silicon Via) and their Flip-Chip Microbumps", Electronic Components and Technology Conference, pp. 1073-1081 (2008).
5. S. H. Hwang, B. J. Kim, S. Y. Jung, H. Y. Lee and Y. C. Joo, "Thermo-Mechanical Analysis of Through-silicon-via in 3D Packaging", J. Microelectron. Packag. Soc., 17(1), 69 (2010).
6. S. K. Ryu, T. Jiang, K. H. Lu, J. Im, H.-Y. Son, K.-Y. Byun, R. Huang, and P. Ho, "Characterization of Thermal Stresses in Through-Silicon Vias by Bending Beam Technique," Appl. Phys. Lett., 100(4), pp. 041901-041904 (2012).
7. J.-S. Yang, *et al.*, "TSV Stress Aware Timing Analysis with Applications to 3D-IC Layout Optimization," in Proc. ACM Design Automation Conf., pp. 803-806 (2010).
8. S. E. Thompson *et al.*, "A 90-nm Logic Technology Featuring Strained Silicon," IEEE Trans. on Electron Devices, 51(11), 1790 (2004).
9. K. H. Lu, X. Zhang, S.-K. Ryu, J. Im, R. Huang, and P. S. Ho "Thermo-Mechanical Reliability of 3-D ICs containing Through Silicon Vias", Electronic Components and Technology Conference, pp.630-634 (2009).
10. S.-K. Ryu, K.-H. Lu, T. Jiang, J.-H. Im, R. Huang, and P. S. Ho, "Effect of Thermal Stresses on Carrier Mobility and Keep-Out Zone Around Through-Silicon Vias for 3-D Integration", IEEE Transactions on Device and Materials Reliability, 12, pp. 255-262 (2012).
11. F. X. Che, W. N. Putra, A. Heryanto, A. Trigg, X. Zhang, and C. L. Gan, "Study on Cu Protrusion of Through-Silicon Via", IEEE Transactions on Components, Packaging and Manufacturing Technology, 3, 732 (2013).
12. T. Jiang, S.-K. Ryu, Q. Zhao, J. Im, R. Huang, P. S. Ho, "Measurement and Analysis of Thermal Stresses in 3D Integrated Structures Containing Through-silicon-vias", Microelectronics Reliability, 53, 53 (2013).
13. I. De Wolf, K. Croes, O. Varela Pedreira, R. Labie, A. Redolfi, M. Van De Peer, K. Vanstreels, C. Okoro, B. Vandeveld, E. Beyne, "Cu pumping in TSVs: Effect of pre-CMP thermal budget", Microelectronics Reliability 51, 1856 (2011).
14. M.C. Hsieh and C. K. Yu, "Thermo-mechanical Simulations For 4-Layer Stacked IC Packages", International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Micro-Systems, pp. 1-7 (2008).
15. P. Ramm, M. J. Wolf, A. Klumpp, R. Wieland, B. Wunderle, B. Michel, "Through Silicon Via Technology – Processes and Reliability for Wafer-Level 3D System Integration", Electronic Components and Technology Conference, pp. 841-846 (2008).
16. Xi Liu, Q. Chen, P. Dixit, R. Chatterjee, R. R. Tummala, and S. K. Sitaraman, "Failure Mechanisms and Optimum Design for Electroplated Copper Through-Silicon Vias (TSV)", Electronic Components and Technology Conference, pp. 624-629 (2009).

17. K.H. Lu, S.-K. Ryu, Q. Zhao, X. Zhang, J. Im, R. Huang, P. S. Ho, "Thermal Stress Induced Delamination of Through Silicon Vias in 3-D Interconnects", IEEE ECTC Conference, pp. 40-45 (2010).
18. J. Zhang, Max O. Bloomfield, J. Lu, R. J. Gutmann, and T. S. Cale: Modeling Thermal Stresses in 3-D IC Interwafer Interconnects, IEEE Transactions on Semiconductor Manufacturing, 19(4), 437 (2006).
19. Y. Xiang, X. Chen, and J. J. Vlassak, "The Mechanical Properties of Electroplated Cu Thin Films Measured by means of the Bulge Test Technique," Proc. Mat. Res. Soc. Symp., 695, L4.9.1 (2002).
20. M. Gad-del-Hak, "MEMS Handbook", pp.3-21, CRC press (2002).
21. A. Heryanto, W.N. Putra, A. Trigg, S. Gao, W.S. Kwon, F.X. Che, X.F. Ang, J. Wei, R. I Made, C.L. Gan, and K.L. Pey, "Effect of Copper TSV Annealing on Via Protrusion for TSV Wafer Fabrication", Journal of Electronic Materials, 41(9), 2533 (2012).
22. L. Kong, A. C. Rudack, P. Krueger, E. Zschech, S. Arkalgud, A.C. Diebold, "3D-interconnect: Visualization of Extrusion and Voids Induced in Copper-Filled Through-Silicon Vias (TSVs) at Various Temperatures using X-ray Microscopy", Microelectronic Engineering 92, 24 (2012).