칩 실장공정에 따른 Package on Package(PoP)용 하부 패키지의 Warpage 특성

정동명 · 김민영 · 오태성[†]

홍익대학교 공과대학 신소재공학과

Warpage Characteristics of Bottom Packages for Package-on-Package(PoP) with Different Chip Mounting Processes

D. M. Jung, M. Y. Kim and T. S. Oh[†]

Department of Materials Science and Engineering, Hongik University, Mapo-gu, Seoul 121-791, Korea

(2013년 9월 13일 접수: 9월 25일 수정: 2013년 9월 27일 게재확정)

초 록: Package on Package(PoP)용 하부 패키지에 대해 플립칩 본딩으로 칩을 기판에 실장한 패키지와 die attach film(DAF)을 사용하여 칩을 기판에 접착한 패키지의 warpage 특성을 비교하였다. 플립칩 본딩으로 칩을 기판에 실장한 패키지와 DAF를 사용하여 칩을 기판에 실장한 패키지는 솔더 리플로우 온도인 260°C에서 각기 57 μm 와 -102 μm 의 warpage를 나타내었다. 상온에서 260°C 사이의 온도 범위에서 플립칩 실장한 패키지는 -27~60 μm 범위의 warpage를 나타내는 반면에, DAF 실장한 패키지는 -50~-153 μm 범위의 warpage를 나타내었다.

Abstract: The warpage of a bottom package of Package on Package(PoP) where a chip was mounted to a substrate by flip chip process was compared to that of a bottom package for which a chip was bonded to a substrate using die attach film(DAF). At the solder reflow temperature of 260°C, the packages processed with flip chip bonding and DAF bonding exhibited warpages of 57 μm and -102 μm , respectively. At the temperature range between room temperature and 260°C, the packages processed with flip chip bonding and DAF bonding exhibited warpage values ranging from -27 μm to 60 μm and from -50 μm to -153 μm , respectively.

Keywords: Package on package, warpage, flip chip, die attach film

1. 서 론

최근 스마트폰을 포함한 모바일 기기에 적용하기 위해 작고 얇으면서도 다기능의 반도체 소자들이 요구되고 있어, 제한된 면적에서 집적도를 향상시킨 반도체 소자들을 구현하기 위해 System in Package(SiP)와 Package on Package(PoP)와 같은 3차원 반도체 패키징 기술이 활발히 연구되고 있다.¹⁻⁷⁾ 여러 개의 베어(bare) 칩들을 적층하고 이들을 하나의 패키지로 몰딩하여 이루어지는 SiP 또는 칩 스택 패키지는 소형화와 슬림화가 가능하나,^{1,2,8,9)} 서로 다른 기능을 갖는 반도체 칩들을 조합하여 만들기 어려우며 또한 서로 다른 반도체 회사들의 칩들을 함께 사용하여 제조하는 것이 어렵다. 반면에 PoP는 Fig. 1과 같이 서로 다른 기능을 갖는 두 개의 개별 반도체 패키지들을 적층하고 이들을 솔더볼을 사용하여 연결하여 이루

어지는 반도체 패키지로서,⁴⁾ 일반적으로 베이스 밴드나 어플리케이션 프로세서와 같은 로직 칩을 Ball Grid Array(BGA) 기판에 실장한 하부 패키지 위에 하나 또는 다수의 메모리 칩을 실장한 상부 패키지를 적층하여 이루어진다.^{4,9)} SiP와는 달리 PoP 제품은 서로 다른 칩 패키지들의 조합에 의해 원하는 기능의 신제품을 구현하는 것이 용이하며 이때 다른 반도체 회사들에서 공급하는 반도체 칩 패키지들을 조합하는 것이 가능하다.⁵⁾ 또한 패키지들의 적층 전에 개별 패키지들에 대해 번인(burn-in)과 테스트가 가능하기 때문에 Known Good Die(KGD)로 이루어진 패키지들만을 선별하여 공정을 진행할 수 있어 수율을 높일 수 있는 장점이 있다.¹⁰⁾

Fig. 1과 같이 상부 패키지와 하부 패키지를 적층하여 이루어지는 PoP에서는 PCB 기판과 Si 칩, Epoxy Molding Compound(EMC) 등 각기 상부 패키지와 하부 패키지를

[†]Corresponding author
E-mail: ohts@hongik.ac.kr

© 2013, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Fig. 1. Schematic illustration for a package-on-package product which is formed by stacking of a top package and a bottom package together.

구성하는 재료들 사이의 열팽창계수 차이에 의해 각 패키지에서 warpage가 발생하게 된다.^{3,7,10)} 특히 최근 PoP 제품의 두께 증가를 막기 위해 상부 패키지와 하부 패키지에 두께가 얇은 기판을 사용하기 때문에 상부 패키지와 하부 패키지의 warpage가 심해지며, 이에 따라 PoP의 상부 패키지와 하부 패키지 사이의 솔더 접속부 또는 하부 패키지와 보드 사이의 솔더 접속부가 떨어져 open joint 불량 발생할 수 있다.⁶⁾ PoP 제품을 구성하는 각 패키지의 warpage는 상온에서 뿐만 아니라 적층공정 중의 최고온도인 솔더볼 리플로우 온도까지 온도에 따라 변한다. 따라서 패키지 적층공정 중에 솔더 접속부의 open joint가 발생하는 것을 방지하여 PoP의 신뢰성과 수율을 확보하기 위해서는 상온에서 솔더볼 리플로우 온도까지의 범위에서 warpage를 최소화 할 수 있는 재료 조합과 공정기술의 개발이 요구된다.^{3,7)}

PoP를 구성하는 각 패키지 내의 칩 접속공정으로는 die attach film(DAF)으로 칩을 기판에 접착시키고 칩 패드와 기판 패드를 와이어 본딩으로 연결하는 방법이 일반적으로 사용되고 있으나, 최근 PoP 제품의 전기적 특성을 향상시키고 크기를 감소시키기 위해 칩 접속방식으로서 와이어 본딩법 대신에 플립칩 방식을 적용하고자 하는 연구개발이 활발히 진행되고 있다. 본 연구에서는 PoP 기술개발을 위한 기초 연구로서 플립칩 본딩법 및 DAF 접착법과 같은 칩 실장공정에 따른 PoP용 하부 패키지의 warpage 특성을 비교분석하였다.

2. 실험 방법

Fig. 2와 같은 크기가 12 mm×12 mm 이며 두께가 240 μ m인 플립칩 공정용 PCB 기판을 사용하여 칩을 기판에 실장시킨 패키지 시편을 제작하였다. 이와 같은 플립칩 공정용 기판의 중앙부에는 플립칩 본딩용 솔더패드 어레이(array)가 형성되어 있으며, 기판의 가장자리에는 PoP 공정시 상부 패키지와의 솔더볼 접속을 위한 Solder Resist(SR) open이 형성되어 있다. 상기 SR은 직경 280 μ m, 두께 15 μ m 및 피치 500 μ m의 형상으로 Electroless Nickel

Fig. 2. Optical micrographs of (a) a PCB substrate used for fabrication of a bottom package.

Electroless Palladium Immersion Gold(ENEPIG) 패드가 노출되어 있다.

Fig. 2와 같은 기판을 사용하여 플립칩 공정으로 칩을 기판에 실장한 패키지 시편을 제작하기 위해 크기 7 mm×7 mm, 두께 75 μ m 이며 중앙부에 250 μ m 피치의 Cu 범프 위에 솔더 cap이 형성되어 있는 칩을 260°C에서 500 g-force의 힘을 60초간 가하면서 플립칩 본딩 하였다. 이때 기판과 칩에 형성되어 있는 솔더의 원활한 리플로우를 위해 상용 Rosin Mildly Activated(RMA) 플럭스를 도포하였다. 플립칩 본딩 후에 칩과 기판 사이에 잔류하는 플럭스는 Trichloroethylene(TC) 용액을 사용하여 5분 동안 초음파 처리를 하여 제거하였으며, 플립칩 본딩된 시편의 기계적 신뢰성을 확보하기 위해 160°C에서 언더필 처리를 하였다.

DAF를 사용하여 칩을 기판에 접착시킨 패키지를 제작할 때에는 기판 중앙부에 있는 플립칩 본딩용 솔더패드 어레이가 불필요하므로 이들을 10 vol% HNO₃를 사용하여 제거한 후 기판으로 사용하였다. DAF 공정으로 기판에 실장하기 위한 칩 시편은 550 μ m 두께의 p-type (100) Si 웨이퍼를 사용하여 형성하였다. 양면 Chemical Mechanical Polishing(CMP) 공정을 사용하여 Si 웨이퍼의

Fig. 3. Schematic illustration for lamination structure of die attach film.

두께를 150 μm 로 thinning 한 후, dicing saw를 사용하여 7 mm×7 mm 크기로 절단하여 칩 시편을 제작하였다. 이와 같은 칩 시편을 DAF 필름을 사용하여 기판에 실장시켰다. Fig. 3에 나타낸 DAF의 모식도와 같이 DAF는 세 개의 다층구조로 이루어져 있는데, 약 60 μm 두께의 carrier 필름과 40 μm 두께의 mounting 필름이 칩 접착에 사용되는 20 μm 두께의 adhesive 층을 보호하고 있다. 먼저 DAF의 carrier 필름을 제거한 뒤 Si 칩 표면에 adhesive 층이 맞닿도록 하여 약 50°C의 hot plate 상에서 DAF를 칩에 lamination 시켰다. Mounting 필름 위로 200 mJ/cm²의 자외선을 조사하여 adhesive 층과 mounting 필름간의 접착력을 약화시켜 mounting 필름을 떼어내었다. Mounting 필름을 제거한 후, adhesive 층이 접착된 칩을 기판에 배열한 후 130°C에서 80 g-force의 하중을 30분간 유지하여 adhesive 층의 경화를 진행시켜 칩을 기판에 실장하였다.

플립칩 본딩 또는 DAF 필름을 사용하여 기판에 실장한 칩에 대해 Table 1에 나타낸 특성값을 갖는 EMC를 사용하여 몰딩공정을 진행하였다. Table 1에서 gel time은 수지에 열을 가하여 물리적 특성이 고상에서부터 액상을 거쳐 다시 고상으로 변할 때까지 소요되는 시간을 나타내며, spiral flow는 에폭시의 유동성 특성을 나타낸다.¹¹⁾ 실제 제품의 생산에서 사용되고 있는 EMC 몰딩 공정은 일반적으로 스트립 단위(240 mm×70 mm)로 진행되지만, 본 실험에서는 개별 칩 시편에 대하여 EMC 몰딩공정을 진행하였다. 기판에 칩을 실장한 시편을 몰딩 지그 내에 장착한 후 Fig. 4와 같은 온도/하중 프로파일로 EMC 몰딩공정을 진행하여 크기 8 mm×8 mm, 두께 350 μm 인 EMC 몰드를 형성하였다.

EMC 몰딩공정을 완료한 시편들에 대해 shadow moiré 방법을 사용하여 25~260°C에서 warpage를 측정하였다. 이때 패키지 시편을 뒤집어서 기판이 위에 있고 몰딩이 밑에 있는 dead bug 형상으로 warpage를 측정하였다. Shadow moiré방법은 발산면을 가진 시편의 평면 밖 변위를

Table 1. Characteristics of the epoxy molding compound used in this study.

Gel time (sec)	Spiral flow (inch)	T _g (°C)	Coefficient of Thermal Expansion, $\alpha (\times 10^{-6}/^{\circ}\text{C})$	
			$\alpha_1 (T < T_g)$	$\alpha_2 (T > T_g)$
42	54	145	6.74	42.2

Fig. 4. Schematic illustration of temperature and load profiles for epoxy molding process.

Fig. 5. Schematic illustration for (a) positive convex warpage and (b) negative concave warpage according to live bug configuration.

를 측정하는 기하학적 방법으로써, 측정하고자 하는 시편의 표면 바로 앞에 기준격자를 위치하게 한 뒤, 광원으로부터 조명을 인가하고 기준격자와 시편 표면에 형성된 기준격자의 그림자, 즉 변형격자의 간섭에 의해서 형성되는 moir무늬를 CCD 카메라를 이용하여 측정하는 방법이다.¹²⁾ Shadow moiré방법으로 관찰한 image로부터 warpage 값을 수치화할 때는 JEDEC 표준에 따라 Fig. 5와 같이 live bug 형상에서의 convex warpage를 (+), concave warpage를 (-)로 정의하였다.¹³⁾

3. 결과 및 고찰

Fig. 6에 플립칩 공정으로 칩을 기판에 실장 후 EMC 몰딩한 패키지 시편의 단면 주사전자현미경 사진을 나타내었다. 칩의 Cu 범프와 기판의 Cu 회로도선이 SR 패턴내

Fig. 6. Scanning electron micrograph of the package where a chip was mounted by flip chip process.

에서 리플로우된 솔더에 의해 잘 접속되어 있음을 관찰할 수 있다.

Fig. 3과 같은 다층필름으로 이루어진 DAF를 사용하여 Si 칩을 기판에 접착하는 경우에는 DAF 내 adhesive 필름의 열압착을 통한 curing 공정이 요구된다. Adhesive 필름의 적합한 curing 온도를 결정하기 위하여 carrier 필름을 제거한 DAF에 대해 Differential Scanning Calorimeter (DSC) 분석을 실시하였으며, 그 결과를 Fig. 7에 나타내었다. Fig. 7에서 54.7°C와 82.5°C에서 흡열 피크가 관찰되었으며 90°C에서 발열 반응을 시작하여 97.1°C에서 온도에 따른 열 유속의 변화가 최대값을 나타낸 뒤 200°C까지의 온도 범위에서 열 유속의 변화율이 거의 일정하게 유지되었다. 첫 번째 흡열 피크가 나타난 54.7°C에서의 흡열 반응은 DAF의 완화 현상에 기인하는 것으로, 이는 다층구조로 구성되어 있던 DAF 내에 잠재하던 미세 잔류응력의 소멸에 기인하는 것으로 판단된다. 82.5°C에서 발생하는 두 번째 흡열 피크는 DAF의 유리전이(T_g)에 기인하는 것으로 판단된다. 90°C 이상의 온도에서 발생하는 발열반응 거동으로부터 DAF의 경화가 90°C에서 시작되어 97.1°C에서 완전 경화가 발생한다고 판단할 수 있다. Fig. 7의 DSC 결과를 바탕으로 DAF를 이용한 칩 실

Fig. 7. Differential scanning calorimetry for the die attach film.

Fig. 8. Scanning electron micrograph of the package where a chip was mounted using die attach film.

장공정시 adhesive 층의 경화를 확실히 하기 위해 DAF 접합온도를 130°C로 설정하였다. DAF를 사용하여 칩을 기판에 실장시킨 패키지 시편의 단면 주사전자현미경 사진을 Fig. 8에 나타내었다. 150 μm 두께의 Si 칩이 20 μm 두께의 adhesive 층에 의해 기판에 잘 접착되어 있는 것이 관찰되었다.

플립칩 본딩으로 칩을 기판에 실장한 패키지에 대해 shadow moiré법으로 25~260°C 범위의 온도에서 측정된 warpage 이미지를 Fig. 9에 나타내었으며, DAF를 사용하여 칩을 기판에 실장한 패키지에 대해 각 온도에서 측정된 warpage 이미지를 Fig. 10에 나타내었다. Fig. 9와 Fig. 10에 나타낸 각 패키지의 온도에 따른 warpage의 변화 거동을 용이하게 분석하기 위해, 각 온도에서 시편의 두 대각선 방향으로 각 부위에서 발생하는 warpage의 최대값과 최소값의 차이를 구하여 이를 각 온도에서의 warpage 값으로 수치화 하여 Fig. 11에 나타내었다. Fig. 9와 Fig. 10의 warpage 이미지는 dead bug 형상의 패키지 시편에 대해 측정한 이미지인 반면에, Fig. 11에 나타낸 warpage 값은 live bug 형상의 패키지 시편으로 변환한 값이다. 따라서 Fig. 11에 있는 warpage 값은 Fig. 9와 Fig. 10에 있는 warpage image와 (+)(-) 부호가 반대가 된다.

Fig. 11에서와 같이 플립칩 공정으로 칩을 기판에 실장한 패키지는 상온에서 (-) warpage를 보였으며 60°C 이상의 온도에서 (+) warpage를 나타내고, 260°C의 리플로우 온도를 거쳐 냉각시에도 60°C 이상의 온도까지의 영역에서 (+) warpage를 유지하였으며 상온에서는 다시 (-) warpage를 보였다. 전체적인 warpage 변화 정도는 -27 ~ +60 μm 범위의 값을 나타내었다. 반면에 DAF를 사용하여 칩을 기판에 접착한 패키지에서는 상온에서부터 260°C의 리플로우 온도를 거쳐 다시 상온까지의 모든 온도변화 구간에서 (-) warpage를 보였으며, 전체적인 warpage 변화 정도는 -50~153 μm 범위의 값을 나타내었다. 패키지 warpage는 EMC의 특성, 몰딩내에서 반도체 칩이 차지하는 부피분율, PCB 기판의 두께와 열팽창계수, 패키지 구조에 의해 결정되나,³⁾ 이 중에서 warpage를

Fig. 9. Warpage images observed at various temperatures between 25~260°C for the package where chip was mounted by flip chip process.

Fig. 10. Warpage images observed at various temperatures between 25~260°C for the package where chip was mounted using die attach film.

결정하는 가장 중요한 인자들은 EMC 몰딩과 기판 사이의 열팽창계수이다.⁶⁾ 플립칩 공정이나 DAF 공정과 같은 칩 접속공정 중에 warpage가 발생하지 않는다면 200°C에서의 몰딩공정 초기에는 에폭시 몰딩과 기판의 길이가 같으므로 warpage free 한 조건이 된다.³⁾ 몰딩공정이 진행되어 에폭시 몰딩 컴파운드가 큐어링됨에 따라 에폭시의 교차결합에 의한 curing shrinkage에 기인하여 몰딩이 수축하게 되어 (-) warpage를 나타내게 된다.³⁾ 200°C에서의

몰딩공정 후에 온도를 상온으로 낮추면 기판보다 열팽창계수가 더 큰 몰딩에서의 수축에 의해 warpage가 (-)로 증가하게 된다. 반면에 온도를 200°C에서 솔더 리플로우 온도인 260°C로 증가시키면 기판보다 열팽창계수가 더 큰 몰딩이 기판보다 더 많이 팽창함에 따라 (-) warpage 값이 줄어들며 경우에 따라서는 warpage가 (+) 값으로 변할 수 있다. 본 실험에서 DAF로 본딩한 패키지 내에 있는 칩의 두께는 150 μm 이었으며, 플립칩 본딩한 패키지 내

Fig. 11. Warpage of the packages processed by (a) flip chip bonding and (b) die attach film as a function of temperature.

에 있는 칩의 두께는 75 μm 이었다. Si의 열팽창계수가 에폭시 몰딩 컴파운드의 열팽창계수보다 낮으므로 몰딩 내에 있는 Si 칩의 두께가 두꺼울수록 몰딩의 유효 열팽창계수가 감소하기 때문에 몰딩과 기판 사이의 열팽창계수 차이에 의해 발생하는 패키지 warpage가 감소하게 된다. 따라서 플립칩 실장한 패키지에 비해 DAF 실장한 패키지가 더 적은 warpage를 나타내나, 두 패키지에서 온도에 따른 warpage의 변화거동은 유사할 것으로 예측할 수 있다. 그러나 Fig. 11에서와 같이 플립칩 실장한 패키지와 DAF 실장한 패키지가 완전히 다른 warpage 거동을 나타내었으며, 이로부터 기판과 몰딩의 열팽창계수 차이뿐만 아니라 칩 접속공정에 따른 패키지 구조도 warpage에 큰 영향을 미친다는 것을 알 수 있다.

PoP용 패키지의 온도에 따른 warpage 거동에서 제일 중요한 warpage는 상부 패키지와 하부 패키지 사이의 솔더 접속부를 형성하는 솔더 리플로우 온도에서의 값이다.³⁾ 또한 상온에서 솔더 리플로우 온도 사이의 온도 범위에서 warpage가 -50~50 μm 범위를 넘지 않는 것이 바람직하다.³⁾ Fig. 11에서와 같이 솔더 리플로우 온도인 260°C에서 플립칩 실장한 패키지는 57 μm 의 warpage를 나타내는 반면에, DAF 실장한 패키지는 이보다 큰 -102 μm 의 warpage를 나타내었다. 또한 상온에서 솔더 리플로우 온도 구간에서 플립칩 패키지는 -27~60 μm 범위의 warpage를 나타내는 반면에, DAF 실장한 패키지는 이보다 훨씬 큰 -50~153 μm 범위의 warpage를 나타내어 플립칩 본딩한 패키지가 DAF 실장한 패키지에 비해 더 우수한 warpage 특성을 갖는다는 것을 알 수 있다.

4. 결 론

플립칩 본딩법 및 DAF 접착법으로 칩을 기판에 실장한 PoP용 하부 패키지에 대해 칩 실장공정에 따른 warpage 특성을 분석한 결과, 다음과 같은 결론을 얻었다. 온도에 따른 패키지 warpage가 EMC 몰딩과 기판의 열팽창계수의 차이에만 기인하는 경우 플립칩 실장한 패키지와 DAF 실장한 패키지에서 유사한 warpage 거동을 나타낼

것으로 예측하였으나 두 패키지가 서로 크게 다른 warpage 거동을 나타내었으며, 이로부터 칩 접속공정에 따른 패키지 구조도 warpage에 큰 영향을 미친다는 것을 알 수 있다. 솔더 리플로우 온도인 260°C에서 플립칩 실장한 패키지는 57 μm 의 warpage를 나타내는 반면에, DAF 실장한 패키지는 이보다 큰 -102 μm 의 warpage를 나타내었다. 또한 상온에서 솔더 리플로우 온도인 260°C 사이의 온도 범위에서 플립칩 패키지는 -27~60 μm 범위의 warpage를 나타내는 반면에, DAF 실장한 패키지는 이보다 훨씬 큰 -50~153 μm 범위의 warpage를 나타내어 플립칩 패키지가 DAF 패키지에 비해 더 우수한 warpage 특성을 나타내었다.

감사의 글

본 연구는 교육부의 과학기술국제화 사업의 지원 (과제번호: 2011-0030492)에 의해 수행되었습니다.

참고문헌

1. J. B. Kim, S. H. Kim and Y. B. Park, "Intermetallic Compound Growth Characteristics of Cu/Ni/Au/Sn-Ag/Cu Microbump for 3-D IC Packages", J. Microelectron. Packag. Soc., 20(2), 59 (2013).
2. Y. H. Cho, S. E. Kim and S. Kim, "Wafer Level Bonding Technology for 3D Stacked IC", J. Microelectron. Packag. Soc., 20(1), 7 (2013).
3. M. J. Yim, R. Strode, R. Adimula and C. Yoo, "Effects of Material Properties on PoP Top Package Warpage Behaviors", Proc. 60th Electronic Components and Technology Conference (ECTC), Las Vegas, 1071, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2010).
4. M. Amagi and Y. Suzuki, "A Study of Package Warpage for Package on Package (PoP)", Proc. 60th Electronic Components and Technology Conference (ECTC), Las Vegas, 226, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2010).
5. N. Vijayaragavan, F. Carson and A. Mistry, "Package on Package Warpage - Impact on Surface Mount Yields and Board Level Reliability", Proc. 58th Electronic Components and Technology Conference (ECTC), Lake Buena Vista, 389, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2008).
6. M. J. Yim, R. Strode, R. Adimula, J. J. Zhang and C. Yoo, "Ultra Thin Top Package using Compression Mold: Its Warpage Control", Proc. 61st Electronic Components and Technology Conference (ECTC), Lake Buena Vista, 1141, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2011).
7. J. Zhao, Y. Luo, Z. Huang and R. Ma, "Effects of Package Design on Top PoP Package Warpage", Proc. 58th Electronic Components and Technology Conference (ECTC), Lake Buena Vista, 1081, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2008).
8. K. Y. Lee, T. Oh, J. H. Lee and T. S. Oh, "Electrical Characteristics of the Three-Dimensional Interconnection Struc-

- ture for the Chip Stack Package with Cu through Vias", J. Electron. Mater., 36, 123 (2007).
9. Y. K. Jee, J. Yu, K. W. Park, and T. S. Oh, "Zinc and Tin-Zinc Via-Filling for the Formation of Through-Silicon Vias in a System-in-Package", J. Electron. Mater., 38, 685 (2009).
 10. F. Carson, S. M. Lee and N. Vijayaragavan, "Controlling Top Package Warpage for PoP Applications", Proc. 57th Electronic Components and Technology Conference (ECTC), Reno, 737, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2007).
 11. F. Liu, C. T. Yao, D. S. Jiang, Y. P. Wang and C. S. Hsiao, "Halogen-Free Mold Compound Development for Ultra-Thin Packages", Proc. 57th Electronic Components and Technology Conference (ECTC), Reno, 1051, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2007).
 12. B. H. Lee, M. K. Kim and J. W. Joo, "Thermo-mechanical Behavior of WL-PBGA Packages with Pb-Sn Solder and Lead-free Solder Using Moire Interferometry", J. Microelectron. Packag. Soc., 17, 17 (2010).
 13. JEDEC Standard JESD22-B112A, "Package Warpage Measurement of Surface-Mount Integrated Circuits at Elevated Temperature", JEDEC Solid State Technology Association, Arlington (2009).