특집 : 3차원 패키징용 TSV 특성

3차원 패키징용 TSV의 열응력에 대한 열적 전기적 특성

정일호^{1,2} · 기세호¹ · 정재필^{1,†}

¹서울시립대학교 신소재공학과, ²국방기술품질원

A study on Electrical Characteristic and Thermal Shock Property of TSV for 3-Dimensional Packaging

Il Ho Jeong^{1,2}, Se Ho Kee¹ and Jae Pil Jung^{1,†}

¹Dept. of Materials Science and Engineering University of Seoul, 163, Seoulsiripdae-ro, Dongdaemun-gu, Seoul 130-743, Korea

²Defense Agency for Technology and Quality, 463, Cheongpa-ro, Jung-gu, Seoul 100-791, Korea

(2014년 1월 4일 접수: 2014년 6월 13일 수정: 2014년 6월 16일 게재확정)

Abstract: Less power consumption, lower cost, smaller size and more functionality are the increasing demands for consumer electronic devices. The three dimensional(3-D) TSV packaging technology is the potential solution to meet this requirement because it can supply short vertical interconnects and high input/output(I/O) counts. Cu(Copper) has usually been chosen to fill the TSV because of its high conductivity, low cost and good compatibility with the multilayer interconnects process. However, the CTE mismatch and Cu ion drift under thermal stress can raise reliability issues. This study describe the thermal stress reliability trend for successful implementation of 3-D packaging.

Keywords: Thermal stress, TSV, 3-D packaing

1. 서 론

근래에 들어서 전자 제품 시장은 급격한 기술 발달과 대중화가 동시에 이루어지면서 소형화, 경량화 및 종전 보다 더 다양하고 빠른 고기능화된 제품들을 요구하고 있는 상황이다. 이를 해결하기 위한 방법으로 웨이퍼를 관통하는 전극(TSV)을 생성하여, 이를 통해 칩간 상호 연결을 이루는 기술의 개발이 필요하게 되었다.

TSV¹⁾는 Through Silicon Via의 약자로 연구 초반에는 TWV(Through Wafer Via)로 불리었으나, 칩 대부분이 실리콘 웨이퍼(Silicon Wafer)를 지향하고 있는 현실에서 TSV를 가장 선호해서 사용하고 있다. TSV는 명칭에서도 알 수 있듯이 칩 위쪽 면에 형성된 트랜지스터나 연결선들을 칩 아래쪽 면으로 연결해주는 구조로, PCB(Printed Circuit Board)에서 관통 비아와 같은 역할을 한다. 칩 외부로 돌아가는 방법이 아닌 웨이퍼 내부를 관통하여 수직으로 내려가는 방법을 이용하기 때문에, 칩에서부터 다른 칩이나 다른 PCB 보드로 내려가는 최단 거리가 형성된다.²⁻⁴⁾

TSV 기술은 기존의 와이어 본딩에 비하여 위치 및 개수의 제한이 없어, I/O(Input/Output)를 자유롭게 배치하

Fig. 1. TSV diagram for 3D package⁵⁾

고 설계할 수 있다는 것이다. 이를 통해 칩 성능 위주의 설계가 가능하다. 또한 칩 간 최단 거리 설계를 통해 향상된 신호 특성은 칩 간 고속, 저 전력 통신을 가능하게 할 수 있는 장점을 가지고 있어, 향후 많은 제품에 기존의 2차원 패키징 방식을 대신하여 널리 활용될 것으로 기대하고 있다.

하지만 TSV에서 가장 큰 문제는 아래와 같은 신뢰성

[†]Corresponding author
E-mail: jujung@uos.ac.kr

© 2014, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Fig. 2. 3-D packaging roadmap⁶⁾

특성 때문이다. 첫째, TSV 충전재료의 문제이다. 비아 충전 재료로는 Cu, W, Poly-Si 등의 여러 재료가 연구되고 있으나, 현재 배선 기술에 적용되고 있고, Al에 비해 가격이 싸며, 기계적 열적 특성이 우수하면서 전기적 특성이 뛰어난 Cu의 적용이 예상된다. 하지만, Cu는 산화가 쉽고 확산이 빠르며 신뢰성이 알려지지 않았다는 것이 단점이다. 둘째, 내부 응력문제로, 17 ppm/°C의 높은 열팽창 계수를 가지는 Cu로 충전되어 있는 TSV는 온도가 상승하면 Cu가 실리콘 웨이퍼보다 팽창하여 비아를 확대하는 응력을 발생시킨다.

TSV 구조에서 열응력 특성 개선은 성공적인 3차원 패키징을 위해 중요한 요소이며, 이러한 문제를 분석 및 해결하기 위하여 AFM(Atomic Force Microscopy), DISC(Digital Image Speckle Correlation), piezoelectric sensor, SEM(Scanning Electron Microscope), XRD(X-Ray Diffraction) 등과 같은 방법을 활용한 연구들이 발표되고 있다.⁷⁻¹³⁾

이에 따라, 본 논문은 TSV의 제조공정과 이를 통해 제작된 TSV의 열응력에 따른 열적 전기적 특성을 살펴보았다.

2. 본 론

2.1. TSV 제조공정

TSV를 형성하기 위한 공정은 일반적으로 Fig. 3에 나

Fig. 3. TSV fabrication process

타난 순서를 따른다.

(1) TSV 드릴링(drilling)공정

(a)와 같은 실리콘 웨이퍼를 파내는 과정과 C_4F_8 플라즈마를 이용하여 파내어진 실리콘 외벽에 over-etching 방지용 코팅을 하는 과정을 반복적으로 수행하여 (b)와 같이 실리콘 웨이퍼에 수직 방향으로 구멍을 뚫게 된다. 드릴링은 TSV 크기 조절이 용이하며, 제작 중 부산물에 의한 불량률 및 정렬에 의한 어려움이 없는 DRIE(Deep Reactive Ion Etching) 방식이 주로 사용된다.

(2) 기능성 박막 형성 공정

드릴링 후 금속으로 TSV를 채우게 되는데, 구리(Cu)가 가장 많이 이용되고 있다. 우선 구리 도금에 앞서 (c), (d) 공정을 통해 TSV 내부에 3층으로 이루어진 기능성 박막을 형성한다. 기능성 박막은 절연층(dielectric layer), 접착 및 확산층(adhesion/diffusion layer), Cu seed layer의 순서로 TSV 내벽에 형성된다. 절연층은 반도체인 실리콘과 구리 사이의 절연을 위해 형성되며, 접착 및 확산층은 실리콘에 매우 치명적인 구리가 확산되지 않게 하면서 절연 물질에 잘 접착시키기 위해서 형성된다. Cu seed layer는 구리 도금을 위해 사용된다.

(3) TSV 충전(filling)공정

TSV 충전은 (e)와 같은 도금공정으로 진행되며, 비아 내부를 채우는 시간은 전체 TSV 공정 중에 가장 긴 시간을 요구하기 때문에, 공정 속도를 향상시키고, 깊이 형성된 비아 내부의 보이드를 없애야 하는 과제가 있다.

(4) CMP(Chemical Mechanical Polishing)공정

도금 공정이 완료된 후에는 비아가 형성된 깊이만큼 남기고 뒷면을 물리적으로 얇게 만드는 백그라인딩 공정인 (f)와, 웨이퍼를 각각의 칩 단위로 나누어 주는 다이싱 공정이 이루어진 후, Cu-Cu 직접 본딩이나, 비아의 윗부분에 범프를 사용하여 접합하는 본딩 공정을 통해 칩 간 상호 연결을 이루는 적층 공정으로 이루어진다.¹⁴⁾

2.2. TSV의 열적특성

2.2.1. TSV의 curvature 특성

Fig. 4는 열충격 실험에 따른 TSV의 곡률(curvature) 특성을 나타내고 있다. 이때 곡률이 (-)부분은 온도가 증가하면서 TSV안의 Cu가 팽창하여 입구 쪽으로 돌출되는 것을 의미하고, (+) 부분은 반대로 온도가 하락하면서 돌출된 부분이 인장력에 의해서 복구되는 것을 의미한다.

열충격 1st 사이클에서는 온도 증가에 따라 곡률이 비선형적으로 감소한다. 이는 TSV의 Cu에 응력이 발생하고, 이에 따라 비탄성적인 변형이 발생하였다고 할 수 있다. 온도 하락 동안에는 곡률이 온도와 비례하여 선형적으로 변하였으며, 100°C 근처에서 TSV Cu의 곡률은 0이 되었다. 다시 100°C 미만에서는 곡률은 (+)가 되어, 이때 Cu의 평균 응력은 주로 인장력이 작용하는 것을 알 수 있다. 이때 열충격 시험시 인가하는 최고 온도를 100°C, 200°C, 300°C, 400°C로 증가시키면, 입자의 크기(grain

Fig. 4. Curvature measurements for thermal cycles and annealing step at 300°C for 1 h.¹⁵⁾

size)가 원래의 크기에 비해서 각각 18.4%, 26.8%, 46.8%, 61.4%만큼 증가한다. 2nd 사이클에서는 열충격 온도에 따라 선형으로 응력과 인장력이 변화는 것을 알 수 있다. 3rd 사이클에서는 200°C까지는 선형특성을 보이다가, 200°C에서 300°C 사이까지는 비선형의 특성을 보여준다. 300°C의 온도에서 annealing을 하면 Cu가 상당히 이완되는 것을 알 수 있다. 마지막 4th 사이클 시, 곡률이 300°C까지 선형으로 이동하였다. 이것은 annealing 하기 전에는 곡률이 (-)값을 보였는데, 300°C annealing을 하면, 잔류응력이 완화되어, 다음 사이클에서 곡률이 (-)값에 떨어지지 않고 0으로 수렴한다.

결과적으로 TSV는 열충격 실험 동안 중 온도 상승기 간에는 내부 응력에 의해 비선형 곡률특성을 갖지만, 온도 하락기간에는 선형특성으로 변한다는 것을 알 수 있다. 또한 열충격 최고 온도에 따라 입자의 크기가 증가하며, annealing 공정을 통해 잔류응력이 일부 제거되는 것을 알 수 있다.

2.2.2. TSV의 계면 특성

Fig. 5는 TSV를 Mil-std-833A 기준으로 열충격 1,000 사이클로 실험한 후의 비아 단면이다. 시험결과 열충격 후에 계면 분리는 Cu와 Si 웨이퍼의 CTE 차이로 인해, TSV

Fig. 5. TSV crack by CTE mismatch¹⁶⁾

Fig. 6. Semi-loop cohesive cracks & Multiple cohesive crack¹⁷⁾

입구부분과 얇은 Ti/Cu 씨드층에 가까운 벽의 접촉면에서 발생되었다[CTE: Cu=16.5×10⁻⁶, Si=2.6×10⁻⁶].

이때 발생하는 계면분리는 식(1), 식(2)와 같이 열부하 (Thermal Load)에 조건에 따른 에너지 해방율(Energy Release Rate, ERR)에 의해서 결정된다. 여기서 E는 Young's modulus, Δα는 CTE mismatch, ΔT는 thermal load, Df는 TSV 직경, ν는 Poisson's ratio를 나타낸다.

$$\text{Cooling: } G_{ss} = \frac{E(\Delta\alpha\Delta T)^2 D_f}{4(1-\nu)} \quad (1)$$

$$\text{Heating: } G_{ss} = \frac{E(\Delta\alpha\Delta T)^2 D_f(1-\nu)}{8(1-\nu)} \quad (2)$$

같은 열부하 조건이라면, ERR은 cooling 구간이 heating 구간보다 약 35%가 높은 값을 갖는데, 이는 TSV에 발생하는 계면분리가 cooling 구간에서 더 많이 발생될 수 있다는 것을 의미한다.

Fig. 6는 열충격 4,500사이클 후에 TSV 벽면에 발생한 crack으로, 이는 SiO₂에서 성장하고, 여러 개의 작은 crack들이 결합한 긴 균집(cohesive) crack이 Si 웨이퍼에 반원 형태로 나타났다. 이때 균집 crack이 발생하는 곳에서는 계면 crack이 발생되지 않는다는 것을 알 수 있으며, 이는 한 곳에 crack가 발생되면, 그곳에서 응력이 완화되어, 2차적인 응력에 의한 crack은 발생되지 않는 것을 의미한다. 즉 crack과 균집 crack은 동시에 한곳에서 발생되지 않는다는 것을 알 수 있다.¹⁷⁻¹⁹⁾

2.2.3. TSV의 annealing 특성

Annealing은 TSV에 남아있는 잔류응력을 제거와 metallurgy를 향상시키기 위해 주로 사용되는 방법으로 알려져 있다. Fig. 7은 410°C, 30분 annealing 후의 FIB(Focus Ion Beam) 이미지이며, annealing 결과로 입자 크기와 분포가 변화하였음을 알 수 있다.

Annealing 후에는 annealing 전과 다르게 벽쪽은 작은 입자가 사라졌고, TSV의 중간과 밑부분에서 입자가 성장하였다. 입자성장은 TSV 안쪽 경계면에서 시작되고 있

Fig. 7. (a) FIB image of the TSV with 30minutes annealing at 410°C. Zoomed images on (b) top area (c) middle area (d) bottom²⁰⁾

으며, 성장방향은 전반적으로 랜덤하게 분포되어 있다. 일반적으로 가장 큰 입자는 TSV 바닥에 존재하고, annealing 후에 TSV의 입구 쪽과 벽면에서 보이드가 간헐적으로 발견되었다. 이는 annealing 전 작은 입자가 성장하면서, 입자들 사이의 경계면에서 발생된 것이다. Annealing에 의한 입자성장은 항복강도(yield strength, 탄성변형이 일어나는 한계응력)를 낮출 수 있다. 결과적으로 annealing 공정을 통해 Cu의 입자 구조를 안정화시켜 열응력에 의해 TSV가 돌출되는 현상을 최소로 할 수 있고, 만약 최소 돌출부분이 발생하면 CMP공정을 통해서 제거하면 된다.

2.2.4. TSV의 충전재료에 따른 특성

Table 1은 열충격 조건 하에서 Al, Cu, Ni, W이 TSV 소재로서 활용 시, 특성을 분석한 내용이다. 낮은 Young's modulus, CET 특성을 갖는 재료가 좋은 충전재료라 할 수 있지만, 일반적인 금속은 Young's modulus가 높다면, CET는 낮은 특성을 가지고 있다.

Table 1. Thermo-mechanical properties of Al, Cu, Ni, W, Si²¹⁾

Material	CTE(ppm/°C)	Young's Modulus(GPa)	Poisson's Ratio
Al	20	70	0.35
Cu	17	110	0.35
Ni	13	207	0.31
W	4.4	400	0.28
Si	2.3	130	0.28

Al은 가장 낮은 Young's modulus를 가지고 있고, 텅스텐(W)이 가장 낮은 CTE값을 나타낸다. Cu의 경우 텅스텐보다 CTE는 높지만, 소성변형에 대한 특성은 더 좋아 crack 발생 및 crack이 퍼져 나가는 에너지를 더 흡수하여, TSV 소재로서 특성이 더 좋은 것으로 알려져 있다.

2.3. TSV의 전기적특성

2.3.1. TSV의 전기적 소자값 특성

TSV의 전기적 소자값은 T형 등가회로를 기준으로 직렬 저항(R), 직렬 인덕턴스(L), 병렬 컨덕턴스(G), 병렬 캐패시턴스(C)로 구성된다. 이같은 소자값은 TSV에서 전기적 특성을 의미하는 S-파라미터를 바탕으로 식(3)을 통해, 임피던스를 나타내는 Z-파라미터로 변환 후 추출할 수 있다. 일반적으로 이같은 측정값은 미지의 저항체의 양단에 전류를 흘리고, 그 양단에서 전압을 측정하여 전기적 측정 값을 분석하는 방법인 4 point probe 측정법이 많이 사용되고 있다.

$$\begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} = \begin{bmatrix} Z_0 \frac{(1+S_{11})(1-S_{22})+S_{12}S_{21}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} & Z_0 \frac{2S_{12}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} \\ Z_0 \frac{2S_{21}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} & Z_0 \frac{(1-S_{11})(1+S_{22})+S_{12}S_{21}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} \end{bmatrix} \quad (3)$$

재질에 따른 저항을 나타내는 시트저항(R_{sh})은 Cu의 경우 35.5 mΩ/sq²²⁾값을 가지며, TSV 저항, 인덕턴스, 캐패시턴스의 경우 Table 2와 같이 비아의 크기에 따라 각각 다른 값을 가진다. TSV의 크기가 작아질수록 비아를 만드는 방법과 관계없이 저항, 인덕턴스, 캐패시턴스 값은 작아지는 경향을 보여주고 있다. TSV의 신호선으로써의 특성을 나타내는 특성임피던스(Z_0)의 경우 주파수 1 Hz~10 GHz범위에서 50 Ω값을 갖는 것으로 측정 및 보고되었다.¹⁶⁻²²⁾

2.3.2. TSV의 EM에 의한 절연파괴 특성

전기적 에너지의 흐름에 반응하여, TSV을 충전하고 있는 금속원자가 절연막을 통해 점진적으로 이동하는 것을 의미하는 EM(Electro-migration)은 TSV와 실리콘 웨이퍼 사이에 존재하는 절연층 파괴를 가져와 결과적으로 전기적 회로에 신뢰성 문제를 야기한다. 이에 대해 시뮬레이션부터 측정실험까지 다양한 연구결과가 발표되고 있다.²⁴⁻²⁸⁾ 일반적으로 EM 분석은 Fig. 8과 같이 누설전류

Tabl 2. Electrical characteristic value of TSV

	ref.[22]	ref.[23]
R[mΩ]	25.4	28
L[pH]	52.0	-
C[fF]	22.0	-
Via size[um]	75×150	80×100
Z_0 [Ω]	50	-
Via structure	Filled	Filled
Making method	Laser	DRIE

Fig. 8. Leakage current behavior as a function of stress time at 250°C under +2.0 MV/cm²⁶⁾

Fig. 9. SiO₂ failure mechanism by ion drift¹⁶⁾

(leakage current) 측정을 통해 분석되고 있다.

열충격 조건에서 누설전류에 의한 절연막 파괴는 일정 시간동안 누설전류가 흐르지 않다가 갑자기 전류가 급증하여 절연막을 파괴한다. 이 같은 누설전류 거동은 TSV의 Cu 이온이 계면에서 drift하여 발생하는 것으로 발표되고 있다.²⁹⁾

Cu 이온 drift에 의한 절연막 파괴 메커니즘은 Fig. 9와 같다. 1단계(a)로 절연막 내에 crack이 없을 경우, 열충격에 의한 지속적인 열에너지를 주입하면, 2단계(b)로 Cu 이온들이 TSV의 절연막 내부로 침투하고, 침투된 Cu 이온이 전자를 잡아(trap) 전체적인 유전율을 변화하게 된다. 3단계(c)로 지속적으로 유입된 Cu 이온이 쌓이면 절연막 파괴모드가 나타나 누설전류가 흐르면서 내부 crack이 발생한다.

열충격 사이클에서 TSV 내의 Cu 이온 drift에 따른 유전율 변화는 상호 캐패시턴스를 측정을 통해 알 수 있다.¹⁶⁾ 측정결과 1,000 사이클에서 상호 캐패시턴스는 유전율 변화로 인해 0.42 pF에서 0.25 pF으로 감소되었다. 즉 Cu는 유전체 안으로 빠르게 확산하는 특징을 가지고 있으며, 열충격 실험과 같은 가혹한 환경에서는 이온의 확산속도가 더욱 빨라짐을 알 수 있다.

TSV는 단층으로 사용되기 보다는 시스템에 사용되는 칩의 용도에 따라 다양한 형태로 변형되어 사용된다. 이에 따라 TSV의 전기적 특성에 영향을 줄 수 있는 변수인 적층, 형태, 높이에 따른 구조를 1 Hz~10 GHz 주파수 대역을 기준으로 TSV의 전기적 특성을 분석하였다.

분석결과, 60 μm×30 μm 원통형 TSV가 5층 적층인 경

우, 5~6 GHz의 주파수 범위에서 신호감쇠가 증가되기 시작했으며, 높이의 경우 480 μm 이상에서는 주파수 4 GHz부터 특성이 감쇠되기 시작하였다. 이때 TSV는 원통형이나 직사각형 형상이 타원형이나 삼각기둥 형상보다 더 좋은 신호 특성을 보여 주었다.

3. 결 론

본 논문은 3차원 패키징용 TSV의 열응력에 대한 열적 전기적 특성을 기술하였다.

현재 Cu는 다른 재료보다 CTE는 다소 높지만, 소성변형에 대한 특성은 더 좋고, crack 발생 및 crack이 퍼져 나가는 에너지를 더 흡수하는 장점이 뛰어나 TSV 충전재료로 많은 연구가 되고 있다.

하지만, Cu는 실리콘 기판과의 CTE 문제로 TSV 모서리 및 측면에서 보이드와 crack을 발생시키고 있다. 이같은 문제는 열충격 실험 시, 온도상승 구간보다 35% 높은 ERR 값을 갖는 온도하강 구간에서 많이 발생되고 있다.

TSV의 EM에 의한 절연파괴 특성은 Cu 이온 drift에 의해서 발생되며, 큰 누설 전류가 흘러 회로 동작을 방해한다. 이때, Cu 이온 drift는 TSV 상호간에 유전율을 변화시키며, TSV 사이의 캐패시턴스를 의미하는 상호 캐패시턴스는 열 충격 1,000 사이클에서 감소되었다.

TSV는 단층으로 사용되기 보다는 시스템에서 다양한 형태의 적층, 형태, 높이 등으로 변형되어 사용되며, 이에 따라 다양한 전기적 특성을 보여준다.

성공적인 3차원 TSV 패키징을 위해서는 충전재료와 실리콘 기판의 CTE의 조화, 잔류응력 제거를 위한 annealing 공정, Young's modulus, poisson's ratio 등과 같은 재료적 특성 및 EM에 의한 절연파괴 특성 그리고 TSV 구조에 따른 전기적 특성과 같은 다양한 조건들을 고려해야 설계하여야 한다.

감사의 글

이 논문은 2013년도 서울시립대학교 교내학술연구비에 의하여 연구되었음

References

1. R. R. Tummala, E. J. Rymaszewski and A. G. Klopfenstein, *Microelectronics Packaging Handbook*, 2nd Ed., Chapman & Hall, London (1997).
2. H. S. Choi, W. S. Seo and D. K. Choi, "Prediction of Reliability on Thermoelectric Module through Accelerated Life Test and Physics of Failure", *Electron. Mater. Lett.*, 7(3), 271 (2011).
3. H. J. Chung, S. M. Heo and U. S. Kang, "TSV Technology and Its Application to DRAM", *Proc. 2010 IEEE International Solid-State Circuit Conference*, San Francisco, 130, IEEE Solid-State Circuits Society (2010).
4. S. Kumar, J. Y. Park and J. P. Jung, "Analysis of High Speed

- Shear Characteristic of Sn-Ag-Cu Solder Joints”, *Electron. Mater. Lett.*, 7(4), 365 (2011).
5. Samsung TSV 2013 Diagram 3D Package from <http://www.samsung.com>
 6. Nokia 2013 Packaging Roadmap from <http://www.nokia.com>
 7. P. Dixit, S. Yaofeng, J. Miao, J. H. L. Pang, R. Chatterjee and R. R. Tummala, “Numerical and Experimental Investigation of Thermomechanical Deformation in High Aspect-Ratio Electroplated Through-Silicon Vias”, *J. Electrochem. Soc.*, 155(12), H981 (2008).
 8. A. Budiman, H. Shin, B. Kim, S. Hwang, H. Son and M. Suh, “Measurement of Stresses in Cu and Si around Through-Silicon Via by Synchrotron X-Ray Micro Diffraction for 3-Dimensional Integrated Circuits”, *Microelectron. Reliab.*, 52(3), 530 (2012).
 9. K. Lu, S. Ryu, Q. Zhao, K. Hummler, J. Im, R. Huang and P. Ho, “Temperature Dependent Thermal Stress Determination for Through-Silicon-Vias (TSV) by Combining Bending Beam Technique with Finite Element Analysis”, *Proc. 61th Electronic Components and Technology Conference (ECTC)*, Lake Buena Vista, 1475, IEEE Components, Packaging and Manufacturing Technology Society (CPMT) (2011).
 10. M. Amagai and Y. Suzuki, “TSV Stress Testing and Modeling”, *Proc. 60th ECTC*, Las Vegas, 1273, IEEE (CPMT) (2010).
 11. M. Jung, X. Liu, S. Sitaraman, D. Pan and S. Lim, “Full-Chip Through-Silicon-Via Interfacial Crack Analysis and Optimization for 3D IC”, *Proc. the International Conference on Computer-Aided Design (ICCAD ‘11)*, San Jose, 563, IEEE/ACM (2011).
 12. B. Wunderle, R. Mrossko, O. Wittler, E. Kaulfersch, P. Ramm and B. Michel, “Thermo-Mechanical Reliability of 3D-Integrated Microstructures in Stacked Silicon”, *Proc. 2006 MRS Fall Meeting*, Boston, 67, MRS (2007).
 13. J. Knickerbocker, P. Andry, B. Dang, R. Horton and M. Interante, “Overview of Candidate Device Technologies for Storage Technology”, *IBM J. Res. and Develop.*, 52(5), 449 (2008).
 14. “3-D TSV Interconnects”, in *Equipment & Materials 2008 Report*, pp.158, Yole Development, Paris (2008).
 15. T. Jiang, S. -K. Ryu, Q. Zhao, J. Im, R. Huang and P. S. Ho, “Measurement and Analysis of Thermal Stresses in 3D Integrated Structures Containing Through-Silicon-Vias”, *Microelectron. Reliab.*, 53(1), 53 (2013).
 16. I. H. Jeong, “Electrical Characteristic and Thermal Shock Property of Cu Filled Through Silicon Via for 3-Dimensional Packaging”, in *Ph.D. Thesis*, pp.85, University of Seoul, Seoul (2013).
 17. X. Liu, Q. Chen, V. Sundaram, R. R. Tummala and S. K. Sitaraman, “Failure Analysis of Through-Silicon Vias in Free-Standing Wafer under Thermal-Shock Test”, *Microelectron. Reliab.*, 53(1), 70 (2013).
 18. K. H. Lu, X. Zhang, S. -K. Ryu, J. Im, R. Huang and P. S. Ho, “Thermo-Mechanical Reliability of 3-D ICs Containing Through Silicon Vias”, *Proc. 59th ECTC*, San Diego, 630, (CPMT) (2009).
 19. X. Liu, Q. Chen, P. Dixit, R. Chatterjee, R. R. Tummala and S. K. Sitaraman, “Failure Mechanisms and Optimum Design for Electroplated Copper Through-Silicon Vias (TSV)”, *Proc. 59th ECTC*, San Diego, 624, IEEE (CPMT) (2009).
 20. Z. Zhang, J. Pang, J. Wang, C. Song and D. Yu, “Investigate the Microstructure Changes in Cu Through-Silicon Vias(TSVs) under Thermal Process”, *Proc. 62th ECTC*, San Diego, 1273, IEEE (CPMT) (2012).
 21. K. H. Lu, S. -K. Ryu, Q. Zhao, X. Zhang, J. Im, R. Huang and P. S. Ho, “Thermal Stress Induced Delamination of Through Silicon Vias in 3-D Interconnects”, *Proc. 60th ECTC*, Las Vegas, 40, IEEE (CPMT) (2010).
 22. I. H. Jeong, D. H. Jung, K. S. Shin, D. S. Shin and J. P. Jung, “Electrical Characteristics and Thermal Shock Properties of Cu-Filled TSV Prepared by Laser Drilling”, *Electron. Mater. Lett.*, 9(4), 389 (2013).
 23. D. S. Tezcan, N. Pham, B. Majeed, P. D. Moor, W. Ruythooren and K. Baert, “Sloped Through Wafer Vias for 3D Wafer Level Packaging”, *Proc. 57th ECTC*, Reno, 643, IEEE (CPMT) (2007).
 24. J. Pak, M. Pathak, S. K. Lim and D. Z. Pan, “Modeling of Electromigration in Through-Silicon-Via Based 3D IC”, *Proc. 61th ECTC*, Lake Buena Vista, 1420, IEEE (CPMT) (2011).
 25. Z. Chen, Z. Lv, X. Wang, Y. Liu and S. Liu, “Modeling of Electromigration of the Through Silicon Via Interconnects”, *Proc. 11th International Conference on Electronic Packaging Technology & High Density Packaging (ICEPT-HDP)*, Xian, 1221, IEEE (2010).
 26. Y. C. Tan, C. M. Tan, X. W. Zhang, T. C. Chai and D. Q. Yu, “Electromigration Performance of Through Silicon Via (TSV)-a Modeling Approach”, *Microelectron. Reliab.*, 50(9), 1336 (2010).
 27. A. J. Joseph, J. D. Gillis, M. Doherty, P. J. Lindgren, R. A. Previti-Kelly, R. M. Malladi, P. -C. Wang, M. Erturk, H. Ding, E. G. Gebreselasie, M. J. McPartlin and J. Dunn, “Through-Silicon Vias Enable Next-Generation SiGe Power Amplifiers for Wireless Communications”, *IBM J. Res. Develop.*, 52(6), 635 (2008).
 28. T. Frank, C. Chappaz, P. Leduc, L. Arnaud, S. Moreau, A. Thuaire, R. E. Farhane, F. Lorut and L. Anghel, “Resistance Increase due to Electromigration Induced Depletion under TSV”, *Proc. IEEE International Reliability Physics Symposium (IRPS ‘11)*, Monterey, 341, IEEE (2011).
 29. S. -H. Seo, J. -S. Hwang, J. -M. Yang, W. -J. Hwang, J. -Y. Song and W. -J. Lee, “Failure Mechanism of Copper Through-Silicon Vias under Biased Thermal Stress”, *Thin Solid Films.*, 546, 14 (2013).

- 이름: 정일호
 - 소속: 국방기술품질원
 - 분야: 마이크로접합, 전자패키징
 - e-mail: jihjih38@empal.com
-

- 이름: 정재필
 - 소속: 서울시립대학교 교수
 - 분야: 마이크로접합, 전자패키징, 전해도금
 - e-mail: jppjung@uos.ac.kr
-

- 이름: 기세호
 - 소속: 서울시립대학교 대학원생(박사과정)
 - 분야: 마이크로접합, 브레이징, 전해도금
 - e-mail: shkee@uos.ac.kr
-