

TSV 구리 필링 공정에서 JGB의 농도와 전류밀도의 상관 관계에 관한 연구

장세현¹ · 최광성² · 이재호^{1,†}

¹홍익대학교 신소재공학과

²한국전자통신연구원

Study on the Relationship between Concentration of JGB and Current Density in TSV Copper filling

Se-Hyun Jang¹, Kwang-Seong Choi² and Jae-Ho Lee^{1,†}

¹Dept. of Materials Science and Engineering, Hongik University, 94 Wausan-ro, Mapo-gu, Seoul 04066, Korea

²IT Materials and Components Laboratory, ETRI, 218 Gajeong-ro, Yuseong-gu, Daejeon 34129, Korea

(Received December 4, 2015: Corrected December 14, 2015: Accepted December 29, 2015)

초 록: 비아 필링에 있어서 void나 seam 생성이 없이 비아를 채우는 것은 매우 중요한 사항으로 전류밀도, 전류모드, 첨가제 등을 변화시켜 결함없는 비아를 얻어왔다. 그러나 다양한 첨가제의 부산물이 오염의 원인이 되며 도금액의 수명을 줄이는 문제점이 있었다. 본 연구에서는 오염을 최소화하기 위하여 다른 첨가제가 없이 JGB만을 사용하여 JGB 농도와 전류밀도 변화에 따른 비아 필링 현상을 연구하였다. 지름이 15 μm 이며 종횡비 4인 비아가 사용되었으며 펄스전류를 이용하여 도금을 하였다. 전류밀도는 10~20 mA/cm^2 , JGB 농도는 0~25 ppm까지 변화시키면서 JGB 농도와 전류밀도와의 상관관계를 mapping 하였다. 그로부터 지름이 15 μm 이며 종횡비 4인 비아 필링의 최적 조건을 확립하였다.

Abstract: The requirement for success of via filling is its ability to fill via holes completely without producing voids or seams. Defect free via filling was obtained by optimizing plating conditions such as current mode, current density and additives. However, byproducts stemming from the breakdown of these organic additives reduce the lifetime of the devices and plating solutions. In this study, the relationship between JGB and current density on the copper via filling was investigated without the addition of other additives to minimize the contamination of copper via. AR 4 with 15 μm diameter via were used for this study. The pulse current was used for the electroplating of copper and the current densities were varied from 10 to 20 mA/cm^2 and the concentrations of JGB were varied from 0 to 25 ppm. The map for the JGB concentration and current density was developed. And the optimum conditions for the AR 4 via filling with 15 μm diameter were obtained.

Keywords: via filling, copper electroplating, leveler, JGB, current density

1. 서 론

최근 IT 산업에 있어서 반도체 패키지 기술은 메모리, 시스템 LSI 반도체의 미세화 및 고성능화를 달성하기 위한 차세대 반도체 기술의 한 분야로 자리를 잡았다. 여러 가지 기능을 가지면서 사이즈는 줄어든 가전제품의 수요가 크게 늘어남에 따라 3D 패키지에 대해 지난 수년간 관심이 많이 고조된 상태이다. 패키지는 silicon 기반의 수평적 표면 실장기술에서 세라믹 기판이나 약 10여개의 IC가 적층된 폴리머 기판에 플립 칩, TAB, 와이어 본딩

등의 방법으로 실장된 MCM (multi chip module)으로 MCM에서 PCB 기판뿐 아니라 PCB 기판위로 칩을 3D로 적층하는 형태의 SiP (system in package)로 발전되고 있다. 3D SiP의 장점은 여러 소자를 단일 패키지에 실장하여 비용, 크기 그리고 성능이 최적화된 고집적 제품을 만들 수 있다는 점이다.¹⁻⁴⁾ 현재 상용되는 SiP의 칩과 칩, 칩과 기판 사이는 wire bonding 방식에 의한 연결이 대다수 이루어져 왔다. 와이어로 Au가 쓰여 왔는데 Au는 전기 전도도가 우수하나 값이 비싸고 와이어에 의한 본딩 방식은 칩과 칩 또는 칩과 기판 사이의 신호전달이 외부의

[†]Corresponding author

E-mail: jhlee@hongik.ac.kr

© 2015, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

와이어에 의하여 전달되기 때문에 그 길이가 길다. 긴 신호와 전류의 전달 길이는 저항을 높이고 신호와 전류의 손실이 높아져 결국 고주파특성이 나빠지게 된다. 또한 칩의 가장자리와 칩의 footprint 외에 와이어와 기판의 본딩에 필요한 공간이 더 필요하기 때문에 적체적인 패키지의 사이즈가 커지게 된다.⁵⁾ 따라서 3D 장치의 핵심은 TSV (through silicon via) 기술을 사용하여 수직으로 stack 된 chip 간의 원활한 커뮤니케이션의 실현에 있다고 하겠다. 최근에는 소자 사이에 through via를 형성하고 이를 전기 전도도와 도금특성이 우수한 Cu로 채우는 Cu via filling 공정을 이용함으로써 와이어 본딩에 의한 단점을 보완해 나가는 연구가 최근 집중적으로 이루어지고 있다.⁶⁻⁸⁾ 소자와 소자 간 또는 소자와 기판 간 interconnection 이 through via를 통해 이루어지는 3D SiP의 경우 전해 도금법을 이용해 결함 없이 Cu를 채우는 기술과 도금 후 웨이퍼 표면을 평탄화 시키는 기술이 후속 공정인 범프 형성 및 스택 공정의 신뢰성에 영향을 미치는 핵심 기술들이다. 결함 없는 비아 필링을 위하여 bottom-up superfilling의 형상이 충족되어야 하며 이를 위해 기존에는 다양한 유기물 첨가제인 억제제, 가속제, 평활제 등을 함유한 도금액을 이용하여 비아 필링을 진행하였다.⁸⁻¹¹⁾ 하지만 이런 유기물 첨가제의 분해로 인한 오염은 도금액의 수명을 감소시키거나 디바이스의 신뢰성을 떨어뜨리는 현상이 일어나고 있다. 이러한 이유 때문에 도금액에 첨가제의 사용량을 최소화시켜 비아 필링을 하고자하는 연구결과가 활발히 일어나고 있다.¹²⁻¹⁴⁾ 본 실험에서는 여러 평활제를 평가한 이전 결과를 바탕으로 Janus Green B (JGB)를 첨가제로 선정하였다.¹⁴⁻¹⁵⁾ JGB의 양을 변화시키면서 전류밀도와 비아 필링의 형상을 관찰하였으며 이로부터 mapping을 통하여 최적화된 조건을 확립하였다.

2. 실험 방법

비아 제작을 위하여 Si wafer에 deep reactive ion etching (DRIE)법을 이용하여 지름 15 μm 깊이 60 μm 의 종횡비가 1:4인 비아를 제작하였다. 이 때 5°의 경사를 주어 방지층 및 시드레이어가 비아 옆면에 증착이 원활하도록 하였으며 향후 필링을 위한 구리도금에서 입구가 막히는 현상을 가급적 억제하도록 하였다. DRIE 후에 스퍼터를 이용하여 Ti 방지층 레이어를 표면 기준으로 300 nm를 증착하였고 이 후 Cu 씨앗층을 700 nm 증착하여 비아제작을 완료하였다. 본 실험에서는 비아 내부에 voids나 seam이 없는 결함 없는 구리 비아 필링을 위하여 첨가제 JGB 농도에 변화를 주어 실험을 진행하였다. 우선 구리 도금에 기본이 되는 stock solution은 0.5 M의 황산구리와 1M 황산의 조성을 가지는 용액을 이용하였다. 실험에 사용된 도금액의 조성을 Table 1에 나타내었다. Via의 구리 씨앗층이 대기에 노출되어 표면에 구리 산화 피막이 형성될 수 있으므로 전해액 내에 기판을 삽입하기 전에 5

Table 1. Composition of electroplating copper bath

| Chemical Formula | Function | Concentration |
|-------------------------------------------|----------------|---------------|
| $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$ | copper source | 0.5 M |
| H_2SO_4 | throwing power | 1 M |
| Janus Green B | Leveler | 0~25 ppm |

vol.% H_2SO_4 수용액에 1분 정도 담가 산세를 하였다. 이후 시편 위에 전해액을 약 1 mL 떨어트린 후에 진공로에서 로터리 펌프로 진공상태를 만들어서 비아 내부에 기포를 빼내고 비아내부까지 용액이 쉽게 들어갈 수 있도록 만든 후 시편 홀더를 전해액 안에 넣고 시편의 넓이에 따라 전류밀도 및 시간을 변화하여 전해도금을 실시하였다. 전해도금은 paddle stirring system이 장착된 전해조에서 전류밀도를 변화시키면서 펄스 도금을 실시하였다. 양극으로는 백금망 전극을 사용하였으며 기준전극으로는 3.5M KCl Ag/AgCl 전극을 사용하였다. 표면형상과 필링 현상은 주사전자현미경(scanning electron microscope, SEM)을 사용하였다.

3. 결과 및 고찰

선행 연구에서 평활제의 종류에 따른 전기화학적 특성 변화를 관찰하였다.¹⁵⁾ 실제로 비아 필링에 사용되는 첨가제들은 그 농도에 따른 최적조건이 다르기 때문에 본 연구에서는 JGB의 농도에 따른 그 전기화학적 특성 및 필링 형상을 관찰하였다. 비아 필링 과정에서 10 mA/cm^2 , 15 mA/cm^2 , 20 mA/cm^2 의 전류밀도를 인가하였으며 JGB의 농도는 0~25 ppm의 농도로 실험을 진행하였다. 전류인가방식은 pulse current로 on:off 비율을 1:1로 고정하여 상온에서 실험을 진행하였다. 시간 경과에 따른 필링 형상을 얻기 위해 30분에서 2시간까지 30분 단위로 시간을 나누어 결과를 나타내었다.

Fig. 1은 10 mA/cm^2 의 전류밀도를 인가하였을 때 JGB 농도에 따른 galvanostatic plot이다. 5 ppm의 JGB에서는

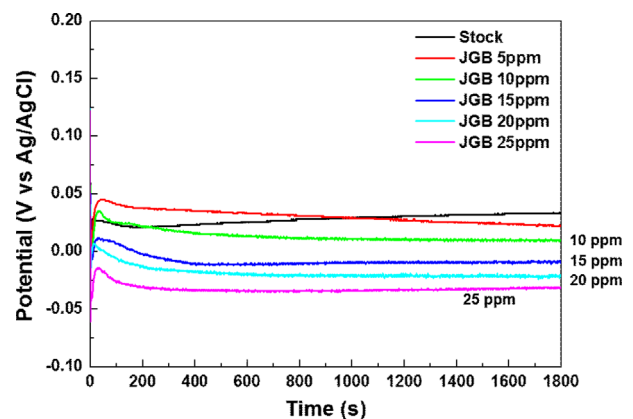


Fig. 1. Galvanostatic plots with variations of JGB concentrations at 10 mA/cm^2 .

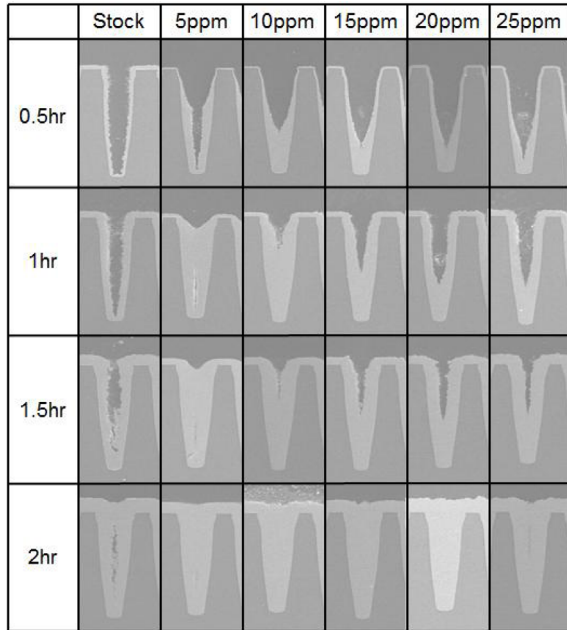


Fig. 2. Filling morphologies with variations of JGB concentrations (10 mA/cm²).

도금 초반에 stock보다 potential이 양의 값으로 증가하는 것을 관찰할 수 있다. JGB의 농도가 5 ppm의 경우에 도금을 시작하고 약 1,000초까지는 stock의 조건보다 좀 더 도금이 빠르게 진행되며 후반으로 갈수록 그 차이가 줄어들어 결국 역전되는 것을 확인할 수 있다. 5 ppm의 JGB를 제외한 나머지 변수의 경우에는 stock조건에 비해 JGB의 농도가 증가할 경우 potential이 음의 값으로 증가하게 된다. 이는 동일한 전류를 인가하기 위한 overpotential이 더 크게 필요한 것을 의미하며 이는 도금속도의 측면에서 구리의 전착속도가 떨어지는 것을 의미한다. 이는 JGB의 첨가량이 증가할수록 도금속도가 감소되며, 도금속도의 억제와 평활제의 역할이 비례관계에 있다고 가정할 경우 JGB의 농도가 25 ppm인 경우가 다른 경우에 비해 억제 역할이 더 좋다고 할 수 있다.

용액 내에 JGB의 농도 변화에 따른 via filling 형상의 차이점을 Fig. 2를 통해 확인할 수 있다. 그림에서 보이는 것과 같이 stock 조건으로 via filling을 진행하였을 경우에 via의 바닥면에서부터 도금층이 차오르는 bottom-up superfilling의 형상을 찾아볼 수 없다. JGB의 농도가 10~20 ppm의 실험결과에서는 via 내부에 결함없이 filling이 되는 것을 관찰할 수 있으나 농도가 그 이상으로 증가하게 될 경우에 void가 다시 발견된다. JGB의 농도가 20 ppm 이상으로 증가하게 될 경우 도금 억제능력이 커지게 되며 그 결과 비아의 내부로 확산되어 들어간 JGB가 도금속도를 억제시켜 비아 내부에 void가 관찰되는 것으로 보인다. 따라서 비아 필링을 하는데 있어서 첨가제의 농도가 최적화되지 못하면 결함 없는 비아 필링을 얻을 수 없다.

Fig. 3은 15 mA/cm²의 전류밀도를 인가하였을 때 JGB

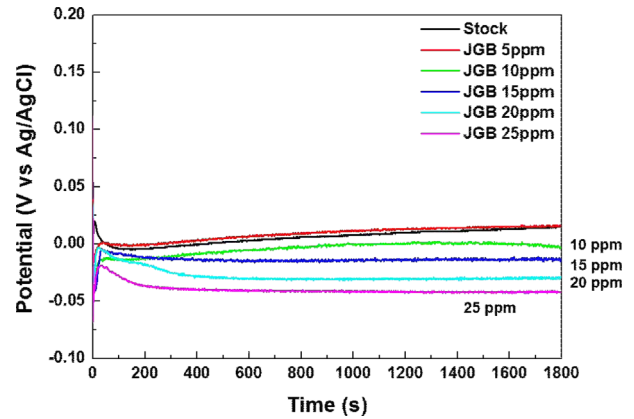


Fig. 3. Galvanostatic plots with variations of JGB concentrations at 15 mA/cm².

농도에 따른 galvanostatic plot이다. JGB의 농도를 5 ppm으로 증가시키면 stock의 조건보다 도금이 빠르게 진행되는 것을 볼 수 있다. 그 이상의 JGB농도에서는 10 mA/cm²의 전류밀도를 인가하였을 때와 마찬가지로 potential이 음의 값으로 증가하게 된다. 이는 15 mA/cm²의 전류밀도를 인가하였을 때 10 ppm 이하의 JGB에서 평활제의 역할이 나타나지 않는다는 것을 알 수 있다.

용액 내에 JGB의 농도변화에 따른 비아 필링 형상의 차이점을 Fig. 4를 통해 확인할 수 있다. 그림에서 보이는 것처럼 stock 조건에서는 bottom-up superfilling을 관찰할 수 없으며, 평활제의 첨가가 없기 때문에 비아 입구에서의 억제 효과를 기대할 수 없다. 따라서 전류의 집중 때문에 비아 입구에서 상대적으로 두꺼운 도금층을 갖는 것을 확인할 수 있다. 추가적으로 도금을 더 진행하였을 때 비아 내부로의 구리이온의 확산이 어려워지며, 결과적으

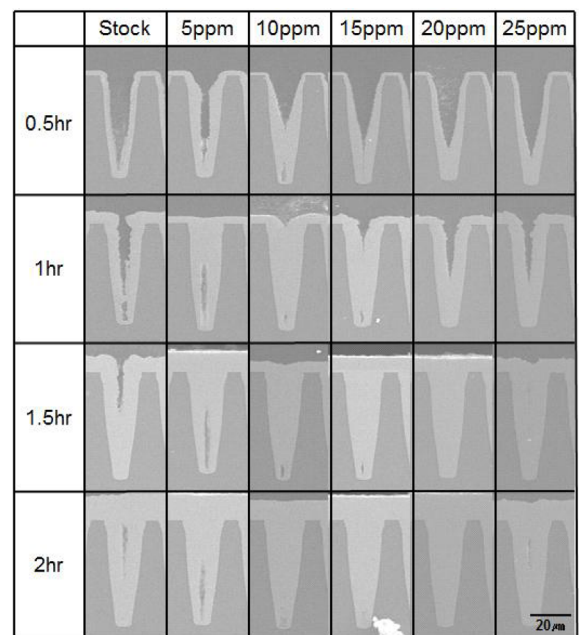


Fig. 4. Filling morphologies with variations of JGB concentrations (15 mA/cm²).

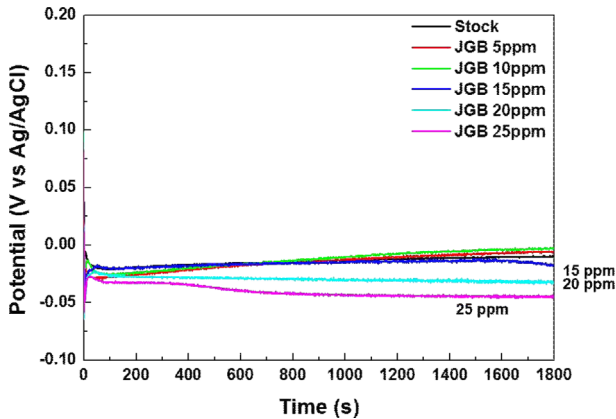


Fig. 5. Galvanostatic plots with variations of JGB concentrations at 20 mA/cm².

로 비아 내부에 voids 등의 결함이 생긴다. 하지만 JGB의 농도가 20 ppm의 실험결과에서는 비아 내부에 결함없이 필링이 되는 것을 관찰할 수 있다. 평활제의 농도가 그 이상으로 증가하게 될 경우에 그림에서처럼 비아 중앙부분에 void의 형성이 관찰되고 25 ppm 이상으로 증가할 경우 비아 내부에 지속적으로 결함이 발생할 것이라고 예상된다. 10 mA/cm²의 실험결과에서 JGB의 농도가 20 ppm 이상에서 비아 내부에 결함이 관찰되는 것을 확인할 수 있는데 15 mA/cm²의 경우 25 ppm 이상의 실험조건에서 결함이 관찰되었다. Galvanostatic plot을 비교할 경우에 10 mA/cm²와 15 mA/cm²의 경우 JGB의 양이 20 ppm이 넘어가면서 potential이 공통적으로 -0.03 V 이하로 떨어지는 것을 확인할 수 있는데, 이 경우 도금 억제능력이 필요 이상으로 커지게 되어 비아 내부에서 필링이 원활하게 이루어지지 않은 것으로 보인다.

Fig. 5는 20 mA/cm²의 전류밀도를 인가하였을 때 JGB의 농도에 따른 galvanostatic plot이다. JGB의 농도가 15 ppm까지 증가시켰을 때 potential이 양의 값으로 증가하는 것을 관찰할 수 있다. JGB의 농도가 15 ppm까지는 stock과 비교하였을 때 큰 차이를 나타내지 않았으며 20 ppm부터 다시 potential이 음의 값으로 증가하는 것을 관찰할 수 있다.

JGB 농도에 따른 비아필링 현상을 Fig. 6을 통해 확인할 수 있다. JGB를 사용한 경우 stock 조건에 비해 도금 두께가 낮은 것을 확인할 수 있지만 비아 내부에는 좀 더 많은 양이 도금된 것을 확인할 수 있었다. 농도가 5 ppm 일 때 비아 내부의 void가 제일 컸으며 농도가 증가할수록 그 크기가 감소하는 것을 확인할 수 있다. 도금이 진행됨에 따라 각각의 JGB농도에서 비아 내부에 생기는 void의 크기는 유사한 것을 확인할 수 있으며 이는 한번 비아 입구가 막히면 도금이 추가적으로 진행되더라도 내부에 남아있는 구리 이온의 고갈로 인해 void 크기가 감소되기 힘든 것을 확인할 수 있다. Fig. 5에서 보면 20 ppm 이상에서 potential이 음의 값으로 증가하는 것을 확인할 수 있다. 이는 JGB의 양이 20 ppm 이상에서부터 평활제

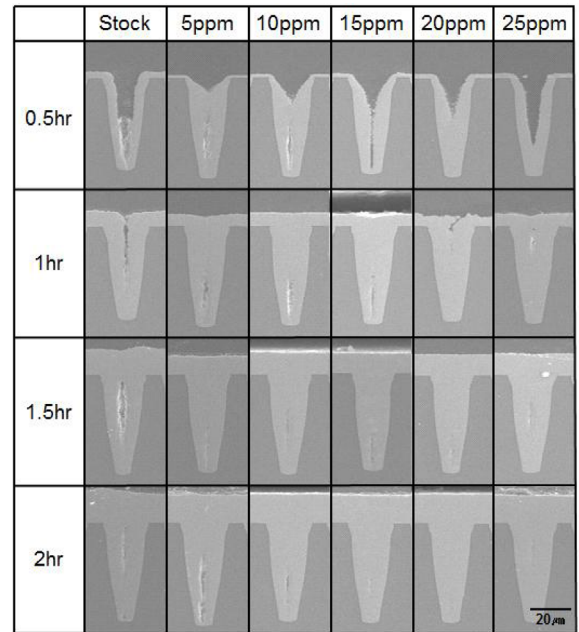


Fig. 6. Filling morphologies with variations of JGB concentrations (20 mA/cm²).

의 역할을 한다고 볼 수 있다. 이는 비아 내부의 void의 위치를 통해서도 알 수 있다. 15 ppm의 JGB 농도에서 비아 필링은 bottom-up superfilling을 관찰할 수 없다. 하지만 20 ppm 이상에서는 bottom-up superfilling의 형상을 보인다. 하지만 도금이 진행됨에 따라 20 mA/cm² 이상의 고 전류밀도는 평활제의 도금속도 억제효과보다 도금성장 속도가 더 크기 때문에 seam type void가 일부 발생하게 된다. 따라서 20 mA/cm²의 전류밀도는 비아 필링시에 사용이 바람직하지 못하다.

직경 15 μm에 종횡비 1:4를 갖는 비아에서 JGB의 농도와 전류밀도를 변화시키면서 비아 필링 현상을 관찰한 결과 농도와 전류밀도와는 밀접한 관계가 있었다. JGB와 전류밀도를 변화하였을 때 galvanostatic plot의 30분 후의 potential 값을 Fig. 7에 나타내었다. 모든 JGB 농도에서 전류밀도를 증가시키기 위해서는 더 큰 과전압이 필요한

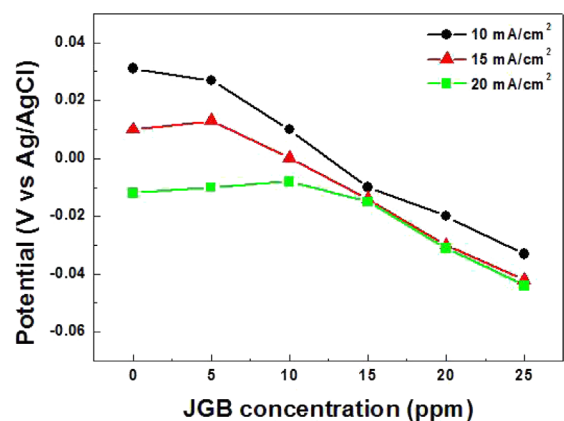


Fig. 7. Galvanostatic plots with variations of JGB concentrations and current density.

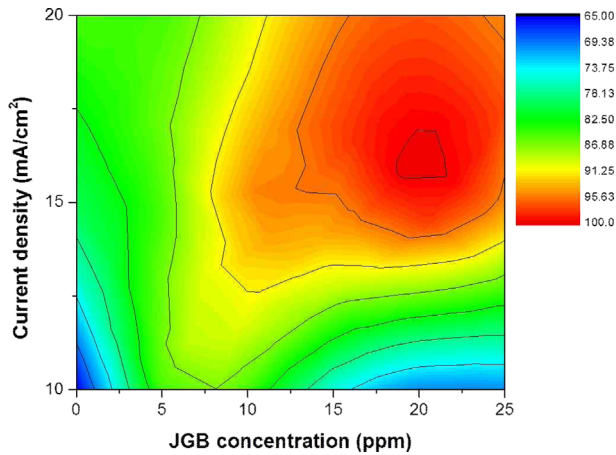


Fig. 8. Via filling map with variations of JGB concentrations.

것을 확인할 수 있다. 그러나 각각의 potential 값을 보면 인가된 전류밀도에 따라 평활제의 역할이 나타나기 시작하는 JGB의 농도가 다르다는 것을 알 수 있다. 공통적으로 JGB의 농도가 20 ppm이 넘어가면서 potential이 필요 이상의 음의 값으로 떨어지는 것을 확인할 수 있는데, 이 경우 도금 억제능력이 커지게 되어 비아 내부에서 필링이 원활하게 이루어지지 않을 것으로 보인다. 따라서 결함 없는 비아 필링을 위해서는 각 전류밀도에 알맞은 JGB의 농도 최적화가 중요한 요소임을 확인할 수 있다. Fig. 8은 1시간 도금 후 전류밀도와 JGB농도에 따른 비아 필링 비율을 나타낸 map이다. SEM사진의 비아 단면적을 필링 비율로 선정하였다. 결과적으로 지름 15 μm 에 종횡비 1:4의 비아 필링에서는 15 mA/cm^2 의 전류밀도를 인가하고 20 ppm의 JGB농도에서 bottom-up superfilling이 가능하였다. 낮은 전류밀도에서 추가적으로 도금을 진행하면 bottom-up superfilling이 가능하였지만 도금 시간이 늘어나므로 최적의 조건이라 할 수 없다. bottom-up superfilling이 가능한 영역에서는 변수의 조절을 통해 좀 더 짧은 시간에 평활제만을 이용한 bottom-up superfilling이 가능할 것이라 예상된다.

4. 결 론

본 연구에서는 직경 15 μm 에 종횡비 1:4를 갖는 비아를 형성하여 전해도금을 이용한 구리 비아 필링에 관한 연구를 진행하였다. 평활제로 JGB를 사용하였으며 전류밀도 변화에 따라 비아 필링 형상을 관찰하였다. 10~20 mA/cm^2 사이의 각 전류밀도에 따른 galvanostatic 결과로부터 각각의 전류밀도에서 도금억제 역할이 발생하는 JGB 농도 차이가 있는 것을 확인 하였으며 전류밀도와 JGB 농도변화에 따른 비아 필링 형상을 확인한 결과 저전류밀도가 아닌 조건에서도 평활제만을 첨가하여 결함 없는 필링이 확인되었다. 하지만 높은 전류밀도에서는 입구에서 도금되는 속도를 평활제만으로 억제시킬 수 없다는 것을 확인할 수 있었다. 전류밀도가 10 mA/cm^2 인 경

우 JGB 10~20 ppm의 조건에서 결함 없는 필링이 얻어졌고 그 이상의 농도에서는 내부 결함의 크기가 증가하는 것을 확인할 수 있었다. 전류밀도가 15 mA/cm^2 인 경우 JGB 20 ppm의 조건에서만 결함없는 필링이 확인 되었다. 전류밀도가 20 mA/cm^2 인 경우 모든 농도에서 결함 없는 필링을 확인할 수 없었고, void의 위치가 바닥에서 입구로 이동한 것을 보았을 때 추가적인 농도에서도 결함 없는 필링이 일어나지 않을 것이라 예상된다. Filling ratio map에서 평활제만을 첨가하여 결함없는 비아 필링을 할 수 있는 최적화 조건을 찾을 수 있었다. 본 실험에서는 JGB 20 ppm, 전류밀도 15 mA/cm^2 이 최적화 조건으로 확인 되었다.

감사의 글

본 연구는 2014학년도 홍익대학교 학술연구진흥비에 의하여 지원되었으며 이에 감사드립니다.

References

1. J. Sun, K. Kondo, T. Okamura, S. J. Oh, M. Tomisaka, H. Yonemura and M. Hoshino, "High-Aspect-Ratio Copper Via Filling Used for Three-Dimensional Chip Stacking", J. Electrochem. Soc., 150(6), G55 (2003).
2. M. Hirano, K. Nishikawa, I. Toyoda, S. Aoyama, S. Sugitani and K. Yamasaki, "Three-dimensional Interconnect Technology for Ultra-compact MMICs", Solid-State Electron., 41(10), 1451 (1997).
3. S. Sheng, A. Chandrakasan and R. W. Brodersen, "A Portable Multimedia Terminal", IEEE Commun. Mag., 30(12), 64 (1992).
4. T. Yoshinaga and M. Nomura, "Trends in R&D in TSV Technology for 3D LSI Packaging", Science & Technology Trends, Quarterly Rev., 37, 26 (2010).
5. N. Tanaka and Y. Yoshimira, "Ultra-Thin 3D-Stacked SiP Formed Using Room-Temperature Bonding between Stacked Chips", Proc. 54th Electronic Components and Technology Conf., 788 (2005).
6. S. Miura and H. Honma, "Advanced Copper Electroplating for Application of Electronics", Surf. Coat. Technol., 91, 169 (2003).
7. L. Hofmann, R. Ecke, S. E. Schulz and T. Gessner, "Investigations Regarding Through Silicon Via Filling for 3D Integration by Periodic Pulse Reverse Plating with and without Additives", Microelectron. Eng., 88(5), 705 (2011).
8. D. Josell, B. Baker, C. Witt, D. Wheeler and T. P. Moffat, "Via Filling by Electrodeposition", J. Electrochem. Soc., 149(12), C637 (2002).
9. T. P. Moffat, D. Wheeler, S. K. Kim and D. Josell, "Curvature Enhanced Adsorbate Coverage Mechanism for Bottom-Up-Superfilling and Bump Control in Damascene Processing", Electrochim. Acta, 53, 145 (2007).
10. S. K. Kim, D. Josell and T. P. Moffat, "Electrodeposition of Cu in the PEI-PEG-Cl-SPS Additive System", J. Electrochem. Soc., 153(9), C616 (2006).
11. S. J. Lee, Y. J. Jang, J. H. Lee and J. P. Jung, "Cu-Filling Behavior in TSV with Positions in Wafer Level", J. Micro-

- electron. Packag. Soc., 21(4), 91 (2014).
12. T. P. Moffat, D. Wheeler, C. Witt and D. Josell, "Superconformal Electrodeposition Using Derivatized Substrates", *Electrochem. Solid-State Lett.*, 5(12), C110 (2002).
 13. W. P. Dow and M. Y. Yen, "Microvia Filling over Self-Assembly Disulfide Molecule on Au and Cu Seed Layers", *Electrochem. Solid-State Lett.*, 8(11), C161 (2005).
 14. W. P. Dow, C. C. Li, M. W. Lin, G. W. Su and C. C. Huang, "Copper Fill of Microvia Using a Thiol-Modified Cu Seed Layer and Various Levelers", *J. Electrochem. Soc.*, 156(8), D314 (2009).
 15. M. W. Jung, K. T. Kim, Y. S. Koo and J. H. Lee, "The Effects of Levelers on Electrodeposition of Copper in TSV Filling", *J. Microelectron. Packag. Soc.*, 19(2), 55 (2012).