다채널 직접 디지털 합성을 이용한 레이더 반사 신호 모의 장치

Radar Return Signal Simulation Equipment Using MC-DDS (Multi-Channel Direct Digital Synthesis)

노지은 · 양진모 · 유경주* · 구영석* · 이상화* · 송성찬* · 이희영 ·
최병관 · 이민준

Ji-Eun Roh · Jin-Mo Yang · Gyung-Joo Yoo* · Young-Suk Gu* · Sang-Hwa Lee* ·
Sung-Chan Song* · Hee-Young Lee · Byung-Gwan Choi · Min-Joon Lee

요 약

레이더는 표적으로부터 반사된 신호의 크기, 도플러 속도로부터 표적의 거리, 속도 정보를 알 수 있으며, 이런 반사 신호의 특징들은 표적의 반사 특성과 기동에 의해 결정된다. 표적의 위치 정보에 대한 각도 오차는 합채널에 대한 차채널의 크기 비로부터 추출된다. 본 논문에서는 다기능 레이더의 성능을 평가하고 분석하기 위한 레이더 반사 신호 모의 장치(RSSE)에 대해 소개하였다. 개발된 레이더 반사 신호 모의 장치는 다채널 직접 디지털 합성(MC-DDS)을 이용하여, 제밍 신호를 포함한 다중 표적 환경을 모사할 수 있도록 구현되었으며, 효율적인 하드웨어 구조 설계를 통해 모사할 수 있는 표적의 수를 용이하게 확장할 수 있도록 설계되었다. 개발된 모의 장치의 요구 성능 및 기능을 시험 환경에서 확인하였으며, 신호 처리기(RSP)와의 연동 시험 구성에서 표적 탐지 성능을 입증하였다.

Abstract

Radar receiving echo signal provides target information - range, velocity and position by signal magnitude and Doppler shift, which are determined by target reflection characteristics and target maneuver. Target angle error is extracted from the magnitude ratio of difference channel to sum channel. In this paper, we introduce a radar Return Signal Simulation Equipment(RSSE) which is implemented for the purpose of performance analysis and evaluation of phased array multi-function radar(MFR). It generates multi-target environment with jamming signals using MC-DDS (Multi-Channel Direct Digital Synthesis), and has scalability by using the efficient hardware configuration. The performance of the developed RSSE has been evaluated under various test environments. Especially, we proved that required target detection performance is achieved by RSP(Radar Signal Processor) interfaced RSSE configuration.

Key words : Multi-Channel Direct Digital Synthesis(MC-DDS), Detection, Tracking, Amplitude Matching, Phase Matching

I. 서 론

대부분의 레이더 시스템은 많은 개발 기간과 비용을 투자하여 다양한 기능과 성능을 보유하도록 개

국방과학연구소(Agency for Defense Development)

*삼성탈레스(Samsung Thales)

· 논 문 번 호 : 20110630-062

· 교 신 저 자 : 노지은(e-mail : jeroh@add.re.kr)

· 수정완료일자 : 2011년 9월 2일

발되고 있으나, 개발 완료 또는 성능 입증 시험을 위해서는 실패작을 이용하여 객관적으로 성능과 기능을 확인하고자 한다. 그러나 비용, 시험 시설 구축 및 다른 제약조건들 때문에 개발된 레이더가 보유하고 있는 성능 및 기능들을 실측된 결과들을 이용하여 확인하기 어려운 것이 현실이며, 이에 대한 보완책으로 개발 완료된 레이더의 성능과 기능을 in-house 또는 실험실 수준에서 입증하고자 하는 필요성이 대두되고 있다^{[1],[2]}.

특히 다기능 레이더(MFR: Multi-Function Radar)와 같이 다수의 표적을 탐지, 추적하고 유도탄 포착, 추적 및 응답 신호를 동시에 처리해야 하는 시스템에서는 단일 안테나 빔 내에 다수의 표적 신호뿐만 아니라 유도탄 응답 신호 및 재밍 신호와 같은 외부 간섭 신호들을 동시에 생성하여 레이더의 성능과 기능을 확인하고 분석할 필요가 있다.

본 논문은 레이더의 잡음 배경에서 표적 탐지/추적 성능 분석 및 재밍, 간섭과 같은 비균질 환경에서의 탐지 및 추적 성능을 확인하고 평가하기 위한 레이더 반사 신호 모의 장치(RSSE: Return Signal Simulation Equipment)의 개발에 대해 기술하였다. RSSE는 다채널 직접 디지털 합성(MC-DDS: Multi-Channel Direct Digital Synthesis)을 이용하여, 레이더 통제기의 표적 추적 관리 성능 및 신호 처리기의 탐지/추적 성능을 포함한 한 레이더 시스템 성능을 평가하고 분석하기 위한 다수의 표적 및 간섭, 재밍 신호를 모사한다. MC-DDS는 기존의 단일 채널 DDS와 달리 동일한 전기적 특성을 갖는 두 개 이상의 DDS 코어가 내장된 DDS로 레이더 파형 발생 및 통신 시스템의 국부 발진 신호 생성, 주파수 합성 등 다양한 분야에서 적용되고 있는 소자이다.

RSSE의 개발에 적용한 MC-DDS는 다양한 종류의 신호를 동시에 생성할 수 있어서, 다기능 레이더와 같이 다수 표적의 탐지 및 모노 펄스 추적과 유도탄 링크 신호등을 실시간으로 동시에 처리해야 하는 복합 시스템의 성능 분석에 매우 효과적이며, 레이더의 추적 성능을 결정하는 모노 펄스 신호 생성 시 하드웨어적인 진폭, 위상 불균형에 의한 영향이 최소화된 아날로그 신호를 생성하는데 유리하다.

본 논문에서는 II 장에서는 RSSE의 요구 기능 및 성능에 대해 설명하고, MC-DDS를 이용한 RSSE의

구성 및 설계 내용에 대해 III 장에서 기술하였다. IV 장에서는 구현된 RSSE의 시험 환경을 이용하여 시스템 요구 기능 및 성능 시험 결과와 신호 처리기와 연동을 통한 시험 결과에 대해 기술하였으며, V 장에서 결론을 맺는다.

II. 요구 성능 및 기능

레이더의 잡음 배경에서 표적 탐지/추적 성능 분석 및 재밍, 간섭과 같은 비균질 환경에서의 탐지 및 추적 성능을 확인하고 평가하기 위한 RSSE의 요구 성능 및 기능을 정의한다. RSSE에서 모사되는 신호는 크게 표적 반사 신호와 재밍 및 클러터를 포함한 간섭 신호로 나눌 수 있으며, 레이더에서 사용되는 실제 파형(탐지 파형, 추적 파형, 탐지/정밀추적 파형 등)과 동일한 성능을 갖는 파형들을 시스템 시나리오(표적 궤적 및 빔 스케줄링, 시험 환경 등)에 따라 연동하여 생성한다. 표적의 반사 신호는 레이더에서 사용되는 파형들의 replica로 정의할 수 있으며, RSSE에서 모사되는 파형들로는 거리분해능이 우수하고 표적의 탐지 목적으로 사용되는 선형 주파수 변조(LFM: Linear Frequency Modulation) 신호와 모호함수의 특성이 표적의 도플러에 민감하여 표적의 도플러 주파수를 정확히 추정할 수 있는 위상 코드 변조(PCM: Phase-Coded Modulation) 신호 및 표적의 탐지 및 정밀 추적이 가능한 펄스 열(pulse train) 신호가 있다^{[3],[4]}. 또한, RSSE는 유도탄 응답 신호를 펄스 형태로 모사한다. RSSE는 표적, 유도탄 신호를 모사할 뿐 아니라, 수동, 능동 재밍 신호(passive & active jamming signal)와 클러터 신호등과 같은 외부 간섭 신호들을 모사할 수 있으며, 레이더의 재밍에 대한 대전자전(ECCM: Electronic Counter-Counter Measure) 능력을 평가하는데 사용할 수 있다.

RSSE는 앞서 언급한 바와 같이, 레이더의 실제 환경과 유사한 신호들을 모사하여 생성하는 기능을 갖도록 요구되며, 아래와 같은 반사 신호들을 시스템의 제어 명령에 따라 생성한다.

- 표적 반사 신호 및 유도탄 응답 신호
- 거리/속도 기반 재밍 신호
- 능동 잡음 및 수동 재밍 신호
- 수신기 잡음

표적 반사 신호는 표적 이동 궤적에 따른 거리와 레이더 반사 단면적(RCS: Radar Cross Section)에 의해 신호의 세기가 제어될 수 있어야 하며, 레이더의 동적 영역(dynamic range)내 존재하도록 설정된다. 또한, 표적이 이동하기 때문에 도플러 성분을 표적 속도에 따라 모사할 수 있는 기능을 보유한다. 레이더의 대전자전 능력을 분석하기 위해 표적 반사 신호와 동일한 전기적 특성을 갖는 거리 및 속도 기반 제밍 신호를 모사할 수 있어야 하며, 동시에 잡음 제밍도 생성할 수 있는 기능을 갖도록 구성된다.

앞서 언급된 다양한 환경 신호를 생성하기 위한 RSSE의 주요 요구 성능은 시스템 요구 사항을 기반으로 아래와 같이 도출되었다^[5].

- (1) 최대 동작 주기 : 동작 주기는 시스템의 최대 동작 주기에 동기되어 신호를 생성한다.
- (2) 출력 신호의 동작주파수 : 신호 처리기의 중심 주파수인 60 MHz를 만족한다.
- (3) 모사 신호들의 전기적 특성 : 신호 처리기에서 처리되는 신호들의 동작 주기, 펄스폭, 펄스 반복 주파수(PRF) 및 레이더 대역폭 등을 만족하도록 모사하도록 생성되어야 한다.
- (4) 생성된 모사 신호는 거리에 따른 신호 세기 변화 및 속도를 모사하기 위해 표 1의 주요 요구 성능을 만족한다.

RSSE는 수신기와 신호 처리 기간 전기적 인터페이스 조건(신호 크기, 잡음 및 입출력 저항 등)을 모사하기 위해, 생성된 신호의 세기 및 잡음 수준을 제어 명령에 따라 조정할 수 있어야 한다. 모사 표적의 거리 및 RCS에 따른 신호 크기 변화를 반영하기 위해 1 dB 단위로 최대 100 dB의 신호 크기 조정 범위를 가져야 한다. 그림 1은 등속도로 접근하는 RCS 2m² 표적의 궤적과 거리에 따른 신호 크기 변화의 예를 보여준다. RSSE는 표적의 추적 성능을 시험하기 위해 합 채널에 대한 두 개의 차 채널(방위각, 고각) 신호를 동시에 생성할 수 있어야 하며, 이렇게 생성된 신호는 모노 펄스 처리를 통해 레이더의 신호 처리 성능 분석에 적용하게 된다. 모노 펄스 오차 신호는 합 채널에 대한 차 채널의 신호 크기 비로 정의되며, 하드웨어에 의한 진폭 및 위상 변화가 포함되면 표적의 모노 펄스 오차 신호는 에러를 갖게 된

(a) 표적 시나리오
(a) Target scenario

(b) 거리에 따른 수신 신호 세기
(b) Received power according to range

그림 1. 표적 시나리오(예)

Fig. 1. Target scenario(example).

다. 따라서 RSSE에 생성되는 합 채널과 차 채널 신호는 이러한 하드웨어적인 에러 요인들을 제거할 수 있는 기능을 보유하도록 설계되어야 하고, 신호 처리 결과로부터 표 1에 제시된 합 채널에 대한 차 채널

표 1. 주요 요구 성능

Table 1. Key requirement performance.

전기적 특성		요구 성능
신호 크기 조정 범위/조정 간격		105 dB/1 dB
신호 On/Off 억제(펄스 억압) 수준		80 dB 이상
도플러 주파수 조정 범위	LFM	fc±350 kHz
	PCM, PT	fc±545 kHz
합 채널에 대한 차 채널 (방위각, 고각) 진폭/ 위상 조정 단위	진폭	0.5 dB 이하
	위상	5.625도 ±11.25도

널의 진폭 및 위상 조정 단위를 이용하여 보정된 모노 펄스 신호를 모사하게 된다.

III. 설계 및 제작

3-1 구성

RSSE는 아날로그부와 디지털부로 구성되며, 외부로부터 기준 주파수 신호를 입력받고 레이더 통제 컴퓨터의 제어 명령 및 표적 생성 시나리오에 따라 모의 표적 및 재밍 신호를 생성하여 신호 처리기에 전송한다^[6]. 이러한 기능을 수행하기 위해 RSSE는 제어 및 연동 모듈, 신호 발생 모듈 및 신호 합산 모듈과 전원 모듈들로 구성되며(그림 2), 각각의 모듈들에 대한 기능은 다음과 같다.

제어 및 연동 모듈은 RSSE의 동작을 제어한다. 레이더 통제 컴퓨터로부터 각 작업 사이클마다 동작 모드에 맞는 제어 정보와 데이터를 수신하고, 레이더 통제 컴퓨터로부터 수신한 명령 동기 신호에 따라 RSSE 각 모듈에 대한 제어 정보를 생성하여 제어한다. 또한, RSSE를 구성하는 각 모듈들의 상태 정보를 실시간으로 모니터링하고 수집하여 레이더 통제 컴퓨터로 고장탐지 정보를 제공하는 역할을 담당하도록 구성되었다.

신호 발생 모듈은 제어 및 연동 모듈로부터 제어 정보를 받아 표적 반사 신호, 유도탄 응답 신호, 거리 기반 재밍 신호, 속도 기반 재밍 신호 또는 수동

재밍 신호(PT 파형)를 생성하고, 생성 신호의 이득을 조절한다. 신호 발생 모듈은 다양한 형태의 반사 신호들을 시나리오에 따라 생성하여야 하고, 신호의 세기 및 위상정보를 변경할 수 있어야 하기 때문에 메모리를 이용한 파형 생성 또는 디지털 상향 변환 방식에 비해 하드웨어 구조와 확장성 측면에서 장점을 갖는 디지털 직접 합성 방식을 적용하였다. 여러 가지 파형 생성 방식의 특징을 비교한 결과는 표 2와 같다.

또한, 신호 생성 모듈은 합 채널 신호뿐만 아니라 모노 펄스 신호(차채널 신호) 및 SLB 채널 신호들을 하나의 표적에 대해 동시에 모사해야 하기 때문에 하드웨어 구조의 복잡도 관점에서 직접 디지털 합성 방식을 이용하는 것이 유리하다.

신호 합산 모듈은 신호 발생 모듈과 잡음 발생 모듈에서 생성한 4채널의 신호들(합채널, 두 개의 차채널 및 SLB 채널)을 전력 합산하여 출력한다. 즉, 하나 안테나 빔 내에 3개의 표적 신호를 모사하여야 하므로 다음과 같은 방법으로 신호들을 합하게 된다.

합채널 신호=

$$\sum_{n=1}^4 (\text{신호 생성 모듈 } \#n \text{의 합채널 신호}) \quad (1)$$

3개의 표적 신호는 각각 3개의 신호 생성 모듈에서 생성되고($n=1 \sim 3$), 4번째 합 채널 신호는 잡음 생성 모듈에서 생성된 잡음 신호가 식 (1)과 같은 개념

표 2. 파형 생성 방식 비교

Table 2. Comparison of waveform generation method.

	신호 크기 조정	위상 조정	하드웨어 구조	확장성
메모리-DAC 방식	외부 DCA	위상값이 다른 메모리 사용	메모리 블록 사용, 하드웨어 상대적 복잡	채널수에 따라 동일 하드웨어 증가
디지털 상향 변환 방식	외부 DCA / 내장된 DAC	외부 위상변위기	하드웨어 상대적 복잡	채널수에 따라 동일 하드웨어 증가
직접 디지털 합성 방식	외부 DCA / 내장된 DAC	외부 위상변위기/ 내장된 위상 레지스터	다중 채널 DDS 이용 4채널까지 하나의 칩으로 구현 가능	다중 채널 DDS 이용 손쉽게 확장 가능
위상천이 방식	외부 DCA	외부 위상변위기	하드웨어 상대적 단순, 신호혼합기 이용 LO신호 추가 필요	채널수에 따라 동일 하드웨어 증가

* DCA: Digitally Controlled Attenuator, DAC: Digital-to-Analog Converter.

으로 전력 합산되어 하나의 합 채널 신호를 생성하게 된다. 모노 펄스 성능을 시험하기 위한 두 개의 채널 신호(방위각, 고각) 및 부엽 채널 신호 역시 위와 같은 동일한 방법으로 생성된 후 전력 합산된다.

기준 신호 분배 모듈은 RSSE를 구성하는 각 모듈들의 동작 동기 및 MC-DDS의 시스템 클럭을 생성하고 공급한다. 기준 신호는 내장된 OCXO 또는 외부로부터 공급받을 수 있으며, DDS 제어기인 FPGA의 동작 클럭 및 DDS의 시스템 클럭의 기준으로 사용된다. 특히 DDS의 시스템 클럭은 외부로부터 높은 주파수의 클럭을 받아 사용하거나 낮은 주파수의 클럭을 내장된 위상 잠금 루프(PLL)를 이용하여 높은 주파수로 변환한 후 사용할 수 있다⁷⁾. 내장된 위상 잠금 루프를 이용하는 경우, 내장된 VCO를 이용하여 되고, 루프 대역폭에 따른 전형적인 위상잠음 특성을 갖게 된다. 따라서 내장된 위상잠금 루프를 통한 시스템 클럭을 사용할 것인지, 외부의 주파수 체배기를 이용하여 생성된 시스템 클럭을 이용할 것인지에 대한 trade-off가 요구된다. 이 trade-off의 판단 기준으로 DDS 출력에서의 CW신호에 대한 위상 잠음을 측정하여 낮은 위상 잠음 특성을 갖는 시스템 클럭을 생성방법을 선택하였다.

잠음은 기존의 레이더 반사 신호 모사 방법에서 고려되지 않았지만, 잠음을 이용한 레이더 시스템의 보정과 재밍 신호의 모사를 위해 본 연구에서 주요하게 고려하였다. 잠음을 이용한 레이더 시스템의 보정은 특히 신호 처리기의 입력 동적 영역 중 최저

레벨(lower limit)에 대해 중요한 의미를 가진다. 신호 처리기의 입력 동적 영역은 잠음 수준에서부터 왜곡 없이 신호 처리가 가능한 최대 신호 세기까지의 영역으로 정의되며, 입력되는 잠음이 일정 수준을 유지하여야 신호 처리기 입력단의 ADC 손실을 유지, 궁극적으로는 신호 처리기 손실을 일정하게 유지하게 된다. 잠음 생성 모듈에서 생성되는 잠음은 수신기에서 출력되는 잠음 수준과 동일한 값이며, 잠음의 형태를 수동 재밍 신호를 생성할 수 있도록 구성하였다.

전원 모듈은 RSSE의 동작에 요구되는 각종 DC 전원들을 생성하도록 구성되었으며, AC-DC 변환 모듈, DC-DC 변환모듈로 되어 있다.

그림 2는 MC-DDS를 이용한 RSSE의 구성을 나타낸다.

3-2 설계

3-2-1 제어 및 연동 모듈

제어 및 연동 모듈(CIM: Control & Interface Module)은 레이더 통제기와의 통신을 담당한다. RS-485의 전기적인 규격과 HDLC 통신(제어 정보 송/수신)을 통해 통제기의 제어 정보를 수신 및 분석하여 각 하부 기능 모듈에 분배하며, 내부 보드를 제어한다. 또한, 각 보드로부터 보드의 오류 상태 및 보드 장착 상태 정보를 수집하여 레이더 통제기로 전송한다. 레이더 통제기로 35개 워드의 패킷을 수신하고,

그림 2. MC-DDS를 이용한 RSSE 구성
Fig. 2. Configuration of RSSE using MC-DDS.

6개 워드의 패킷을 송신한다.

통제기와의 HDLC통신 규약은 16-비트 CRCCITT 형식을 적용하여 설계되었으며, 데이터 형식은 NRZI-Space 방식의 코딩/인코딩을 사용하였다. 통제기와 RSSE간 HDLC 통신은 Zilog사의 HDLC 통신 전용 칩인 Z16C30을 이용하였고, 시작 플래그와 종료 플래그 사이에 수신시 35개 워드의 패킷과 송신시 6개 워드 패킷을 정의하여 통신이 이뤄지도록 설계되었다. 시작과 종료 플래그는 각각 $0 \times 7E$ 값을 가지며, CRC-16을 이용하여 통신간 오류를 점검한다.

입력된 제어 명령 및 데이터는 CIM의 메인 프로세서인 MCU(Analog Device사 ADSP-BF537 Black Fin DSP) 칩의 내부 메모리에 저장되고, MCU는 16비트 데이터 버스와 19비트 어드레스 버스를 통해 RSSE의 하부 모듈들을 제어하도록 설계되었다. CIM에 장착된 FPGA는 하부 모듈에 장착되어 있는 FPGA들을 선택하는 스트로브 신호를 생성하고, 생성해야 하는 파형에 대한 제어 정보의 제공 및 모듈들의 상태 정보값을 종합하는 역할을 담당하도록 설계되었다. 그림 3은 CIM의 구성을 나타낸다.

CIM의 MCU는 브로드 캐스팅 방식을 이용하여 공통된 제어 정보 및 데이터들을 하부 모듈들에 전달하게 되며, 각 모듈들마다 상이한 제어 정보 및 데이터들은 CIM에 장착된 FPGA를 통해 선택된 모듈들에 각각 전달된다. RSSE는 레이더 시스템 동기 신호(Syncy Signals)들에 동기되어 동작되어야 하므로 통제기에서 입력되는 두 개의 동기 신호들(FMCP, FMCP)은 MCU의 인터럽트 핀과 FPGA에 동일하게 공급되어 모듈간 신호 생성 시점이 일치하도록 설계

그림 3. 제어 및 연동 모듈 구성도

Fig. 3. Control & interface module structural diagram.

그림 4. CIM의 동기 신호 기준 동작 설명

Fig. 4. Operation description based on synch signals of CIM.

되었다.

RSSE의 전원을 인가하거나 소프트웨어적으로 리셋이 발생하게 되면 MCU는 하부 모듈의 FPGA들을 통해 DDS의 초기화 과정을 수행하게 된다. DDS의 초기화 과정에서 DDS의 통신모드(2-비트 직렬 모드), 위상 오프셋 값(=0) 설정 등을 수행한다. 초기화 과정이 완료된 후 통제기로부터 시스템 동기 신호인 FMCP와 FMCP가 입력될 때까지 대기모드에 머무르게 된다. 동기 신호들인 FMCP와 FMCP가 인가되면 제어 패킷에 해당되는 파형들을 생성하기 위해 3개의 신호 발생 모듈 및 잡음 발생 모듈 각각을 제어하게 된다. 이 과정에서 DDS에 내장된 모든 누적기(sweep) 누적기, 위상 누적기)들의 상태와 주파수 튜닝 값을 초기화한 후, 시나리오에 따라 통제기로부터 주어진 제어 명령과 일치하도록 신호 발생 모듈을 각각 제어한다. 표적 하나당 하나의 신호 발생 모듈이 할당되므로, CIM 내에 FPGA는 신호 발생 모듈의 제어를 동시에 수행할 수 있도록 설계되었다. 각각의 신호 발생 모듈들의 설정이 완료된 후 I/O 업데이트 신호를 이용하여 시나리오에 해당되는 거리, 신호 크기 및 위상을 갖는 신호가 생성된다. 그림 4는 CIM의 제어 과정을 시스템 동기 신호와 함께 도시한 것이다.

3-2-2 신호 발생 모듈

신호 발생 모듈(그림 5)은 RSSE의 핵심 모듈로써, 제어 및 연동 모듈로부터 전송 받은 패킷을 이용하여 표적 반사 신호, 유도탄 응답 신호, 거리기만 재밍 신호, 속도기만 재밍 신호 및 수동 재밍 신호(PT

그림 5. 신호 발생 모듈 구성도
Fig. 5. Signal generation module structural diagram.

파형)를 생성한다. DDS로부터 생성된 대역 통과 필터를 거치고 4단으로 구성된 디지털 감쇄기(DCA)를 통해 105 dB 범위의 신호 크기를 제어할 수 있도록 설계되었다. 신호 발생 모듈에 내장된 FPGA는 생성하고자 하는 파형을 위한 DDS 제어와 디지털 감쇄기 이득 제어를 위한 제어값 및 데이터를 생성하여 공급하는 역할을 한다. 아날로그부의 RF 스위치를 제어하여 펄스-열 신호와 RLRT 신호의 펄스 On/Off 변조를 수행하고, 펄스간 누설 신호 억제에 만족하도록 설계하였다. 신호 발생 모듈은 아날로그 신호들 간의 간섭에 의한 영향을 최소화하고, 최적의 전기적 성능을 보장하기 위해 현재 가능한 다중 채널 DDS중 2-채널 DDS인 AD9958을 적용하여 설계되었다. AD9958은 두 개의 동일한 특성을 갖는 DDS 코어가 장착되어 있는 DDS 칩으로 4-채널인 AD9959와 동일한 전기적 특성을 갖는다^[8]. 하나의 신호 발생 모듈은 표적 하나에 대한 4개의 신호(합 채널, 2개 차 채널, SLB 채널)를 생성하도록 설계되었으며, 시스템의 요구 성능 중 하나인 3개의 표적을 동시에 생성하기 위해서 그림 5와 같이 신호 모듈이 3개로 구성, 설계되었다. 따라서 그림 5의 신호 생성 모듈을 요구되는 동시 표적 수만큼 증가시킴으로써 시스템에서 요구하는 표적의 수를 쉽게 확장할 수 있다.

AD9958은 채널 별로 주파수, 위상, 진폭을 독립적으로 제어할 수 있는 두 개의 DDS로 구성되어 있으며, 아날로그 처리로 인한 신호간의 왜곡 및 영향을 보정할 수 있는 특징을 갖고 있다^[8]. 두 개의 채널은 동일한 시스템 클럭을 공유하기 때문에 동기화되어 있고, 여러 개의 DDS간에 동기가 가능하기 때

표 3. 파형별 설정 모드 및 주요 설정값

Table 3. Function of control & interface module and key component specification.

파형	설정 모드	주요 설정값
LFM 신호	선형 스위프 모드	AFP Select(CFR[23:22])=10 Linear Sweep Enable(CFR[14])=1 : Frequency Sweep
PCM 신호	변조 모드	AFP Select(CFR[23:22])=11 Linear Sweep Enable(CFR[14])=0 : Phase modulation Profile pin(P2) : CH0 Two-level modulation Profile pin(P3) : CH1 Two-level modulation * Profile pin(P0, P1) : 사용 안함(N/A)
PT 신호	싱글톤 모드	AFP Select(CFR[23:22])=00 I/O Update 핀을 이용 신호생성 구간 On/Off 제어
RLRT 신호	싱글톤 모드	AFP Select(CFR[23:22])=00 I/O Update 핀을 이용 신호생성 구간 On/Off 제어

※ AFP: Amplitude Frequency Phase, CFR: Channel Function Register.

문에 안정적으로 채널을 확장할 수 있다. 또한, AD-9958은 주파수/위상/진폭 변조(FSK, PSK, ASK)를 16 레벨까지 지원할 뿐만 아니라, 주파수, 위상 진폭의 선형적인 스위프(sweep) 기능을 지원한다. 표 3은 생성하는 파형별 설정 모드 및 주요 설정 값들을 나타낸다.

레이더에서 표적의 탐지 목적으로 사용되는 LFM 파형은 DDS의 선형 스위프 모드에서 주파수 스위프 동작을 이용하여 생성한다. 주파수 스위프시 3개의 레지스터(LSRR, RDW, FDW)를 설정하여야 하며, 본 개발에서는 주파수 업 스위프만 사용하므로 RDW(Rising Delta Word)와 LSRR(Linear Sweep Ramp Rate)의 하위 8비트(=RSRR)만을 아래와 같은 관계식을 이용하여 설정한다.

$$\Delta t = (RSRR) \times 1 / SYNCCLK \quad (2a)$$

$$\Delta f = \left(\frac{RDW}{2^{32}} \right) \times SYSCLK (Hz) \quad (2b)$$

DDS 내부에서 SYNCCLK와 SYSCLK는 4:1의 관

계를 가지며, 384 MHz의 SYSCLK에 대해 SYNCLK는 96 MHz가 된다. RSRR값이 1일 때, $\Delta t_{\min}$ 는 10.41 ns이며 RDW값이 1일 때, $\Delta f_{\min}$ 는 0.0894 Hz이다. 생성되어야 하는 LFM 파형의 펄스폭과 레이더 대역폭 및 최소 변화량($\Delta t_{\min}$, $\Delta f_{\min}$)을 고려하여 RSRR과 RDW의 세팅값을 계산할 수 있다.

PCM 파형의 경우, 2-level 위상 변조 모드를 이용하여 생성한다. 대략적인 표적 속도 성분을 추출하기 위해서는 도플러 변화에 민감한 모호 함수 특성을 갖는 PCM 파형을 이용하며, 거리분해능을 향상시키기 위해 PN-코드를 이용한다. PN-코드는 0도/180도의 두 개 위상 값만을 갖기 때문에 DDS의 2-level 위상 변조 모드를 이용하여 생성할 수 있다. 표 3과 같이 PCM 파형을 생성할 수 있도록 DDS 내부 레지스터를 설정한 후, 프로파일 핀(profile pin)을 FPGA에서 제어함으로써 0도/180도 bi-phase 변조가 가능하다.

신호 발생 모듈에서 생성해야 하는 신호들 중 하나로 PT파형과 RLRT 파형이 있다. 이 두 신호는 주파수 또는 위상 변조 없이 펄스 On/Off를 이용한 펄스변조신호 DDS를 싱글톤 모드로 설정한 후 DDS 뒷단의 두 개 스위치(SPST와 SPDT)를 이용하여 생성한다. SPST와 SPDT 스위치는 FPGA에서 직접 스위치 On/Off 신호를 생성하여 제어하도록 설계되었으며, 시스템의 요구 성능 중 하나인 80 dB 이상의 펄스-펄스간 억압수준을 만족시키기 위해 직렬로 구성한다.

시스템에서 요구하는 신호 크기의 조정은 DDS 내부 출력단에 위치한 10-비트 DAC와 뒷단의 4-단 DCA(신호 조정 범위: 0~105 dB)의 조합으로 제어되도록 설계되었다. 개발에 적용된 PE4302는 0.5 dB 스텝의 31.5 dB 신호 감쇄 범위를 가지며, 스위칭 시간이 1 usec 이하이고, 감쇄 정확도는 1 GHz 이하에서 최대 0.1 dB 이하인 특성을 가진다. 신호 크기 조정과 함께 표적의 속도를 모사하기 위해 DDS 내부의 CFTW(Channel Frequency Tuning Word)를 이용하였다. 32-비트 길이의 CFTW 레지스터를 이용하여 시나리오에 따른 표적 속도값을 주파수로 변환($f_d = 2v/\lambda$)한 후 생성되는 반사 신호의 중심 주파수에 오프셋을 추가함으로써 표적의 속도 성분을 모사할

수 있다.

신호생성시 고려하여야 할 또 하나의 주요 변수로 DDS 출력에서의 앨리어싱(aliasing) 성분이 있으며, DDS는 샘플링 소자이기 때문에 앨리어싱 주파수 성분이 필연적으로 발생한다. Nyquist 대역폭(=샘플링주파수의 1/2) 내에서 출력 주파수(f_{OUT})는 아래와 같은 관계(식 (3a))를 가지며, 출력 주파수가 (3a)와 같을 때 앨리어싱 주파수 성분은 식 (3b)와 같은 관계를 가진다.

$$f_{OUT} = \frac{(FTW)(f_s)}{2^{32}} \quad (3a)$$

$$f_{ALLAS} = nf_s \pm f_{OUT}, (n = 1, 2, \dots) \quad (3b)$$

여기서 f_s 는 샘플링 주파수 또는 DDS 내의 시스템 클럭 주파수, 2^{32} 는 위상 누적기의 capacity FTW 는 주파수 튜닝 워드($0 \leq FTW \leq 2^{31}$)를 나타낸다. 이상적인 경우(그림 6(a)), 샘플링 주파수의 1/2 대역 내에 기본 주파수 성분만이 나타나지만 실제의 경우, 앨리어싱 주파수들이 SINC 함수의 진폭 값을 갖고 그림 6(b)와 같이 나타나게 된다. 일반적으로 앨리어싱 주파수 성분들을 제거하기 위해 신호 크기의 손

(a) 이상적인 경우

(a) Ideal case

(b) 실제의 경우

(b) Practical case

그림 6. DDS 출력 주파수

Fig. 6. DDS output frequency.

실을 감수하고 DDS의 출력단에 저역 통과 필터를 이용하여 이 성분들을 억제하게 되며, 이 필터를 anti-aliasing 필터라 한다.

DDS의 출력 주파수가 60 MHz, 샘플링 주파수가 384 MHz일 때, DDS의 앨리어싱 주파수 성분들 가장 크게 영향을 미칠 수 있는 성분은 $f_s - f_{OUT}(=324 \text{ MHz})$ 와 $f_s + f_{OUT}(=444 \text{ MHz})$ 이며, Anti-aliasing filter의 저지 대역(stopband)의 억제 수준은 $f_s - f_{OUT}$, f_s 및 $f_s + f_{OUT}$ 성분들의 감쇄수준을 목표로 설계된다. 저지 대역의 억제 수준뿐만 아니라 또 하나 고려되어야 주요 변수로 필터의 군지연(group delay)이 있다. 군지연은 대역폭내 여러 주파수 성분들이 필터를 통과하는 시간 지연 범위를 나타내며, 특히 LFM 신호와 같이 펄스폭 내에서 주파수 변조되는 신호의 경우 필터에 의한 군지연 차이에 의해 신호의 왜곡이 발생할 수 있다. 군지연 시간과 저지 대역 억제 수준 및 통과 대역에서의 리플 특성을 고려하여 7차 Elliptical 응답 특성을 갖는 안티-앨리어싱 필터(anti-aliasing filter)를 그림 7과 같이 설계하였다. Elliptical 필터의 주파수 응답 특성은 천이 대역이 다른 필터에 비해 감도가 좋으며 가파른 특성이 있다 [9],[10]. DDS 출력에서의 앨리어싱 주파수 성분들을 억제하고 60 MHz 부근에서 군지연 시간 특성이 일정한 값을 유지할 수 있도록 필터의 cutoff 주파수를 80 MHz로 설정하였으며, 통과 대역에서 1 dB 리플, 저지 대역에서 60 dB 이상의 억제수준을 갖는 안티-앨리어싱 필터를 구현하였다.

3-2-3 잡음 발생 모듈

잡음 발생 모듈은 제어 및 연동 모듈로부터 전송 받은 제어 명령 및 데이터를 이용하여 잡음재밍 신호(능동, 수동) 및 수신기 잡음 신호를 모사한다. 잡음 발생기(NG, Micronetics SMN7108)로부터 생성된 잡음은 80 MHz 대역 통과 필터를 통과하여 DDS로부터 출력된 신호 20 MHz CW와 믹싱되어 60 MHz 중심 주파수를 갖도록 설계되었다. 대역 통과 필터를 통과한 잡음 신호는 시스템에서 요구하는 60 dB 세기 조정이 가능하도록 신호 발생 모듈에서 사용되었던 동일한 DCA를 적용하였으며, 3단으로 구성되어 원하는 잡음 크기를 갖도록 조정된다. 잡음 발생

(a) Elliptical filter(7차)

(a) Elliptical filter(7th order)

(b) 주파수 응답 특성

(b) Frequency response characteristics

그림 7. 안티-앨리어싱 필터

Fig. 7. Anti-aliasing filter.

기는 50 kHz에서 100 MHz의 대역을 가지며, -87 dBm/Hz 의 잡음 전력 밀도값을 가지며 10 MHz 대역폭에서 잡음전력은 -17 dBm 으로 주어진다. 그림 8은 잡음 발생 모듈의 구성을 나타낸다. 잡음 발생 모듈에서 생성되는 잡음은 RSSE에 생성되는 신호성분과 동일하게 단일측 대역(SSB: Single-Side Band) 성분만을 갖도록 설계되었다. 일반적으로, 이중측대역 성분을 갖는 잡음이 신호 처리기에 입력되어 I와 Q 성분으로 분리된 후 하향 변환 과정을 거쳐 DC로 변환되면 3 dB의 세기 변화를 가진다. 그러나 단일측 대역을 갖는 잡음은 동일한 변환 과정을 거치더라도 세기의 변화는 없으며 잡음의 크기를 정확하게 제어 가능하다.

그림 8. 잡음 발생 모듈 구성도

Fig. 8. Noise generation module structural diagram.

3-2-4 기준 신호 분배 모듈

기준 주파수 분배 모듈은 기준 신호분배기로부터 입력받은 기준 주파수 신호나 자체 국부발진기를 이용하여 생성한 기준 주파수 신호를 선택하여 제어 및 연동 모듈, 신호 발생 모듈 그리고 잡음 발생 모듈로 LVPECL 신호의 48 MHz 기준 주파수 신호와 384 MHz의 CW DDS 레퍼런스(reference) 클럭 신호를 전송한다. 기준 주파수 분배 모듈은 기준 신호 분배기나 자체 국부발진기로부터 생성된 신호의 출력 신호를 감지하여 생성 신호의 오류 상태를 전면판에 전신하고 제어 및 연동 모듈로 상태 정보를 전송한다.

DDS 내부의 PLL을 이용하여 시스템 클럭을 생성하는 경우, 내장된 VCO와 PLL의 특성에 의해 위상 잡음 특성이 시스템에서 요구하는 수준을 만족하지 못한다. 또한, 신호 발생 모듈과 잡음 발생 모듈 내의 8개의 DDS가 각각 DDS 시스템 클럭을 내장된 PLL을 이용하여 생성하기 때문에 위상 드리프트에 의한

그림 9. 기준 신호 분배 모듈 구성도

Fig. 9. Reference signal distribution module structural diagram.

초기 위상 변화가 불규칙적으로 일어날 수 있다. 이러한 문제점을 고려하여 주파수 체배기(x2)를 이용하여 384 MHz의 시스템 클럭을 기준 신호 분배 모듈에서 생성한 후 RSSE의 하부 모듈에 공급하는 방법을 적용하였다.

DDS의 시스템 클럭과 함께 시스템의 기준 신호 (FREF)는 기준 신호 분배 모듈의 OCXO(Greenray, YH1321계열)와 통제기에서 공급되는 동일 규격의 신호 중 하나를 선택하여 생성할 수 있으며, 개발단계의 융통성을 부여하기 위해 RSSE 내에 장착하도록 설계하였다. 내장된 OCXO의 전기적 특성은 시스템에서 사용되는 기준 신호의 전기적 특성과 동일한 특성을 갖는 소자를 선택하였으며, 주요 전기적 특성은 48 MHz 순수 여현파(sinewave) 신호 출력, 위상 잡음 -150 dBc 이하(@10 kHz 오프셋), 장시간 주파수 안정도 $\pm 5 \times 10^{-7}$ 이다.

3-3 제작

앞 절에서 설명된 설계 개념과 세부 설계 결과를 바탕으로 개발된 레이더 반사 신호 모의 장치의 주요 모듈 제작 사진은 그림 10과 같다. 그림 2의 구성도에서 설명한 바와 같이 제어 및 연동 모듈과 기준 신호 분배 모듈은 각각 1장의 회로 기판 조립체로 구성되었으며, 잡음 발생 모듈은 2장의 PCB로, 신호 발생 모듈 #1 2장, #2와 #3 각각 2장의 PCB로 구성된다.

2장의 PCB로 구성된 신호 발생 모듈은 하나의 표적을 생성할 수 있으므로 개발된 모의 장치 3개의 표적을 생성할 수 있다. 또한, 표 2에서 언급하였듯이 표적의 수를 시스템의 요구에 따라 증가시켜야 하는 경우 동일한 신호 발생 모듈을 이용하여 확장이 용이하도록 구성되었다. 기준 신호 분배 모듈, 신호 발생 모듈 및 잡음 발생 모듈은 전자기적 영향을 최소화하기 위해 차폐벽을 이용하여 아날로그 부분을 기능적으로 구분하였으며, 제어 및 인터페이스를 통해 디지털 부분이 아날로그 부분에 미치는 영향을 줄이기 위해 디지털 아이솔레이터(Analog Device, ADuM1400)와 EMI filter plate를 이용하여 제작하였다. 각 모듈별 소자들의 배치는 동작시 발생하는 열에 의한 성능 영향 및 신호 흐름상의 레이아웃이 최

(a) 제어 및 연동 모듈
(a) Control & interface module

(b) 기준 신호 분배 모듈
(b) Reference signal distribution module

(c) 신호 발생 모듈
(c) Signal generation module

(d) 잡음 발생 모듈
(d) Noise generation module

(e) 신호 합산 모듈
(e) power combine module

(f) 전원 모듈(AC-DC)
(f) Power module(AC-DC)

그림 10. 모듈 제작 사진
Fig. 10. Photograph of modules.

적화 과정을 거쳐 제작하였다.

IV. 성능 측정 및 연동 시험

4.1 성능 시험

RSSE의 시험 구성은 그림 11에서 보는 바와 같이 통제기의 기능을 모사하여 제어 명령 및 데이터를 생성할 수 있는 시험 장치와 생성된 모사 신호들의 시간영역 성능 및 주파수 특성을 측정, 저장하고 분석할 수 있는 일반 계측 장비들로 구성되었다.

RSSE는 다양한 시나리오에 따라 표적, 재밍 신호 및 유도탄 응답 신호를 생성하며, 표 1에서 제시된 요구 성능을 만족할 수 있도록 설계, 제작되었다. 그림 12는 그림 11과 같은 시험 구성에서 측정된 성능 측정 결과들을 나타낸다. 그림 12-(a)와 12-(b)는 표적과 함께 생성된 능동 잡음 재밍 및 거리기만 재밍 신호(RGPO) 신호의 시간축 측정 결과이다. (a)의 경우, 각각 70 usec, 120 usec, 170 usec에 3개의 표적 신

그림 11. 성능 시험 구성 사진
Fig. 11. Photograph of performance test configuration.

호와 능동 잡음 형태의 재밍 신호가 전체 동작 사이클 내에 생성된 경우로 능동 잡음 재밍 환경에서 신호 처리기의 표적 탐지 성능을 확인하는데 사용된 시나리오 생성 결과이다. 반면 (b)의 경우, 탐지된 표적의 속도 정보를 추출하기 위해 사용되는 PCM 파형의 표적 속도 추출 성능을 평가하고, 동시에 RGPO

그림 12. 시험 구성 사진
Fig. 12. Photograph of test configuration.

가 존재하는 경우, 신호 처리기의 재밍 신호 분류 성능을 시험할 때 사용되는 시나리오에 의한 신호 생성 결과를 나타낸다. 표적 2에 근접하여 생성된 RG-PO 신호는 표적 2에 대한 허상 표적이며, 상대적으로 세기가 큰 신호를 임의로 생성한 후 거리 방향으로 이동시킴으로써 레이더의 표적 추적 능력을 저하시키게 된다. 그림 12-(c)와 12-(d)는 레이더에서 사용되는 LFM과 PCM 신호의 주파수 스펙트럼 측정 결과를 나타내며, LFM과 PCM 신호의 경우 문헌에서 보는바와 같은 형태의 스펙트럼 형상을 가짐을 알 수 있다.

그림 12-(e), 12-(f)는 RSSE에 생성되는 모사 신호의 거리에 따른 신호 크기 변화를 조정할 수 있도록 설계된 4단 DCA의 전체 감쇄 조정 측정 결과와 잡음 생성 모듈의 잡음 세기 조정 결과를 나타낸다. 표

적 및 재밍 신호의 경우, 105 dB의 신호 세기 조정이 요구되며, 최대 신호의 크기는 8 dBm에서 최소 -97 dBm까지 조정하여 거리에 따른 표적 신호의 세기가 시나리오에 따라 조정됨을 확인하였다. 또한, 잡음 세기의 경우 60 dB의 조정범위가 만족됨을 그림 12-(f)를 통해 확인하였다. 신호 세기 조정과 함께 표적의 속도 조정 결과는 LFM 파형의 경우 그림 12-(g), PT파형의 경우 12-(h)와 같다. LFM은 중심 주파수의 ± 350 kHz의 주파수 변화 범위를 가지며 PT파형의 경우, ± 545 kHz의 범위를 갖도록 설계되었고, 12-(g)와 12-(h)에서 보는 바와 같이 스펙트럼 측정을 통해 성능이 만족함을 확인하였다.

RSSE 자체의 전기적 성능인 채널간 격리도, 펄스 억압 및 모노 펄스 신호 생성시 발생할 수 있는 진폭 및 위상 조정 성능에 대해 측정된 결과는 그림 12-(i)

에서 12-(l)과 같다. 채널간 격리도는 3개의 신호 생성 모듈이 각각 하나의 표적을 생성하는 기능을 갖기 때문에 신호 생성 모듈간의 얼마나 영향을 미치는가를 나타내는 척도이다. 80 dB 이상의 채널간 격리도 요구 성능을 만족함을 그림 12-(i)를 통해 알 수 있다. 또한, 펄스 억압 요구 성능은 레이더가 사용하는 신호의 형태가 펄스 형태의 신호이므로 시나리오에 따라 원하는 위치에 정해진 펄스 폭만큼의 신호가 생성되어야 함을 정의한 요구 성능이다. 80 dB의 펄스 억압 특성은 신호 발생 모듈의 아날로그단에 구성된 두 개의 RF 스위치에 의해 구현되었고, 최소 82.6 dB에서 최대 83.5 dB값을 가짐을 측정 결과로부터 확인하여 요구 성능을 만족하였다. RSSE는 합 채널 신호뿐만 아니라 레이더의 모노 펄스 추적 성능을 확인하기 위한 두 개의 차채널 신호를 생성하도록 설계되었다. 시나리오에 의해 생성된 모노 펄스 신호는 각도 에러만을 갖도록 생성되어야 하나 하드웨어의 구현시 발생하는 패턴 차이와 소자의 특성차이 등에 의해 진폭 및 위상 오차를 가지게 된다. 이와 같은 오차 요인을 제거하기 위해 진폭 및 위상 오차를 보정할 수 있는 기능이 DDS의 CPOW(Channel Phase Offset Word)와 DCA를 통해 구현되었으며, 그림 12-(k)에서 보는 바와 같이 7.45도로 측정되었다. 요구 성능인 5.625 ± 11.25 도를 만족함을 알 수 있으며, 그림 12-(l)은 전체 채널의 최소(5.22도)에서 최대(353도) 위상 조정 범위에서 허용 오차(± 11.25 도)를 만족함을 확인하였다.

4.2 연동 실험

개발된 RSSE는 시나리오에 따른 표적 및 재밍 신호를 생성하여 신호 처리기에 공급함으로써 레이더 성능을 평가하고 분석하는데 활용할 수 있다. 그림 13은 개발된 RSSE와 신호 처리의 연동 시험 구성 및 표적 탐지 결과를 나타낸다. 시나리오에 따라 RSSE는 최대 거리에서 표적 신호를 생성하게 되며, 생성된 표적 신호는 신호 처리기에 공급되고 표적 탐지 알고리즘에 의해 표적을 탐지하게 된다. 신호 처리기는 펄스 압축 과정과 CFAR 검파기를 이용하여 표적을 탐지하게 되며, 그림 13(b)에서 보는 바와 같이 약 100 km의 거리에서 표적을 탐지함을 확인하였다.

(a) 연동 시험 구성
(a) Test configuration

(b) 표적 탐지 결과(PPI)
(b) Target detection result

그림 13. 시험 구성 사진
Fig. 13. Photograph of test configuration.

V. 맺음말

본 논문에서는 레이더 반사 신호 모의 장치인 RSSE의 구현 및 성능 평가 결과에 대해 기술하였다. RSSE는 시나리오에 의해 모사 신호들을 생성하여 신호 처리기에 공급하며 신호 처리기의 기능 및 성능 시험을 위해 필수적으로 요구되는 장비이다. 본 논문에서는 다채널 직접 디지털 합성을 이용하여 RSSE를 구성, 레이더에서 사용하는 모든 종류의 다양한 파형 및 신호의 전기적 특성을 모사할 수 있음을 확인하였고, RSSE의 모사 신호를 이용해 신호 처리기와의 연동 시험을 통해 그 효용성을 입증하였다.

참 고 문 헌

- [1] 양진모, 이민준, 김환우, "레이더 시스템 성능평가용 가상 레이더 표적 신호 발생장치", 한국군사과학기술학회지, 1(3), pp. 40-49, 2008년.
- [2] 유경주, 양진모, 이민준, "레이더 환경신호 생성 및 제어장치 구현", 제14회 지상무기체계발전세미나, 항공/유도/방공 분과, pp. 123-127, 2006년.
- [3] Charles E. Cook, Marvin Bernfeld, *Radar Signals*, Artech House, pp. 306-309, 1993.
- [4] Nadav Levanon, Eli Mozeson, *Radar Signals*, John Wiley & Sons, pp. 67-71, 2004.
- [5] 노지은, 최병관, 이희영, 양진모, "다기능 레이더 모의 장치 요구 규격서", ADD 보고서, ADDR-517-081721, 2008년.
- [6] 노지은, 최병관, 이희영, 양진모, "다기능 레이더 모의 장치 설계 보고서", ADD 보고서, ADDR-517-091107, 2009년.
- [7] "Low jitter sampling clock generator for high performance ADCs using the AD9958/AD9858 500 MSPS/1GSPS DDS and AD9515 clock distribution IC", Analog Devices.
- [8] "2-channel, 500 MSPS DDS with 10-Bit DACs", AD9958 Datasheet., Analog Devices.
- [9] Jesus Rufino, David Baez-Lopez, J. Rodriguez-asomoza, and L. G. Guerrero-Ojeda, "On the approximation and synthesis of elliptic filters", *CO-NELECOMP 2005 Proc. 15th International Conference*, pp. 131-135, 2005.
- [10] Sophocles J. Orfanidis, *Lecture Notes on Elliptic Filter*, 2006.
- [11] "YH1320 Series OCXO 10~120 MHz(RevD)", Precision quartz technology, Greenray Industries, Inc.

노 지 은

통제 알고리즘 등

2002년 2월: 포항공과대학교 컴퓨터공학과 (공학석사)
 2006년 2월: 포항공과대학교 컴퓨터공학과 (공학박사)
 2006년 2월~현재: 국방과학연구소 선임연구원
 [주 관심분야] 레이더 신호 처리,

유 경 주

2001년 2월: 전북대학교 정보통신공학과 (공학석사)
 2003년 11월~현재: 삼성탈레스 전문연구원
 [주 관심분야] 레이더 신호 처리 등

양 진 모

처리 등

1991년 2월: 아주대학교 전자공학과 (공학석사)
 2011년 2월: 충남대학교 전자공학과 (공학박사)
 1991년 2월~현재: 국방과학연구소 선임연구원
 [주 관심분야] 레이더 시스템, 신호

구 영 석

2007년 2월: 경북대학교 전자전기컴퓨터공학부 (공학사)
 2007년 1월~현재: 삼성탈레스 연구원
 [주 관심분야] 디지털 신호 처리 등

이 상 화

2004년 2월: 충북대학교 전기전자
공학부 (공학사)
2003년 9월~현재: 삼성탈레스 선
임연구원
[주 관심분야] 디지털 신호 처리 등

최 병 관

등

1993년 2월: 경북대학교 전자공학
과 (공학석사)
2006년 2월: 충남대학교 전자공학
과 (공학박사)
2006년 2월~현재: 국방과학연구소
선임연구원
[주 관심분야] 신호 처리 알고리즘

송 성 찬

2003년 2월: 한국항공대학교 항공
전자공학과 (공학석사)
2002년 11월~현재: 삼성탈레스 전
문연구원
[주 관심분야] 초고주파, 레이더 신
호 처리 등

이 민 준

처리 등

1988년 2월: 서강대학교 전자공학
과 (공학석사)
1999년 2월: 한국과학기술원 전기전
자공학과 (공학박사)
1988년 2월~현재: 국방과학연구소
책임연구원
[주 관심분야] 레이더 시스템, 신호

이 희 영

2007년 2월: 포항공과대학교 전자
전기공학과 (공학석사)
2007년 2월~현재: 국방과학연구
소 선임연구원
[주 관심분야] 레이더 시스템 및
신호 처리 등