능동 위상 배열 레이더의 디지털 수신기 제작 및 측정

Design and Measurement of Active Phased Array Radar Digital Receiver

김태환 · 이성주 · 이동휘 · 홍운석 · 조춘식*

Tae-Hwan Kim · Sung-Ju Lee · Dong-Hwi Lee · Yun-Seok Hong · Choon-Sik Cho*

요 약

최근의 다기능 레이더는 능동 위상 배열 안테나 구조를 이용하고 있다. 열악한 클러터 환경에서 표적을 탐지하기 위해서는 레이더 수신기의 동적 영역이 커야 한다. 능동 위상 배열 안테나 구조를 이용한 구조의 레이더는 SNR(Signal-to-Noise Ratio)를 향상시키지만, SFDR(Spurious Free Dynamic Range)은 개선되지 않는다. 본 논문에서는 높은 SFDR을 갖는 X-밴드 능동 위상 배열 레이더의 다채널 디지털 수신기를 설계하고 제작하였다. 32개의 T/R(Transmit/Receive) 모듈이 한 채널의 디지털 수신기와 연결되어 있다. 디지털 수신기내에 RF부, ADC부, 로컬 분배부 및 디지털 하향변환부가 존재하고, 한 개의 조립체 내에 2채널의 디지털 수신기가 포함되어 있다. 상용 FIFO 보드를 이용하여, 디지털 출력 신호에 대해, 디지털 수신기 주요 특성을 측정하였다. 제작된 디지털 수신기의 이득은 33 dB이고, SFDR은 81 dBc 이상이다.

Abstract

Active phased array antenna structure is used for modern multi-function radars. To search targets in high clutter environment, the radar receiver needs high dynamic range performance. Though active phased array antenna structure lead to increase of SNR, the SFDR is not increased. In this paper, high SFDR receiver of X-band active phased array radar was designed and manufactured. One channel digital receiver is connected to 32 T/R modules and one PCB assembly is composed to 2 channel digital receivers with RF part, ADC part, LO distribution part and digital down conversion part. A commercial FIFO board was used for digital receiver measurement about major performance in digital output signal condition. The measured digital receiver gain and SFDR is 33 dB and more than 81 dBc each.

Key words : Active Phased Array Radar, Digital Receiver, Gain, SFDR

I. 서 론

RF 전단(front-end)에서 시작해서 ADC(Analog to Digital Converter)까지 이어지는 수신기 구조는 레이더 시스템에 널리 사용되고 있다^{[1],[2]}. 크기가 작고 소모 전력이 적은 디지털 칩들이 개발되면서, 한정된 공간에 최적의 성능을 내야 하는 레이더 수신기는 많은 부분을 FPGA(Field Programmable Gate Array)

등의 디지털 소자들이 담당하고 있다^{[3]~[5]}. 최근 ADC의 해상도(resolution-bit)가 향상되고, 아날로그 입력 신호 및 샘플링(sampling) 주파수가 높아지면서, 중간 주파수 대역 통과 샘플링(intermediate frequency band-pass sampling)을 이용한 디지털 수신기는, 안테나와 신호처리부의 거리를 점점 좁히고 있다^{[6],[7]}. 그리고 기존의 아날로그부에서 수행했던 신호 대역을 한정하고, 대역 외 하모닉(harmonic) 신호 및 스퓨리

삼성탈레스 레이더 연구소(Radar R&D Center, Samsung Thales)

*한국항공대학교 정보통신공학과(Department of Information and Telecommunication Engineering, Korea Aerospace University)

· 논문 번호 : 20101122-167

· 교신저자 : 김태환(e-mail : th02.kim@samsung.com)

· 수정완료일자 : 2011년 2월 14일

어스(spurious) 신호를 제거하는 필터링 기능을 최근에는 ADC에서 아날로그 신호를 디지털로 변환한 후, FPGA 혹은 DSP(Digital Signal Processors)에서 수행하고 있다. 그로 인해, 아날로그부의 필터링 기능은 단지, 안티앨리어싱(anti-aliasing)을 위한 대역 통과 기능으로 축소되고 있다^{[3],[4]}.

능동 위상 배열 레이더에 사용되는 수신기는 그 기능이 점점 변화하고 있다. 리미터와 저잡음 증폭기(LNA: Low Noise Amplifier)가 T/R 모듈 내에 위치하게 되면서, 디지털 수신기는 다수의 T/R 모듈에서 출력된 신호를 증폭하는 기능을 수행한다. 그리고, RF 신호를 IF 신호로 변환하는 기능을 수행하게 된다^{[8],[9]}. 또한, 다수의 수신 채널이 존재하기 때문에, 수신 채널 간의 위상 및 크기에 대한 보정이 점점 중요한 요소가 되고 있다. PN(Pseudorandom Noise) 코드를 이용한 레이더 송신 및 수신 채널 보정 방법 등 최근의 연구 결과를 보면, 기존에 하드웨어적으로 보정하는 방식이 소프트웨어 기반의 보정 방식으로 바뀌고 있다^[10]. 그로 인해, 다채널 수신기에서는 보다 많은 부분을 소프트웨어가 담당하고 있고, 크기 또한, 작아지고 있다.

열악한 클러터(clutter) 환경에서 표적을 탐지하고, 추적하기 위해서는 레이더 수신기의 동적 영역은 커야 한다. 능동 위상 배열 안테나 구조를 이용한 레이더는 SNR(Signal-to-Noise Ratio)를 향상시키지만, SFDR(Spurious Free Dynamic Range)은 개선되지 않는다. 특히, 다채널 수신기의 핵심 소자인 ADC의 비선형적 왜곡에 기인한 Single-Tone SFDR은 레이더 시스템의 동적 영역을 제한하게 된다^[11].

본 논문에서는 X-밴드 능동 위상 배열 레이더의 다채널 디지털 수신기에 대해, 설계 및 제작된 결과를 다룬다. 레이더의 구조 및 T/R 모듈의 주요 파라미터를 II 장 서두에서 설명하고, 다채널 디지털 수신기의 이득에 대해 2-1절에 설명한다. 2-2절에서는 IF 대역 통과와 샘플링에 대해 설명하고, III장에서는 제작된 다채널 디지털 수신기의 특성에 대해 살펴본다.

II. 수신기 설계

그림 1은 디지털 수신기 블록도 나타내고, 표 1은 디지털 수신기 설계를 위한 시스템 파라미터를 나

그림 1. 디지털 수신기 블록도

Fig. 1. The block diagram of digital receiver.

표 1. 시스템 파라미터

Table 1. System parameters.

파라미터	단위	값
IF 주파수	MHz	150
샘플링 주파수	MHz	120
최소 탐지 SNR	dB	13
디지털 처리 이득	dB	25
IF 필터 대역폭	MHz	10
한 채널 TRM 개수	-	32
TRM 이득	dB	20
TRM 잡음 지수	dB	3
전력합성기 손실	dB	2.5

타낸다.

최소 탐지 SNR이 13 dB이고, 디지털 처리 이득이 25 dB로 설정된 X-밴드 능동 위상 배열 레이더의 방사 소자의 개수는 256개고, 각각의 방사 소자는 T/R 모듈과 직접 연결되어 있다.

32개의 T/R 모듈은 전력 합성기(power combiner)에서 결합되어 디지털 수신기로 입력된다. 따라서, 총 8개의 디지털 수신기가 존재한다. T/R 모듈의 수신 이득은 20 dB이고, 잡음 지수는 3 dB이다. 이때, T/R 모듈의 수신 이득은 방사 소자와 T/R 모듈 간의 연결 손실, 0.5 dB를 포함한 값이다. 256개의 T/R 모듈은 모두 같은 이득과 잡음 지수를 갖도록 설계되었고, 32개의 T/R 모듈의 출력 신호를 결합하는 전력 합성기의 손실은 2.5 dB이다.

디지털 수신기는 전력 합성기에서 입력된 신호를 증폭하고, X-밴드의 RF 신호를 150 MHz의 IF 신호로 낮춘다. RF 신호를 IF로 낮추는 과정은 2번의 변환과정(down conversion)을 거치며, 2개의 믹서(mixer)가 사용된다. 대역 외 신호를 제거하기 위해, 각

표 2. 디지털 수신기 이득 설정을 위한 공식
Table 2. Formulas for calculation of digital receiver gain.

$D_{ADC} < D_S + \eta - G_P + 1$ (1)	D_{ADC} : ADC 동적 영역 η : 최소 탐지 SNR G_P : 디지털 처리 이득
$D_{ADC} = 20 \cdot \log\left(\frac{2^{N-1}}{\sqrt{2} \cdot \alpha}\right) - 1$ (2)	N : ADC 비트 수 α : ADC 입력 잡음 전압과 양자화 간격의 비
$L_{ADC} = 10 \cdot \log\left(1 + \frac{\left(\frac{2^{N-1}}{\sqrt{2}} \cdot 10^{-\frac{SNR_{ADC}}{20}}\right)^2}{\alpha^2}\right)$ (3)	L_{ADC} : ADC SNR 손실
$G_r = 20 \cdot \log\left(\frac{A_R \cdot 10^{-\frac{D_{ADC}+1}{20}}}{\sqrt{50 \cdot B_{IF} \cdot \sum_{k=1}^m n_k \cdot g_k \cdot f_k}}\right)$ (4)	G_r : 디지털 수신기 이득 A_R : ADC RMS 풀-스케일 전압 B_{IF} : IF 대역 통과 필터 대역폭 n_k : 방사 소자에 입력되는 잡음 전력 g_k : T/R 모듈 수신 이득 f_k : T/R 모듈 잡음 지수 m : T/R 모듈 수 l : 전력 합성기 손실

변환 과정마다 대역 통과 필터가 존재하며, 최종 IF 대역 통과 필터의 대역폭은 10 MHz이다. IF 신호는 ADC를 통해 샘플링된다. 샘플링된 신호는 FPGA에서 베이스밴드(baseband) 대역으로 옮겨지고, 신호 대역폭에 맞게 저역 통과 필터링된다. 그런 후, 광 신호로 변환되어, 신호처리기로 입력된다.

칩 실장 밀집도를 높여, 하나의 모듈에 2채널의 디지털 수신기가 포함되도록 설계하였다. 그로 인해, RF 신호를 IF 신호로 변환하기 위해 필요한 국부 발진 신호에 대해, 부가적으로 전력 분배기(power divider)가 삽입되었고, 또한 ADC의 샘플링 클럭(clock)을 분배하기 위한 회로를 삽입하였다.

2.1 디지털 수신기 이득 설정

디지털 수신기 이득은 ADC의 SNR 및 SFDR 특성을 고려하여 설정해야 한다^[12].

선정된 ADC는 150 MHz의 IF 신호와 120 MHz의 클럭(clock)을 입력으로 받을 수 있고, 16 비트 해상도를 갖는 Analog Device사의 AD9461이다. 사용된 ADC의 특성에 대해, AD9461의 데이터시트를 참조하면, 풀-스케일(full-scale) 전압, $A_{FS}=3.4$ V, 양자화 간격(quantization step), $h=51.9$ uV, 신호대 잡음 비, $SNR_{ADC}=77.5$ dB이다. 또한, ADC의 SFDR, $D_S=84$ dB

이다^[13].

표 2는 디지털 수신기 이득을 설정하기 위해 이용된 식을 정리한 것이다^[12]. 레이더의 최소 탐지 SNR이 13 dB, 디지털 처리 이득이 25 dB에 대해, 설정된 ADC의 SFDR을 고려했을 때, ADC 동적 영역은 식 (1)을 이용하면, 71 dB 이하로 설정되어야 한다. 여기에 사용된 ADC의 SFDR(D_S) 값은 ADC 단독의 특성 값이고, ADC 주변 회로가 추가되었을 경우, SFDR 특성이 열화된다. 따라서, 설계시 4 dB의 마진을 두었고, ADC 동적 영역(D_{ADC})은 67 dB 이하를 만족해야 한다.

그림 2는 ADC의 비트 수, 신호대 잡음 비와 식 (2), (3)을 이용하여, ADC 동적 영역과 ADC SNR 손실을, ADC 입력 잡음과 양자화 간격의 비(α)에 대해 나타낸 그림이다.

그림 2에서, ADC 동적 영역이 67 dB 이하를 만족하기 위한 α 값은 10 이상임을 알 수 있다. SNR 손실을 줄이기 위해, α 값을 크게 한다면, 동적 영역이 줄어들게 된다. 그 반대로 α 값을 작게 한다면 동적 영역은 늘어나지만, SNR 손실이 커지므로, 동적 영역과 SNR 손실의 절충이 필요하다. 능동 위상 배열 레이더 구조는 방사 소자의 개수가 증가할수록 SNR이 증가하므로, 여기서는 ADC SNR 손실보다는 동적 영역에 좀 더 중점을 두고 설계하였고, 따라서, α 값

그림 2. ADC 동적 영역과 SNR 손실
Fig. 2. ADC dynamic range and SNR loss.

을 10 근방의 값인 13으로 설정하였다. 이때의 SNR 손실은 0.19 dB이고, ADC 동적 영역 D_{ADC} 는 약 64 dB이다.

설계된 능동 위상 배열 레이더에서, 32개의 T/R 모듈 출력 신호가 한 채널의 디지털 수신기로 입력된다. 설계된 T/R 모듈은 모두 같은 특성을 갖도록 설계되었고, 수신 이득은 20 dB, 잡음 지수는 3 dB이다. 디지털 수신기에 사용된 IF 대역 통과 필터의 대역폭은 10 MHz이고, 사용된 ADC의 풀-스케일 RMS (Root Mean Square) 값은 1.2 V이다. 식 (4)를 이용하면 디지털 수신기의 이득은 약 33 dB이 된다.

2-2 IF 대역 통과 필터와 샘플링

설계된 능동 위상 배열 레이더의 디지털 수신기는 IF 대역 통과 필터와 샘플링 방식을 이용하고, 그림 3에 그 구조를 나타내었다. 이 구조는 샘플링 주파수가 IF 입력 주파수보다 작은 언더샘플링(undersampling) 방식^{[14],[15]}이다. RF 신호가 하향 변환된 후 IF단의 대역 통과 필터로 입력된다. 여기서 대역 통과 필터는 ADC에서 샘플링된 신호가 앨리어싱(aliasing)이 발생하지 않도록 대역을 한정해 준다. 대역 통과 필터

그림 3. IF 대역 통과 필터와 샘플링 구조
Fig. 3. The structure of IF bandpass sampling.

를 거친 신호는 ADC에서 디지털 신호로 변환되어 FPGA로 입력된다. 샘플링된 신호는 FPGA에서 디지털 하향 변환되고, 데시메이션(decimation) 과정을 통해 샘플 수를 줄이게 된다. FPGA에서 출력되는 I/Q 신호는 광 신호로 변환되어 신호처리로 입력된다.

그림 4는 FPGA에서 수행하는 디지털 하향 변환 과정을 나타낸다. 10 MHz의 대역폭을 갖는 150 MHz의 IF 신호가 맨 위 그림 (a)에 표시되었다. 두 번째 그림 (b)는 ADC를 통과한 스펙트럼을 나타낸 것이다. ADC를 거치면 샘플링 이론에 따라 150 MHz 대역뿐만 아니라, 자신과 똑같은 대역폭을 갖는 복사 스펙트럼을 만들어낸다. 이때, 샘플링 주파수가 120 MHz이므로 대역폭의 2배 이상으로 샘플링 되었다. 또한, IF 대역 통과 필터에서 대역을 10 MHz로 한정하였기 때문에 앨리어싱은 발생하지 않는다.

그림 4. 디지털 하향 변환 과정
Fig. 4. The digital downconversion(DDC) process.

세 번째 그림 (c)는, 샘플링된 신호가 디지털 하향 변환 과정을 거쳐 기저 대역 신호로 바뀐 과정을 나타내는데, ADC에서 디지털 변환된 신호들이 왼쪽으로 30 MHz 이동하였다. 샘플링 주파수의 1/4에 해당하는 30 MHz의 대역이 기저 대역으로 하향 변환 되었음을 알 수 있다. 그런 다음, 마지막 그림 (d)에서와 같이, 저역 통과 필터를 거치면 기저 대역의 신호만 남는다. 이때, 저역 통과 필터는 대역 외의 신호들은 제거하는 기능 외에 신호 대역폭에 맞게 대역을 한정한다. 기저 대역으로 옮겨진 신호는 데시메이션 과정을 거쳐 샘플수를 줄이게 된다.

III. 디지털 수신기 제작 및 시험

3-1 디지털 수신기 제작

그림 5와 그림 6은 각각 실제 제작된 디지털 수신기의 윗면과 아래면 사진을 나타낸다. 한 개의 모듈에 2 채널의 디지털 수신기가 포함된다. 그림 5의 디지털 수신기 윗면에는 RF부 및 디지털 하향변환부(그림의 빨간색 PCB)가 포함되어 있고, 그림 6의 디지털 수신기 아래면에는 ADC부(그림의 녹색 PCB)와 로컬 분배부가 포함되어 있다. 디지털 수신기를 설계함에 있어 가장 어려움이 있었던 문제는 하나의 모듈에 2채널의 디지털 수신기가 포함되며, 또한 RF부와 디지털 하향변환부, ADC부 및 로컬 분배부를 한정된 공간에 제작이 되어야 한다는 것이었다. 이러한 문제를 하나의 모듈에 양면을 사용하고, 또한 각 부품을 효율적으로 배치하여 해결하였다.

그림 5. 제작된 디지털 수신기의 윗면
Fig. 5. Top view of manufactured digital receiver.

그림 6. 제작된 디지털 수신기의 아래면
Fig. 6. Bottom view of manufactured digital receiver.

그림 7. 디지털 수신기 기판 배치도
Fig. 7. The PCB layout of digital receiver.

그림 7에 제작된 디지털 수신기의 PCB 배치도를 나타내었다. RF부는 유전율이 2.94인 RT Duroid 6002 기판을, 디지털 하향변환부는 12층의 다층 레이어로 구성된 FR4 기판을 이용하였고, 전원 레이어가 여러 층에 걸쳐 존재한다. 디지털 수신기에 사용될 전원은 외부에서 디지털 하향변환부로 입력된다.

RF부로 전원을 공급하기 위해, 디지털 하향 변환부의 한 쪽면을 제거하고, 그 위에 RF부 기판인 RT Duroid 6002를 실장하여, 상층 기판을 하나로 통합한 하이브리드 기판이 제작되었다. 그로 인해, 디지털 하향변환부의 전원이 FR4 기판의 중간 층에 위치한 전원을 RF부로 공급할 수 있었다.

RF부에서 대역 통과 필터를 거친 150 MHz IF 신호는 동축 케이블을 이용하여 디지털 하향변환부로 이동되고, 이 신호가 MCX 커넥터를 이용하여 ADC부로 이동된다.

ADC부는 6층의 다층 레이어를 갖는 FR4 기판이 사용되었다. 2채널의 IF 신호를 디지털로 변환하기 위해 2개의 ADC가 사용되었다. ADC의 특성이 설계된 능동위상배열 레이더의 SFDR과 관계되므로, ADC부는 레이아웃(lay-out)에 특히 신경을 써서 제

그림 8. 퍼지 구조물 형상과 구조
Fig. 8. The shape and structure of fuzz component.

작되었다. ADC 입력인 아날로그부와 출력부인 디지털부의 그라운드를 분리하고, 아날로그 전원과 디지털 전원을 분리하여 사용하였다. 또한, 클럭에 잡음이 타는 것을 막기 위해, 클럭이 지나가는 라인을 다른 부품과 격리시키고, 2개의 ADC 사이의 커플링을 막기 위해 채널간 그라운드가 분리되었다. 또한, 디지털 출력 신호가 피드백되어 아날로그부에 영향을 주는 것을 막기 위해, ADC 출력에 버퍼를 실장하여 ADC 입력부와 출력부를 격리시켰다.

ADC부에 사용되는 전원은 디지털 하향변환부에서 소켓(Socket)을 이용하여 ADC부로 공급되고, 그리고, ADC에서 샘플링된 신호 또한, 소켓을 통하여 디지털 하향변환부로 입력된다.

로컬 분배부는 유전율이 2.94인 RT Duroid 6002 기판을 이용하여 제작되었다. 주파수 합성 장치에서 생성된 로컬 신호들을 입력받아, RF부에서 RF 신호를 IF로 하향변환하기 위해 필요한 로컬 신호 및 디지털 수신기의 각 채널들을 보정하기 위해 입력된 교정 신호를 2채널로 분배하는 기능을 한다. 로컬 분배부에서 RF부로 로컬 신호 및 교정 신호를 전달하기 위해, Custom Interconnects사의 퍼지 버튼이 사용되었다^[16]. 퍼지 버튼은 RF 주파수에서 50옴 임피던스 특성을 가지며, 기판 사이에 RF 신호를 전송할 수 있는 구조로 되어 있다. 그림 8에 사용된 퍼지 버튼 형상과 내부 구조를 나타내었다.

3-2 디지털 수신기 측정

본 디지털 수신기는 RF 및 아날로그 신호 이외에도, 디지털로 변환된 신호가 존재하기 때문에, 제작된 디지털 수신기를 측정하기 위해서는 특별한 시험 구성이 필요하다. 또한, 디지털 신호의 측정을 고려하여 설계 시 테스트 포트를 마련하였다.

그림 9에 제작된 디지털 수신기를 측정하기 위한 구성도를 나타내었다. 디지털 수신기의 입력 신호는 신호 발생 장치를 이용하여 RF 신호를 인가하고, OCOXO(Oven Controlled Crystal Oscillator)를 이용하여 ADC에 클럭 신호를 인가하였다. 신호 발생 장치에서 입력된 RF 신호는 디지털 수신기의 RF부에서 설계된 이득만큼 증폭된다. 그런 다음, ADC에서 디지털 신호로 변환되고, FPGA에서 디지털 하향 변환 및 디지털 필터링 된다. 이 신호가 FIFO 보드에 입력된다. FIFO(First In First Out) 보드는 고속의 다채널 디지털 신호를 저장하기 위한 보드로서, Analog Device사의 HSC-ADC-EVALB-DC 보드를 이용하였다^[13]. FIFO에 저장된 신호는 USB를 통하여 PC로 입

그림 9. SFDR 측정 셋업
Fig. 9. Set-up of the SFDR measurement.

력되고, FFT 처리된 신호가 PC의 화면에 나타난다.

그림 9에서의 스펙트럼은 CW 신호를 디지털 수신기에 입력했을 경우, 그에 대한 출력을 나타낸 것이다. 신호가 디지털 하향 변환되어 출력되므로, DC 근방에 신호가 있음을 알 수 있다. 또한, 디지털 필터의 대역폭에 의해, 잡음의 스펙트럼 끝이 내려가 있다. 또한, 신호의 크기 및 스퓨리어스의 크기를 비교할 수 있으며, 그로 인해 SFDR을 계산할 수 있다. 그림 9의 주파수 스펙트럼 그림은 시간 도메인에서의 결과를 나타낸 것이다. CW 입력 신호에 대해 연속적인 파형이 나타난다.

위의 실험 구성을 이용하여 디지털 수신기의 이득을 측정하였다. 이득을 구하기 위해서 먼저 사용된 ADC의 최대 입력 전력을 구해야 한다. AD9461의 최대 입력 전력, P_{ADC} 은 아래와 같다.

$$P_{ADC} = 10 \cdot \log \left(\frac{V_{P-P}}{2\sqrt{2}} \right)^2 = 14.6 \text{ dBm} \quad (5)$$

여기서, V_{P-P} 는 ADC의 입력 침두 전압을 나타내고, 3.4 V이다. 그림 9의 스펙트럼상에서, 신호가 포화될 때까지 디지털 수신기의 입력 신호 크기를 증가시켰고, 약 -18 dBm 의 신호가 디지털 수신기 입력으로 들어왔을 경우, 포화되었다. 따라서, 디지털 수신기의 이득은 $14.6 \text{ dBm} - (-18 \text{ dBm}) = 32.6 \text{ dB}$ 이다. 이것은 디지털 수신기 이득을 33 dB로 설계한 것과 비슷한 수치이다. 위에서 측정한 이득은 총 8채널의 디지털 수신기중 한 채널에 대한 이득이다. 나머지 7채널에 대해 측정한 이득도 거의 비슷하였다. 그림 10에 8채널 디지털 수신기에 대해 이득을 측정한 결과를 나타내었다. 최소 이득은 32.6 dB, 최대 이득은 34.1 dB로 채널 간 이득 변화는 1.5 dB 이내이다.

그림 11은 디지털 수신기의 SFDR 특성을 나타낸다. 그림의 세로축은 SFDR을 나타내고, 단위는 dBFS이다. 입력 신호의 크기를 점점 증가하면, SFDR 특성이 열화 됨을 알 수 있다. ADC는 신호의 크기가 가장 클 때 최소의 SFDR 값을 갖는다. 그림 11에서 측정된 디지털 수신기의 SFDR은 81 dBFS이다. 이것은 사용된 AD9461의 SFDR이 84 dBFS 임을 감안할 때, 디지털 수신기의 SFDR이 ADC 특성에 가장 영향을 받는 것을 알 수 있다. 그림 11에 나타난 결

그림 10. 8채널 디지털 수신기 이득
Fig. 10. Gain of 8 channel digital receivers.

그림 11. 디지털 필터 출력에서의 SFDR
Fig. 11. SFDR at the output of the digital filter.

과는 제작된 디지털 수신기 8 채널 중 SFDR 특성이 가장 열악한 채널에 대한 결과임을 감안할 때, 본 디지털 수신기는 SFDR 특성이 우수하다는 것을 알 수 있다.

그림 12는 디지털 수신기에 LFM(Linear Frequency Modulation) 펄스 신호를 입력했을 경우, 출력을 시간 도메인에서 확인한 결과이고, 그림 13은 그림 12에 나타난 펄스를 확대해서 나타낸 것이다. 시간에

그림 12. 시간 도메인에서의 LFM 파형
Fig. 12. LFM waveform in the time domain.

그림 13. 단일 LFM 신호
Fig. 13. Single LFM signal.

따라 주파수가 변하는 것을 확인할 수 있다. 그림 12와 그림 13에서 x축은 샘플의 수, y축은 샘플의 크기를 나타낸다.

IV. 결 론

능동 위상 배열 레이더에 사용되는 디지털 수신기를 제작하고 측정하였다. 디지털 수신기 내에 RF부, ADC부, 로컬 분배부 그리고 디지털 하향변환부가 존재하고, 하나의 모듈에 2채널의 디지털 수신기가 포함된다. ADC의 동적 영역과 SNR 손실을 고려하여 디지털 수신기의 이득을 설정하였다. 디지털 수신기의 출력이 디지털 신호인 점을 고려하여, 상용의 FIFO 보드를 이용하여, 제작된 디지털 수신기의 주요 특성을 시험하였다. 측정된 디지털 수신기의 이득은 약 33 dB이고, SFDR은 81 dBFS 이상의 특성을 보인다.

참 고 문 헌

- [1] Zhijian Li, L. P. Ligthart, Peikang Huang, Weining Lu, and W. F. van der Zwan, "Trade-off between sensitivity and dynamic range in designing digital radar receivers", in *Proc. IEEE Int. ICMMT Conf.*, pp. 1368-1371, 2008.
- [2] H. Pekau, J. W. Haslett, "A comparison of analog front end architectures for digital receivers", in *Proc. IEEE Int. Electrical and Computer Eng. Conf.*, pp. 1073-1077, 2005.
- [3] M. Yeary, R. Kelley, J. Meier, S. Ong, and R. Palmer, "Compact digital receiver development for radar based remote sensing", in *Proc. IEEE Int.*

- IMTC. Conf.*, pp. 1761-1765, 2008.
- [4] L. Prakasam, T. Roy, and D. Meena, "Digital signal generator and receiver design for S-band radar", in *Proc. IEEE Radar Conf.*, pp. 1049-1054, 2007.
- [5] M. A. Sanchez, M. Garrido, M. Lopez-vallejo, J. Grajal, and C. Lopez-barrio, "Digital channelized receivers on FPGAs platforms", in *Proc. IEEE Radar Conf.*, pp. 816-821, 2005.
- [6] W. M. Waters, B. R. Jarrett, "Bandpass signal sampling and coherent detection", *IEEE Trans. Aerospace and Electronic Sys.*, vol. AES-18, pp. 731-736, Nov. 1982.
- [7] T. W. Nuteson, J. E. Stocker, J. S. Clark, D. S. Haque, and G. S. Mitchell, "Performance characterization of FPGA techniques for calibration and beamforming in smart antenna applications", *IEEE Trans. Microwave Theory and Techniques*, vol. 50, pp. 3043-3051, 2002.
- [8] N. Billstrom, M. Nilsson, and P. Westling, "Compact tile module for S-band AESA radar systems", in *Proc. IEEE Int. EUMC Conf.*, vol. 1, 2005.
- [9] B. A. Kopp, M. Borkowski, and G. Jerinic, "Transmit/receive modules", *IEEE Trans. Microwave Theory and Techniques*, vol. 50, pp. 827-834, Mar. 2004.
- [10] B. Brautigam, M. Schwerdt, M. Bachmann, and M. Stangl, "Individual T/R module characterisation of the TerraSAR-X active phased array antenna by calibration pulse sequences with orthogonal codes", in *Proc. IEEE IGARSS Conf.*, pp. 5202-5205, 2007.
- [11] B. N. S. Babu, C. M. Sorrentino, "Analog-to-digital converter effects on airborne radar performance", in *Proc. IEEE Radar Conf.*, pp. 56-61, 1989.
- [12] 김태환, 최병관, 이희영, 조춘식, "ADC 특성에 따른 능동 위상 배열 레이더 수신기의 이득 설정 방법", *한국전자과학회논문지*, 20(1), pp. 52-59, 2009년 1월.
- [13] [Online]. <http://www.analog.com>
- [14] D. Akos, M. Stockmaster, J. Tsui, and J. Caschera,

"Direct bandpass sampling of multiple distinct RF signals", *IEEE Trans. Communications*, vol. 47, pp. 983-988, Jul. 1999.

- [15] C. Tseng, S. Chou, "Direct downconversion of multiband RF signals using bandpass sampling", *IEEE*

능동 위상 배열 레이더의 디지털 수신기 제작 및 측정

Trans. Wireless Communicaions, vol. 5, pp. 72-76, Jan. 2006.

- [16] [Online] <http://www.custominterconnects.com>

김 태 환

2004년 2월: 한국항공대학교 정보통신공학과 (공학사)
2006년 2월: 한국항공대학교 정보통신공학과 (공학석사)
2005년 10월~현재: 삼성탈레스 레이더연구소 선임연구원
[주 관심분야] RF/아날로그 회로 설계, 안테나, 신호처리

홍 윤 석

1996년 2월: 제주대학교 통신공학과 (공학사)
2008년 2월: 광운대학교 전자공학과 (공학석사)
2002년 9월~현재: 삼성탈레스 레이더연구소 전문연구원
[주 관심분야] RF/아날로그 회로 설계, 항공기용 AESA 레이더 시스템

이 성 주

2002년: 경남대학교 전자공학과 (공학사)
2003년: 경남대학교 정보통신공학과 (공학석사)
2003년~2005년: 고등기술연구원 플라즈마센터 플라즈마팀
2005년 10월~현재: 삼성탈레스 레이더연구소 선임연구원
[주 관심분야] 초고주파회로, RFIC/MMIC

조 춘 식

1987년 2월: 서울대학교 제어계측공학과 (공학사)
1995년 12월: 미국 South Carolina 대학교 전기 및 컴퓨터공학과 (공학석사)
1998년 12월: 미국 Colorado 대학교 전기 및 컴퓨터공학과 (공학박사)
2004년 3월~현재: 한국항공대학교 정보통신공학과 교수
[주 관심분야] RFIC/MMIC, 안테나, 전자장 수치 해석

이 동 회

2005년 2월 광운대학교 전자공학과 (공학사)
2007년 2월 광운대학교 전자공학과 (공학석사)
2006년 12월~현재: 삼성탈레스 레이더연구소 선임연구원
[주 관심분야] 레이더 신호처리