FPGA의 DDS Core를 이용한 다중 톤 재밍 신호 생성

Development of Multitone Jamming Technique Using DDS Core in FPGA

홍 상 근 · 곽 창 민 · 이 왕 용

Sang-Geun Hong · Chang-Min Kwak · Wang-Yong Lee

요 약

전쟁에서 통신은 매우 중요하다. 과거에는 전령을 이용하였으나 현대전에서는 통신기기의 발달로 주로 무선 통신망을 이용하고 있다. 현대전에서 적 전력을 약화시키기 위해 재밍 신호를 이용하여 적 통신망의 교란을 시도한다. 통신망을 교란하는 통신 재밍 신호로 흔하게 사용되는 것 중 톤 재밍 신호가 있다. 톤 재밍은 한 개 또는 여러 개의 톤을 주파수 스펙트럼 상에 출력하는 방법으로 적 무선 통신기의 수신단을 무력화 하는 기법이다. 본 논문에서는 Xilinx사에서 제공하는 FPGA(Field Programmable Gate Array)와 DDS(Direct Digital Synthesizer) core를 사용하여 최대 10개의 톤을 생성하였으며, 생성된 톤의 간격과 개수를 제어하는 방안을 제시하고, 실제로 실험한 결과를 기술하였다.

Abstract

Communication is very important in warfare. Dispatch riders were used in ancient warfare, but communication system is used in modern warfare, as the advancement of communication equipments. In order to weaken enemy military strength, communication jamming signal disrupts enemy communication systems. Tone jamming is one of the common communication jamming techniques. Tone jamming is that several tones are placed in the spectrum for neutralizing the enemy's radio communication receivers. In this paper, we develop multitone jamming signal controlled tone number up to 10 tones and tone interval between tones using DDS(Direct Digital Synthesizer) core and FPGA(Field Programmable Gate Array) of Xilinx Inc. and show the jamming signal output.

Key words : Multitone, Communication Jamming, DDS, FPGA

I. 서 론

현대전에서 무선 통신망을 이용하여 명령 및 보고 등이 이루어진다. 이런 적 무선 통신망을 교란할 경우 적의 전력을 크게 약화시킬 수 있다. 이를 위해 통신 재밍 신호를 사용하고 있다. 그 중 가장 흔하게 사용하는 재밍 신호 중에 톤 재밍 신호가 있다.

톤 재밍 신호는 1개 또는 여러 개의 톤 신호를 주파수 스펙트럼 상에 출력하여 적 무선 통신기 간의 정보 전달을 방해하는 방식이다^[1]. 여기서 톤(tone)은

단일 주파수를 가지는 정현파 신호를 의미한다. 톤 재밍은 단일 톤 재밍(single tone jamming)과 다중 톤 재밍(multitone jamming)으로 구분된다. 단일 톤 재밍의 경우 1개의 주파수를 가지는 신호를 출력하여 적 수신기를 재밍하는 방식이며, 다중 톤 재밍의 경우 다수의 톤을 출력하여 적 수신기를 재밍하는 방식이다. 다중 톤 재밍의 경우, 스펙트럼 상의 모양이 마치 빗(comb)과 유사하다고 하여 comb jamming이라고 불리운다^[1].

다중 톤 재밍 신호의 경우 일반 comb generator를

(주)LIG 넥스원(LIG Nex1 Co., Ltd.)

· 논 문 번 호 : 20110527-07S

· 교 신 저 자 : 홍상근(e-mail : hongsanggeun@lignex1.com)

· 수정완료일자 : 2011년 8월 18일

이용하여 구현하였다. Comb generator는 baseband에서 셋팅된 대역폭으로 다중 톤 신호를 생성하는 장치이다. Comb generator로 다중 톤 재밍 신호를 생성할 경우 톤의 개수와 톤 간격 등을 제어하는데 어려움이 많다. 또한 통신 재머를 구성 시 다중 톤 재밍을 위한 별도의 장치가 소요되는 단점이 있다.

본 논문에서는 1개의 DAC를 이용하여 다중 톤 재밍 신호를 생성하는 방안에 대하여 기술한다. Xilinx사의 FPGA(Field Programmable Gate Array)를 사용하였으며, 제조사에서 제공하는 IP core인 DDS(Direct Digital Synthesizer) core를 다수 사용하여 다중 톤 재밍 신호를 생성하였다. 본 논문에서 제안한 방안은 기존 방안에 비해 톤 개수에 제한이 있으나, 톤 간격 및 톤 개수가 제어가 가능하다는 장점이 있다.

II. 본 론

2-1 무선 통신 재밍 개요

무선 통신망은 일대일(one to one), 다대일(many to one), 일대다(one to many) 또는 다대다(many to many)의 형태를 가지고 있다. 이런 통신망을 이용하여 정보를 수신하는 수신단을 재밍하여 교란하는 것을 무선 통신 재밍이라 한다. 통신 재밍 신호를 송출하는 통신 재머(communication jammer)는 교란하고자 하는 무선 통신기의 수신기에 원신호보다 강하게 재밍 신호가 수신되도록 한다. 무선 통신기는 강하게 수신된 재밍 신호를 원신호로 오인하여 수신한다. 이 경우 무선 통신기는 원신호로부터 정보를 수신할 수 없게 된다.

그림 1은 통신 재머에 의해 재밍이 되는 원리를 설명한 것이다. 통신 재머에서 무선 통신기의 수신 주파수에 맞춰 송출된 톤 재밍 신호는 무선통신기 1, 2에 모두 수신된다. 무선 통신기 1, 2는 재밍 신호를

그림 1. 통신 재밍 개념

Fig. 1. Concept of communication jamming.

수신하지만, 무선 통신기 2의 경우 원신호보다 재밍 신호의 세기가 작아 재밍 효과가 미비하다. 그러나 무선 통신기가 1의 경우 상대적으로 통신 재머와의 거리가 가까워 원신호보다 재밍 신호의 세기가 크므로 원신호를 수신할 수 없다. 일반적으로 재밍 신호가 원신호보다 10 dB 이상 큰 신호 세기를 가지고 수신되어야 재밍의 효과가 있다^[2]. 거리(R)에 따라 수신되는 신호 세기는 식 (1)과 같다. 여기서 P_r 은 수신기에 수신되는 신호 세기, P_t 는 송신기의 신호 세기, G_t , G_r 은 각각 송신 안테나와 수신 안테나의 이득, λ 는 신호의 파장이다^[3].

$$P_r = \frac{P_t \cdot G_t \cdot G_r \cdot \lambda^2}{(4\pi R)^2} \quad (1)$$

2-2 다중 톤 재밍 구성

일반적인 통신 재머는 신호를 수신하는 수신부와 수신한 신호를 탐색 및 식별을 수행하는 처리부, 그리고 재밍을 수행하는 송신부로 구분된다. 다중 톤 재밍 신호는 송신부에서 생성된다. 기존의 comb generator를 사용하는 경우 그림 2와 같이 baseband에서 생성된 다중 톤 신호를 IF 대역으로 변환하고, 이를 임의의 주파수로 변환하여 출력한다. 그에 반해 본 논문에서 제안하는 재밍 송신부는 baseband에서 재밍 신호를 생성하지 않고 그림 3과 같이 IF 대역에서 생성하여 구조를 상대적으로 간단하게 하였다. 제안하는 다중 톤 생성부는 DAC를 이용하여 IF(Intermediate Frequency) 대역에서 다중 톤 신호를 생성하므로 comb generator 이용하는 방법보다 주파수 변환 과정이 간단하다.

2-3 다중 톤 재밍 신호 생성 방안

본 논문에서는 FPGA의 DDS 코어를 이용하여 다

그림 2. Comb generator를 이용한 다중 톤 생성부

Fig. 2. Multitone jamming block using comb generator.

그림 3. DAC를 이용한 다중 톤 생성부
Fig. 3. Multitone jamming block using DAC.

그림 4. $n=8$ 일 경우 다중 톤 예시
Fig. 4. Example of multitone signal when $n=8$.

중 톤 신호를 생성하여 DAC로 IF 대역으로 출력하는 방안을 제안한다. IF 대역으로 출력된 다중 톤 신호는 식 (2)와 같이 표현할 수 있다.

$$S_{MT} = \frac{A}{n} \sum_{k=0}^{n-1} \cos 2\pi(f_s + k \cdot f_d)t \quad (2)$$

식 (2)에서 IF 대역의 시작 주파수는 f_s 이고, 톤의 개수는 n 개, 신호 크기는 A , 톤 간격은 f_d 이고, k 는 정수 값을 갖는다. 그림 3은 톤의 개수가 8일 경우 다중 톤의 예시이다.

다중 톤을 구현하기 위해서는 각각의 정현파를 생성하여 합해야 한다. FPGA에서 정현파를 생성하기 위해 DDS를 사용하였다. DDS는 phase increment를 입력 받아 출력으로 클럭 변화에 따른 정현파 값을 출력하는 core로 Xilinx사의 LogiCORE IP DDS Compiler v5.0를 이용하여 구현하였다. 이는 실제 소자로 구성되는 것이 아니라 FPGA 내부에서 구성되어 디지털 연산을 통해 출력되는 것이다.

그림 5에서와 같이 DDS는 입력인 phase increment($\Delta\theta$)값을 phase accumulator를 이용하여 매 클럭마다 누적한다. Phase accumulator를 통과한 데이터는 매 클럭마다 phase increment만큼 증가하는 phase

그림 5. DDS core의 개략 구조^[4]
Fig. 5. A simplified view of the DDS core^[4].

angle($\theta(n)$)값이다. DDS는 phase angle 값을 비트수를 sine/cosine lookup table의 입력 비트수에 맞게 변환하여 sine/cosine lookup table에 입력한다. Sine/cosine lookup table은 입력 각도에 따른 정현파 크기 데이터가 들어 있는 메모리로 매 클럭마다 입력된 quantized phase angle($\theta(n)$)에 대응되는 정현파 값 ($\sin(\theta(n))$, $\cos(\theta(n))$)을 출력한다. 그림 5에서 $B_{\Delta\theta}$ 는 phase increment의 비트수, $B_{\theta(n)}$ 는 phase angle의 비트수, $B_{\theta(n)}$ 는 quantized phase angle의 비트수, B_s 는 DDS core의 출력 비트수이다^[4].

DDS의 입력인 phase increment는 출력 주파수에 일대일로 대응된다. DDS의 출력 주파수(f_{out})는 식 (3)과 같이 DDS의 클럭 주파수(f_{clk})와 phase angle의 비트수($B_{\theta(n)}$)에 의해 결정된다^[4]. 임의의 주파수를 가지는 정현파를 출력하기 위해 그에 대응되는 phase increment값을 DDS에 입력한다. DDS의 주파수 해상도(Δf)는 phase increment 값이 1일 때의 값으로 식 (4)와 같다. 실제로 식 (3)과 식 (4)에서 phase angle의 비트 수($B_{\theta(n)}$)는 phase increment의 비트 수($B_{\Delta\theta}$)와 같다.

$$f_{out} = \frac{f_{clk} \cdot \Delta\theta}{2^{B_{\theta(n)}}} \quad (3)$$

$$\Delta f = \frac{f_{clk}}{2^{B_{\theta(n)}}} \quad (4)$$

다수의 DDS core를 이용하여 생성된 다수의 정현파를 모두 더하여 다중 톤 신호의 데이터를 생성한다. 이를 DAC입력 비트 수에 맞도록 DAC에 입력하여 IF 대역에서 다중 톤 신호를 얻을 수 있다.

2.4 다중 톤 제밍 신호 구현

본 논문에서는 10개의 다중 톤을 생성할 수 있는 다중 톤 생성기를 구현하였다. 입력 factor(시작 주파수, 톤 간격, 톤 개수)에 따라 실시간으로 다중 톤 신

그림 6. 다중 톤 생성 구조
Fig. 6. The structure of multitone generator.

호의 데이터를 생성하여 DAC로 출력하게 하였다. 다중 톤 신호를 생성하는 구조는 그림 6과 같다. 다중 톤 신호를 생성하기 위해 시작 주파수와 톤 간격, 그리고 톤 개수를 입력받는다. 입력 주파수 생성부에서 각각의 DDS 전송할 주파수 값을 계산한다. 10개의 DDS로 구성된 DDS 블록에서 각각의 DDS는 입력에 따라 정현파와 데이터를 출력하고, 톤 개수 제어기는 톤 개수에 따라 DDS 출력을 스위칭 제어한다. 스위칭된 데이터는 덧셈기에서 전부 더한 후 DAC 입력 비트수에 맞게 크기를 제어하여 출력된다.

그림 6의 구조를 FPGA를 이용하여 구현한 블록도는 그림 7과 같다. 입출력 제어기는 make_input이다. 10개의 DDS로 구성된 DDS 블록은 DDSx10ea이다. 톤 개수 제어기는 BlockerAndDecoder, 10개의 정현파를 더하는 덧셈기는 Adder_10x14bit이고, 생성된 다중 톤 데이터를 DAC 입력 비트수에 맞추는 크기 제어기는 Quantizer_ver1p0이다.

그림 7. 다중 톤 생성기 블록도
Fig. 7. Block diagram of multitone generator.

그림 8. DDS_10ea 블록도
Fig. 8. Block diagram of DDS_10ea.

다중 톤 생성기의 make_input 블록은 톤 개수 (Num)와 톤 간격(DeltaF) 그리고 시작 주파수(Fs)에 따라 10개의 DDS core의 입력 값(F10, F20, F30, ..., FA0)을 생성한다. F10은 Fs를, F20은 Fs+DeltaF를, FA0은 Fs+9 * DeltaF를 출력하는 방식이다.

DDS core 10개로 구성된 DDS_10ea 블록은 그림 8과 같은 구성이다. DDS_10ea는 10개의 dds_for_mt 블록으로 구성된다. dds_for_mt는 Xilinx사에서 제공하는 ip core로 LogiCORE IP DDS Compiler v5.0를 이용하여 제작하였다. DDS core를 구동하는 FPGA의 클럭 주파수(f_{clk})는 100 MHz이다. DDS core는 DAC 입력 비트 수(14 bits)와 일치하도록 DDS core 출력 (SINE)의 비트 수(B_s)를 14 bits로 하였다. 그리고 톤 간격과 시작 주파수를 제어하는 해상도를 1 Hz 이하로 하기 위해 DDS core 입력(DATA)의 비트수를 32 비트로 하였다. 이 경우 DDS core의 해상도는 식 (5) 같이 약 0.023 Hz가 된다.

$$\Delta f = \frac{f_{dk}}{2^{B_{\theta(n)}}} = \frac{100 \times 10^6}{2^{32}} = 0.023 \dots \quad (5)$$

톤 개수제어기 블록인 BlockerAndDecoder는 톤 개수에 따라 입력된 값을 스위칭 하기 위해 출력 값을 0으로 변환한다. 예로 톤 개수가 4개인 경우 순서대로 DDS1부터 DDS4까지의 출력 4개만 통과시키고, 나머지 6개의 데이터는 0으로 변환하여 출력한다.

이렇게 변환된 출력은 Adder_10x14 bit에서 매 클럭마다 10개가 모두 더해진다. 14비트 10개의 합으로 출력은 18비트가 되어 Quantizer_ver1p0로 출력된다.

Quantizer_ver1p0은 톤 개수에 따라 DAC의 출력 스케일에 최대가 되도록 신호의 크기를 조정하는 기능을 한다. 입력(Din)이 18비트이고, 출력(Dout)이 14

표 1. Quantizer_ver1p0 블록 진리표

Table 1. Truth table of Quantizer_ver1p0.

Num[3:0]	Dout[13:0]
16진수	
0×0	Dout<=Din[13:0]
0×1	Dout<=Din[13:0]
0×2	Dout<=Din[14:1]
0×3, 0×4	Dout<=Din[15:2]
0×5, 0×6, 0×7, 0×8	Dout<=Din[16:3]
0×9, 0×A	Dout<=Din[17:4]
0×B, 0×C, 0×D, 0×E, 0×F	Null

그림 9. FPGA 소스 코드 시뮬레이션

Fig. 9. Simulation about FPGA source code.

비트이므로 톤 개수(Num)에 따라 출력하는 비트 범위를 표 1과 같이 정하였다. 이는 식 (2)의 신호 크기 (A)를 톤 개수(n)로 나누는 과정을 수행하는 것으로 FPGA상에서 구현이 어려운 나눗셈을 대신하여 간단하게 구성한 것이다.

다중 톤 생성기의 최종 출력 14비트 데이터(Dout)은 DAC의 입력으로 출력되어 다중 톤을 생성한다. 다중 톤 생성기 블록의 FPGA 소스 코드를 시뮬레이션을 통해 확인한 결과는 그림 9이다. 시뮬레이션은 톤의 개수가 1개일 때부터 10개까지 증가하면서 수행하였다. 시작 주파수는 10 MHz, 톤 간격은 500 kHz로 설정하였다.

2-5 다중 톤 제밍 신호 실험 결과

다중 톤 생성기를 실제 FPGA에 장입하여 결과를 확인하였다. DAC를 통과하여 생성된 IF 신호를 그림 3의 구조를 통해 500 MHz의 RF로 변환하여 확인하였다. 톤의 개수는 4개와 10개를 생성하였고, 톤 간격이 제어됨을 확인하기 위해 4 kHz와 25 kHz를 변환하였다. 그림 10부터 그림 13까지는 톤 개수와 톤 간격을 변환하여 출력한 실험 결과이다.

그림 10. 실험 결과(톤 개수 4개, 톤 간격 4 kHz)

Fig. 10. Result(4 tone, interval 4 kHz).

그림 11. 실험 결과(톤 개수 10개, 톤 간격 4 kHz)

Fig. 11. Result(10 tone, interval 4 kHz).

그림 12. 실험 결과(톤 개수 4개, 톤 간격 25 kHz)

Fig. 12. Result(4 tone, interval 25 kHz).

그림 13. 실험 결과(톤 개수 10개, 톤 간격 25 kHz)
Fig. 13. Result(10 tone, interval 25 kHz).

III. 결 론

다중 톤 재밍 신호를 comb generator 대신 FPGA의 DDS core를 이용하여 DAC로 출력하여 구현하는 방안을 소개하였다. 통신 재머를 구현 시 재밍 신호를 발생하는 소스원이 추가될수록 부피나 크기 면에서

불리해진다. 한 개의 소스원으로 잡음 재밍, 톤 재밍, 소인 재밍 등 여러 가지 재밍 기법을 발생시키는 것이 유리하다. 본 논문에서 제안한 다중 톤 생성 방안은 다른 재밍 기법을 생성할 수 있는 DAC를 공통으로 사용함으로 소형화에 유리하다. Comb generator를 사용하는 방식에 비해 제안한 다중 톤 생성 방안은 톤의 최대 개수가 제한되나 톤 간격 및 톤 개수가 제어 가능하다는 장점이 가진다.

참 고 문 헌

- [1] Richard A. Poisel, *Modern Communications Jamming Principles and Techniques*, Artech house, 2004.
- [2] David Adamy, *EW101 A First Course in Electronic Warfare*, Artech house, 2001.
- [3] 이일근, 레이더 공학과 전자전 응용, 대영사, 2006년.
- [4] Xilinx logic core, *LogiCORE IP DDS Compiler v 5.0*, Xilinx, 2011.

홍 상 근

재밍 기법 M&S

2004년 2월: 고려대학교 전자공학과 (공학사)
2010년 5월: 성균관대학교 전자공학과 (공학석사)
2004년 1월~현재: LIG 넥스원 전자전연구센터 선임연구원
[주 관심분야] 전자전 EA 시스템,

이 왕 용

정보수집/재밍 시스템

1993년 2월: 경북산업대학교 전자공학과 (공학사)
2007년 2월: 아주대학교 정보전자공학과 (공학석사)
1995년 8월~현재: LIG 넥스원 전자전연구센터 수석연구원
[주 관심분야] 전자전 시스템, 신호

곽 창 민

1997년 2월: 강원대학교 전자공학과 (공학사)
2000년 7월~현재: LIG 넥스원 전자전연구센터 수석연구원
[주 관심분야] 전자전 시스템, 신호정보수집/재밍 시스템