밀리미터파 탐색기용 도파관 광벽 종방향 슬롯 배열 안테나

Longitudinal Shunt Slot Array Antenna in the Broad Wall of Waveguide for Millimeter-Wave(Ka-Band) Seeker

박 정 용 · 이 재 호

Jung-Yong Park · Jae-Ho Lee

요 약

본 논문에서는 Ka-대역 모노 펄스 레이더용 도파관 광벽 슬롯 배열 안테나의 설계, 제작 및 측정 결과에 대해 기술하였다. 설계 방법으로는 개구면의 분포를 원하는 이득과 빔 폭 및 SLL을 고려하여 설계하였고, 등가 회로에서의 각 슬롯의 어드미턴스에 해당하는 도파관 슬롯의 오프셋과 길이를 Elliott 배열 합성 기법을 통해 구하였다. 설계한 도파관 슬롯 배열을 CST MWS로 해석한 결과, 주어진 대역폭 내에서 -10 dB 이하의 반사 손실, 32 dBi 이상의 이득, 3.7 도의 3 dB 빔 폭, -20 dB의 SLL 결과를 얻었다. 또한, 설계한 안테나의 제작과 측정을 통하여 시뮬레이션 결과를 확인하였다.

Abstract

In this paper, the design and fabrication of slot array in the broad wall of the waveguide for Ka-band monopulse radar are discussed. The aperture distributions are designed for the desired antenna gain, beamwidth and Side-lobe Level(SLL), and then slot parameters, such as lengths and offsets, are obtained for corresponding to each slot admittance in the equivalent circuit by using Elliot's array synthesis procedure. MWS-CST simulation shows the return loss below -10 dB, antenna gain above 32 dBi, 3 dB beamwidth of 3.7 degree and SLL of -20 dB. In order to demonstrate the expected results, the designed antenna is fabricated and measured.

Key words : Waveguide Slot Array, Monopulse Radar, Slot Antenna, MMW Seeker

I. 서 론

도파관 슬롯 배열 안테나는 고이득, 고효율의 평면형 안테나로서, 우수한 교차 편파 특성과 높은 송수신 전력의 처리가 가능하고 구조적으로 튼튼하기 때문에, 통신용이나 레이더용 시스템 등에 많이 적용되고 있다^{[1],[2]}. Stevenson^[3]의 고전 논문에서 구형 도파관에서의 그린 함수를 이용한 슬롯 해석 이후 도파관 슬롯의 특성과 슬롯 배열 안테나 설계 기술에 대한 연구가 해외에서는 활발히 이루어지고 있으

며, 많은 연구 결과들이 발표되었다^{[4]~[10]}.

본 논문에서는 탐색 및 추적을 하기 위한 Ka-대역 모노 펄스 레이더용 평면형 도파관 광벽 공진 슬롯 배열 안테나를 설계하였다. 도파관 슬롯 배열 안테나는 임의의 빔 패턴에 대한 개구면 분포의 합성이 용이하고 두께가 얇은 평면형으로 제작이 가능하며, 안테나의 각도를 제어하는 김발의 부하를 줄일 수 있어서 전체 레이더 시스템의 무게를 줄일 수 있기 때문에, 모노 펄스 레이더용 안테나로 많이 사용된다^[1]. 모노 펄스 레이더용 안테나는 일반적으로 목표

삼성탈레스(Samsung Thales)

· 논문 번호 : 20111202-153

· 교신저자 : 이재호(e-mail : jaeho7403.lee@samsung.com)

· 심사일자 : 2012년 1월 10일 · 수정완료일자 : 2012년 1월 12일

물의 위치를 탐색하고 추적하기 위하여 합 패턴과 직교 형태를 갖는 두 축 방향으로의 차 패턴이 필요하므로 설계 안테나는 4개의 부배열 안테나로 구성된다. 그리고 4개의 부배열 안테나는 동일한 양의 전력이 복사되도록 각각의 급전 도파관으로 부터 방사 도파관으로 전력이 분배되며, 급전 도파관은 모노 펄스 비교기와 연결되어 합 채널 및 직교 형태를 갖는 두 축 방향으로의 차 채널을 위한 3개의 입출력 포트를 갖게 된다. 이러한 다층 구조의 안테나부의 전체 높이를 줄이기 위하여 방사 도파관의 높이는 $0.142 \lambda_0$ 인 reduced height 도파관으로 설계하였다.

우선, 안테나의 이득은 32 dBi 이상이 되도록 개구면의 사이즈를 결정하였고, 개구면 분포는 SLL (Side-lobe Level)이 -22 dB 이하, 3 dB 빔 폭(3 dB beam width)은 3.7도 이하의 Talyor 분포^[11]로 설계하였다. 이는 레이더의 탐지 거리와 분해능, 클러터에 대한 대응 능력 등이 고려된 레이더 파라미터이다.

이와 같은 개구면 분포를 갖도록 각 슬롯의 전압 분포를 구하고, 이를 위해 각 슬롯의 정확한 어드미턴스 계산을 위해서는 슬롯 간의 도파관 외부 및 내부 상호 결합(mutual coupling)을 고려하여 각 슬롯의 공진 읍셋과 길이가 결정되어야 한다. 본 논문에서는 기본적으로 Elliott의 배열 합성 기법을 사용하여 배열을 설계하였다^{[8]~[10]}. Elliott 기법의 설계 과정에서 필요한 독립된 슬롯(isolated slot)의 어드미턴스의 도출은 두께가 $0.142 \lambda_0$ 인 reduced height의 도파관을 사용하였기 때문에, 단순한 수식으로 모델링을 하지 않고 CST MWS를 사용하여 슬롯의 읍셋과 길이의 parameter sweep으로 도출하였다. 또한, 각 슬롯과 다른 슬롯들과의 상호 결합의 영향을 고려하여 단일 슬롯 특성과 슬롯 간 상호 결합 특성의 조합으로 표현되는 active admittance를 계산하였다. 마지막으로 각 개구에 원하는 슬롯 전압이 여기되도록 active admittance를 반복적으로 계산하여 각 슬롯의 읍셋과 길이를 최적화하였다. 최종적으로 CST MWS 시뮬레이션을 통해 안테나의 성능을 확인하였으며, 제작 및 측정을 통하여 설계의 타당성과 성능을 확인하였다.

II. 본 론

2-1 안테나 구조

본 논문에서는 도파관 광벽 종방향 공진 슬롯을 방사 소자로 갖는 평면 배열 안테나를 설계하였다. 방사 도파관 내부에서는 정재파가 존재하며, 이때 각 슬롯에 동위상의 필드가 여기되도록 관내 파장(λ_g)의 1/2 간격으로 슬롯들을 배치하였다. 또한, 모든 방사 도파관들이 동위상으로 급전되어지도록 방사 도파관과 같은 관내 파장을 가지는 급전 도파관에서 방사 도파관으로의 커플링 슬롯은 $\lambda_g/2$ 간격의 center-inclined 슬롯 형태로 설계하였다^[12]. 이렇게 배열 간격이 상하좌우의 간격이 동일한 정방 배열(square array)은 다음과 같은 조건을 만족해야 한다.

$$a+t = \frac{\lambda_g}{2} = \frac{\lambda_0}{2\sqrt{1-(\lambda_0/2a)^2}} \quad (1)$$

여기서 a 는 도파관 광벽(broad wall)의 폭, t 는 도파관 협벽(narrow wall)의 두께이다. 본 논문에서는 광벽의 폭과 협벽의 두께를 각각 약 $0.655 \lambda_0$, $0.118 \lambda_0$ 으로 설계하였다.

본 논문에서의 안테나는 탐색 및 추적을 하기 위한 레이더용으로써 합 패턴과 직교 형태를 갖는 두 축 방향으로의 차 패턴을 갖도록 X-형태의 2개의 모노 펄스 축 구조를 가진다. 따라서 전체 안테나면을 4개의 부배열 안테나로 구성하였다. 각 부배열은 106개의 방사 슬롯을 가지며, 안테나 전체의 방사 슬롯의 총 개수는 424개이다. 그림 1은 안테나의 부배열 구조의 형상을 나타내고 있다. 그림에서 4개의 부배열 안테나는 각각의 급전 도파관에서 4개의 magic-T 구조를 갖는 모노 펄스 비교기를 통해 연결되어 합(①+②+③+④), 차1(①+②-(③+④)) 및 차2

그림 1. 부배열 구조

Fig. 1. Sub-array structure.

그림 2. 안테나 전체 구조
Fig. 2. Antenna structure.

(①+③-(②+④))의 3개 입출력 포트를 갖게 된다. 이러한 전체 안테나 구조의 각 부분별 분해도를 그림 2에 나타내었다.

2-2 안테나 설계 및 해석

고이득용 도파관 슬롯 안테나는 수십에서 수백 개의 슬롯으로 구성되어 있으며, 이런 안테나의 해석이나 설계를 위한 계산량은 슬롯의 개수에 따라서 급격히 증가한다. 현대 컴퓨터 계산 기술과 상용 EM full-wave simulator의 발달로 정확한 해석 및 설계가 가능하지만, 수백 개의 슬롯으로 구성된 안테나 전체모델의 계산량은 여전히 부담스럽다. 따라서 본 논문에서는 CST MWS를 사용하여 단일 슬롯의 self admittance를 찾아내고, Elliott 수식을 통해 각 슬롯 간의 상호 간섭 효과가 고려된 active admittance를 구한 후, 도파관 슬롯 배열 안테나를 합성함으로써 계산량을 줄였다. 슬롯의 설계를 위해서는 빔 폭과 SLL을 만족하기 위한 배열 안테나 개구 분포의 설계가 필요하다. 설계된 개구면의 3 dB 빔 폭은 3.7도, SLL은 -22 dB를 갖는 Taylor 분포가 되도록 각 슬롯의 전압의 가중치를 설계하였다.

우선 그림 3과 같은 단일 슬롯의 특성을 추출하기 위하여 그림 4와 같이 도파관 슬롯을 병렬 등가 회

그림 3. 단일 슬롯 모델
Fig. 3. Isolated slot model.

그림 4. 단일 슬롯 등가 회로
Fig. 4. Equivalent circuit for the isolated slot.

로 모델링하였다. 여기서 독립된 단일 슬롯의 어드미턴스 슬롯의 길이와 옴셋의 함수로 나타낼 수 있다. 두 개의 parameter인 옴셋과 길이는 슬롯의 conductance와 susceptance를 조절 가능하게 한다. 슬롯의 어드미턴스는 다음과 같이 나타낼 수 있다^{[13][14]}.

$$\begin{aligned} \frac{Y(s, y, f)}{G_0} &= \frac{G_r}{G_0} \frac{G + jB}{G_r} = g(s)h(y) \\ &= g(s)[h_1(y) + jh_2(y)] \end{aligned} \quad (2)$$

여기서, s 는 도파관축의 중심으로부터 슬롯의 옴셋, l 은 슬롯의 길이를 나타낸다. 또한, $g(s) = G_r(s)/G_0$ 는 정규화된 공진 컨덕턴스(normalized resonant conductance), $y = l/l_r(s, f)$ 는 공진 슬롯 길이(임의의 s 에 대해 공진되는 l) 대비 슬롯 길이 비, $l_r(s, f)$ 는 공진 슬롯 길이, $h(y) = h_1(y) + jh_2(y)$ 은 슬롯의 어드미턴스를 각각 나타낸다.

슬롯의 옴셋과 길이의 변화에 따른 어드미턴스의 변화를 그림 5에 나타내었다.

그림 6은 배열 설계를 위한 한 개의 branch 방사 도파관 슬롯 배열의 등가 회로를 나타내었다. 각 슬롯에 여기되는 전압이 동위상이 되기 위해 슬롯의 간격은 도파관 관내 파장의 절반인 $\lambda_g/2$ 로 하였으며, 도파관내 정재파의 최대 전압 부분에 슬롯이 놓이도록 배열의 마지막 슬롯의 중앙에서 도파관의 종단까지의 거리는 $\lambda_g/4$ 이 되도록 하였다. Y_n'' 는 슬롯 간의 상호 결합이 고려된 n 번째 슬롯의 active admittance

(a) 어드미턴스의 실수부
(a) Real part of admittance

(b) 어드미턴스의 허수부
(b) Imaginary part of admittance

(c) 오프셋에 따른 공진 길이 변화
(c) Variation of resonant length according to offset

그림 5. 단일 슬롯 등가 모델 특성
Fig. 5. Characteristics of the isolated slot model.

ttance를 나타낸다.

평면형 도파관 슬롯 배열에서 m 번째 branch 도파관의 n 번째 슬롯의 정규화된 active admittance의 Elliott 수식은 다음과 같고, 이 수식을 사용하여 안테나를 설계할 수 있다^{[7]~[9]}.

그림 6. 슬롯 배열의 등가 회로
Fig. 6. Equivalent circuit for the slot array.

$$\frac{Y_{mn}^a}{G_0} = K_1 f_{mn} \frac{V_{mn}^s}{V_m} \quad (3)$$

$$\frac{Y_{mn}^a}{G_0} = \frac{2f_{mn}^2}{\frac{2f_{mn}^2}{Y(S_{mn}, l_{mn})/G_0} + MC_{mn}} \quad (4)$$

여기서, K_1, f_{mn} 및 MC_{mn} 에 대한 수식은 참고문헌^{[7]~[9], [13]}에 자세히 소개되어 있다. V_m 은 m 번째 branch 도파관의 모드 전압, V_{mn}^s 는 mn 번째 슬롯의 전압을 나타낸다.

위와 같이 active admittance는 상호 간섭을 나타내는 MC_{mn} 와 self admittance를 나타내는 Y_{mn}/G_0 로 나뉜다. 배열 설계를 위해서 설계한 개구의 전압가중치의 비가 설계치에 수렴할 때까지 S_{mn}, l_{mn} 을 변화시키는 반복 수행을 통해 위의 두 식을 만족하는 최종적인 각 슬롯의 S_{mn}, l_{mn} 을 구할 수 있다.

2-3 급전도파관 설계

슬롯 배열 방사체를 구성하는 각각의 방사 도파관에 급전하기 위해 본 논문에서는 그림 7과 같이 급전 도파관에 center-inclined 슬롯을 적용하였다^[13]. Center-inclined 슬롯은 직렬 저항 성분으로 모델링이 가능하고, 각각의 방사 도파관에서 복사되는 파워의 총합의 비에 따라 파워가 분배되도록 슬롯의 기울기를 조절하였다.

급전 슬롯 간 상호 간섭 효과는 무시할 정도로 미미하기 때문에 Elliott 기법에서와 같은 tuning 과정은 필요하지 않다. 즉, 기울기 별 결합 전력량과 공진 길이를 데이터베이스화하고, 이를 data fitting한 다항식을 적용하여 각 복사도파관에 공급되어야 하는 전력량을 고려하였다. 이때 도파관의 높이, 두께, 슬롯의 폭은 일정하게 유지하였다.

그림 7. 급전도파관 구조
Fig. 7. Feeding waveguide structure.

2-4 모노 펄스 비교기 설계 및 구조

모노 펄스 비교기는 송신 출력을 4개의 부배열로 균등하게 분배하고, 4개의 부배열에서 유입된 수신 신호를 조합하여 1개의 합 신호와 2개의 차 신호로 변환하는 기능을 수행한다. 이러한 모노 펄스 비교기의 기능을 그림 8에 도식화 하였다. 이와 같은 기능을 수행하기 위한 모노 펄스 비교기를 4개의 magic-T를 사용하여 구현하였다.

설계한 모노 펄스 비교기의 형상은 그림 9와 같으며, 비교기가 차지하는 부피를 줄이기 위해 reduced height 도파관과 single stub 기법을 적용한 4개의 folded magic-T를 적용하였다. 일반적인 magic-T의 경우, 두 개의 입력 단면과 수직으로 차 포트가 배치되어 전체적인 부피가 커지게 된다. 그러나 본 논문에서는 두 개의 입력 단면과 평행한 면에 차 포트를 배치하여 전체적인 부피를 줄였다.

Single stub 기법은 각 magic-T의 합 포트와 차 포트에 각각 inductive window를 배치하여 구현하였고, 전체적인 최적화는 CST MWS를 사용하였다.

그림 8. 모노 펄스 비교기 도식도
Fig. 8. Concept of monopulse comparator.

그림 9. 비교기 구조
Fig. 9. Comparator structure.

III. 제작 및 측정

그림 10은 제작된 안테나를 정면에서 본 형상이다. 그림 2와 같이 방사부, 급전부, 비교기부들을 5개의 레이어별로 제작을 한 후 진공 브레이징(vacuum brazing) 접합 기술을 사용하여 전체 안테나를 제작하였다.

그림 11은 안테나의 각 3개의 채널(합 채널과 2개의 차 채널)에서의 반사 손실을 측정된 결과이다. 합 채널의 경우, 운용 주파수 대역에서 -10 dB 이하로써, 레이더의 큰 송신 출력 채널로 사용하기에 적합하다. 차 채널의 경우, 일부 낮은 주파수 대역에서 -10 dB 이상의 반사 손실을 보이나, 수신 채널로만 동작하기 때문에 시스템에 큰 영향을 주지 않는다.

그림 12와 13은 설계 주파수에서 안테나의 방사 패턴으로써 $\phi=\pm 45^\circ$ 에서의 CST MWS 시뮬레이션

그림 10. 제작된 안테나
Fig. 10. Fabricated antenna.

그림 11. 반사 손실
Fig. 11. Return loss.

그림 12. 안테나 패턴($\phi=45^\circ$)
Fig. 12. Antenna pattern($\phi=45^\circ$).

결과와 측정 결과를 나타내었다. 그림에서 보듯이 시뮬레이션과 측정 결과가 유사한 패턴을 보이고 있으며, 제작에 있어서 오차가 허용치 이내에 있음을 알 수가 있다. 또한, 합 채널의 이득은 32.8 dBi, 3 dB 빔 폭은 3.6도의 측정 결과를 얻었다. 합 채널 패턴의 경우, SLL의 설계치는 -22 dB였으나, 시뮬레이션 및 측정에서는 약 -20 dB의 결과를 얻었다. 높은 SLL은 안테나의 부엽으로 수신되는 클러터나 재밍 신호에 대해 시스템적으로 손실을 가져오게 된다. 그러나 부엽보다 높은 이득과 넓은 빔 폭을 갖는 SLB (Side-lobe Blanking) 안테나를 사용함으로써 이러한 손실을 피할 수 있다.

IV. 결 론

본 논문에서는 Ka-대역 모노 펄스 레이더용 도파

그림 13. 안테나 패턴($\phi=-45^\circ$)
Fig. 13. Antenna pattern($\phi=-45^\circ$).

관 광벽 슬롯 배열 안테나를 설계하였다. 안테나의 이득은 32 dBi, 3 dB 빔 폭은 3.7도, SLL가 -22 dB가 되도록 개구 분포가 Talyor 분포가 되도록 설계하였다. 슬롯 배열은 Elliott 배열 합성 기법을 통하여 설계하였으며, 최종적으로 CST MWS를 통하여 설계를 검증하였다. 또한, 설계한 안테나를 제작 및 측정을 통하여 시뮬레이션 결과를 확인하였으며, 두 결과가 허용 범위에서 일치함을 확인하였다.

참 고 문 헌

- [1] R. C. Johnson, *Antenna Engineering Handbook*, 3rd Edition, McGraw-Hill, 1993.
- [2] K. Sakakibara, J. Hirokawa, and M. Ando, "Single-layer slotted waveguide arrays for millimeter wave applications", *IEICE Trans. Commun.*, vol. E79-B, no. 12, pp.1765-1772, Dec. 1996.
- [3] R. J. Stevenson, "Theory of slots in rectangular waveguides", *J. App. Phys.*, vol. 19, pp. 24-38, 1948.
- [4] A. A. Oliner, "The impedance properties of narrow radiating slots in the broad face of rectangular waveguide, part I and II", *IRE Trans. Antennas Propagat.*, vol. AP-5, pp. 4-20, Jan. 1957.
- [5] H. Y. Yee, "Impedance of a narrow longitudinal shunt slot in a slotted waveguide array", *IEEE Trans. Antennas Propagat.*, vol. AP-22, pp. 589-592, Jul. 1974.
- [6] L. G. Josefsson, "Analysis of longitudinal slots in

- rectangular waveguides", *IEEE Trans. Antennas Propag.*, vol. AP-35, no. 12, Dec. 1987.
- [7] R. J. Stern, R. S. Elliott, "Resonant length of longitudinal slots and validity of circuit representation: theory and experiment", *IEEE Trans. Antennas Propag.*, vol. AP-33, pp. 1264-1271, Nov. 1985.
- [8] R. S. Elliott, L. A. Kurtz, "The design of small slot arrays", *IEEE Trans. Antennas Propag.*, vol. AP-26, no. 2, Mar. 1978.
- [9] R. S. Elliott, "An improved design procedure for small arrays for shunt slots", *IEEE Trans. Antennas Propag.*, vol. AP-31, pp. 48-53, no. 1, Jan. 1983.
- [10] R. V. Gatti, R. Sorrentino, and M. Dionigi, "Fast and accurate analysis of scanning slotted waveguide arrays", *32nd EuMC*, pp. 1-4, Sep. 2002.
- [11] T. T. Taylor, "Design of line-source antennas for narrow beamwidth and low side lobes", *IRE Trans. Antennas Propag.*, vol. AP-3, pp. 16-28, Jan. 1955.
- [12] S. R. Rengarajan, G. M. Shaw, "Accurate characterization of coupling junctions in waveguide-fed planar slot arrays", *IEEE Trans. Microw. Theory Tech.*, vol. 42, no. 12, pp. 2239-2248, Dec. 1994.
- [13] R. A. Bhatti, B. Y. Park, Y. T. Im, and S. O. Park, "Design of a planar slotted waveguide array antenna for X-band radar applications", *JKIEES*, vol. 11, no. 2, pp. 97-104, Jun. 2011.
- [14] R. S. Elliott, *Antenna Theory and Design*, Prentice-Hall, 1981.

박 정 용

2007년 2월: 충남대학교 전기정보
통신공학부 (공학사)
2009년 2월: 충남대학교 전파공학과 (공학석사)
2009년 1월~현재: 삼성탈레스 레이
더연구소 선임연구원
[주 관심분야] 안테나, 레이더시스
템

이 재 호

2002년 2월: 경북대학교 전자전기
공학부 (공학사)
2004년 2월: 한국과학기술원 전자
전산학과 (전기 및 전자공학전공)
(공학석사)
2004년 4월~2005년 7월: 정보통신
연구진흥원(IITA) 연구원
2010년 9월: 일본 Tokyo Institute of Technology 전기전자공
학 전공 (공학박사)
2010년 10월~현재: 삼성탈레스 레이더연구소 전문연구원
[주 관심분야] 도파관 슬롯 안테나, 전자파 수치 해석