De-Embedding 기술을 이용한 IC 내부의 전원분배망 추출에 관한 연구

Novel Extraction Method for Unknown Chip PDN Using De-Embedding Technique

김종민 · 이인우* · 김성준 · 김소영 · 나완수

Jongmin Kim · In-Woo Lee* · Sungjun Kim · So-Young Kim · Wansoo Nah

요 약

IC 내부의 전원분배망(PDN: Power Delivery Network) 회로를 분석하기 위해서는 IC의 디자인 정보가 담긴 파일이 필요하지만, 상용 IC(Commercial IC)의 경우 보안상의 이유로 디자인 정보를 제공하지 않고 있다. 하지만 온-칩 전원분배망(On-chip PDN) 특성이 포함된 경우에는 PCB와 패키지의 특성만으로는 정확한 해석이 어려우므로 본 연구에서는 IC 내부의 정보가 제공하지 않는 전원분배망(PDN) 회로의 추출에 관하여 연구를 하였다. IC 내부의 전원분배망(PDN)의 주파수에 대한 특성을 추출하기 위하여, IEC62014-3에서 제안하고 있는 추출용 보드를 제작하였고, 추출용 보드를 구성하고 있는 SMA 커넥터, 패드, 전송 선로, 그리고 QFN 패키지의 주파수에 대한 특성들을 분석하였다. 추출된 결과들은 디임베딩(de-embedding) 기술에 적용하여 IC 내부의 전원분배망(PDN) 회로를 S-parameter 기반으로 모델을 추출하였고, 평가용 보드의 전원분배망 결합회로(PDN Co-simulation) 모델에 적용하여 측정과 비교한 결과, ~4 GHz까지 잘 일치하였다.

Abstract

GDS format files, as well as layout of the chip are noticeably needed so as to analyze the PDN (Power Delivery Network) inside of IC; however, commercial IC in the market has not supported design information which is layout of IC. Within this, in terms of IC having on-chip PDN, characteristic of inside PDN of the chip is a core parameter to predict generated noise from power/ground planes. Consequently, there is a need to scrutinize extraction method for unknown PDN of the chip in this paper. To extract PDN of the chip without IC circuit information, the de-embedding test vehicle is fabricated based on IEC62014-3. Further more, the extracted inside PDN of chip from de-embedding technique adopts the Co-simulation model which composes PCB, QFN (Quad-FlatNo-leads) Package, and Chip for the PDN, applied Co-simulation model well corresponds with impedance from measured S-parameters up to 4 GHz at common measured and simulated points.

Key words : Power Delivery Network, Power Integrity, Debye Model, TLM, Coupled Noise

I. 서 론

최근, 고속 디지털 시스템의 클럭(clock)과 데이터(data)의 주파수와 IC의 집적도가 증가함으로써 PCB

성균관대학교 정보통신공학과(School of Information and Communication Engineering, Sungkyunkwan University)

*삼성전자(Samsung Electronics)

· Manuscript received March 11, 2013 ; Revised May 7, 2013 ; Accepted May 13, 2013. (ID No. 20130311-036)

· Corresponding Author : Wansoo Nah (e-mail : wsnah@skku.edu)

(Printed Circuit Board), SIP(System In Package), 그리고 IC의 전원분배망(PDN: Power Delivery Network)에서 발생하는 스위칭 노이즈(SSN: Simultaneous Switching Noise)가 시스템을 설계에서 중요한 문제로 인식되고 있다^[1]. 스위칭 노이즈(SSN)의 경우 IC가 동작할 때 전원분배망(PDN)을 구성하고 있는 PCB와 IC 패키지, 그리고 IC의 기생 성분(parasitic components)에 의해서 발생하므로, 고속 모바일 시스템의 전원분배망(PDN) 설계 시 중요한 요소로서 고려해야 한다^{[1]~[3]}. 이러한 이유로, 고속 모바일 시스템의 최적화를 위해서는 스위칭 노이즈(SSN)를 최소화하기 위한 대책이 필요하고, 이를 수행하기 위해서는 전원분배망(PDN)의 임피던스 특성에 대하여 정확하게 예측할 수 있는 모델이 필요하다. 전원분배망(PDN)의 임피던스를 예측하는 3가지 방법으로 전송선로를 이용한 TLM(Transmission Line Method)^{[1],[4],[5]} 방법과 cavity 모드 공진을 이용하여 임피던스를 계산^{[6],[7]}하는 방법, 그리고 full-wave 시뮬레이션 툴^{[1],[5],[7],[11]}을 이용하여 임피던스를 예측하고 있다. 기존의 연구에서는 오직 PCB와 패키지만을 이용하여 임피던스 예측을 하였는데, 시스템의 고속화에 따른 on-chip 전원분배망(PDN)의 주파수에 대한 특성이 중요한 요소로 작용하면서 IC 내부의 특성을 고려해야 한다. 참고논문 [8]와 [9]에서는 IC 내부의 디자인 정보를 이용하여 전원분배망(PDN) 모델을 추출하였고, PCB와 IC 패키지 모델에 적용하여 IC 내부 특성이 포함된 전원분배망(PDN)의 임피던스 특성을 분석하였다. 하지만 IC의 내부 정보의 경우, 보안상의 이유로 대부분 제공하지 않으므로 PCB 설계자들은 전원분배망(PDN)의 임피던스를 정확하게 예측하기 어렵다.

그러므로 본 논문에서는 상용 IC와 같이 IC 내부의 특성을 알 수 없는 IC의 전원분배망(PDN) 회로의 임피던스를 추출하는 방법에 대하여 제안하였다. 추출에 사용된 IC의 경우, National Semiconductor에서 제작한 DS25MB200 IC의 전원분배망(PDN) 특성을 추출하였다. IC 내부의 전원분배망(PDN) 추출을 위하여, IEC62014-3에서 권고하고 있는 방법을 참고하여^[10] 전원/접지(power/ground) 핀의 방향성이 고려된 형태로 추출용 보드를 제작하였다. 제작된 추출용 보드를 구성하고 있는 SMA(SubMiniature version A)

커넥터 및 패드(pad), 전송 선로(transmission line), 그리고 QFN 패키지(Quad-Flat-No-leads package)에 대하여 주파수 특성에 대한 모델을 구축한 후에 디임베딩(de-embedding) 기술을 이용하여, IC 내부의 전원분배망(PDN) 임피던스 특성을 추출하였다^{[14],[15]}. 추출된 IC의 전원분배망(PDN)의 임피던스 특성을 검증하기 위하여, 평가용 보드를 제작하여 IC, QFN 패키지, 그리고 PCB의 특성이 반영되는 전원분배망 결합(co-simulation PDN) 모델을 구성하여 추출된 IC의 전원분배망(PDN) 모델을 측정 결과와 비교하여 검증하였고, 측정 결과와 ~4 GHz까지 잘 일치하고 있는 것을 확인할 수 있다.

II. De-embedding 기술을 이용한 IC 내부 임피던스 추출

DS25MB200 IC에서의 On-chip 전원분배망(PDN)에 의한 영향을 확인하기 위하여, IC가 실장된 PCB와 IC가 실장되지 않은 PCB의 전원/접지(power/ground) 패드 부분을 VNA(Vector Network Analyzer)를 이용하여 S-parameter를 측정하였고, 측정된 결과를 그림 1과 같이 Z-parameter로 변환하였다^[3]. 그림 1에서 볼 수 있듯이, 전원/접지(power/ground) 패드에서 측정된 임피던스는 IC가 실장된 상태와 실장되지 않은 상태에서 주파수에 대하여 상당히 다른 임피던스 특성을 보이고 있다. 그림 1을 통해서 확인할 수 있는 것은 기존의 PCB만 고려한 임피던스로는 정확한 예측이 불가능하다는 것을 의미하고 있으며, 스위칭 노이즈(SSN)를 예측하기 위해서는 IC 내부의 전원

그림 1. IC의 실장에 따른 임피던스 특성 비교
Fig. 1. Comparison between with- and without IC for the self impedance.

그림 2. 추출용 보드의 구성도

Fig. 2. Block diagram of proposed PCB(de-embedding B/d) to extract the Chip's PDN.

분배망(PDN) 특성을 고려해야 한다^[8].

하지만 DS25MB200 IC의 경우, 참고논문 [8]에서와 같이 직접 제작한 IC가 아닌 범용으로 사용되고 있는 IC이므로 내부의 전원분배망(PDN) 특성은 IC 제작 업체에서 보안상의 이유로 제공하고 있지 않다.

이러한 이유로 본 연구에서는 IEC62014-3에서 권고하는 방법을 근거를 바탕으로, 전원/접지(power/ground) 핀을 기준으로 IC 내부의 전원분배망(PDN) 특성을 추출할 수 있는 그림 2의 구성으로 추출용 보드를 그림 3과 같이 제작하였다.

IEC62014-3에서는 S-parameters를 측정하기 위하여 SMA 커넥터로 실장된 IC의 전원(power) 핀을 최대한 짧은 거리에서 연결하고, 접지(ground) 핀은 PCB의 접지면(ground plane)으로 연결하는 구조로 PCB 보드를 제작하도록 권고하고 있다^[10].

하지만 본 연구에서 제안하고 있는 추출용 보드의 경우, IC의 전원/접지(power/ground) 각각의 핀들에 대하여 분포된 모델(distributed model)을 추출할 수 있도록 IEC62014-3을 보완해서 제작하였다. 각각의 전원(power) 핀과 접지(ground) 핀들을 연결하는 전송 선로는 IC 패드의 사이즈인 0.2 mm로 설계되었는데, PCB의 두께를 조절해서 약 52 Ω의 특성 임피던스 특성을 가지는 전송 선로로 설계하여 IC 패드에 의한 손실을 최소화하여 설계하였다. 또한, PCB에서의 상호 간섭을 최소화하기 위하여 인근선인 3포트 S-parameter를 full-wave 시뮬레이션인 Ansys사의 SIwave를 이용하여 다중 포트(multi-ports) S-parameter 특성 여부를 확인하면서 사이즈를 증가하여, PCB에서 2포트 특성이 보이는 15 cm×15 cm 크기로 제작해서 칩 내부에만 커플링이 발생하도록 설계하고 제작하였다.

하지만 PCB의 사이즈를 크게 제작함으로써 전송 선로의 간섭(crosstalk) 관심 있는 주파수 내에서는

(a) PCB 적층 구조

(a) Stack-up for PCB

(b) 제작된 test vehicle의 사진

(b) Fabricated the test vehicle

그림 3. IC 내부 PDN 특성 추출을 위한 추출용 보드의 적층 구조 및 PCB

Fig. 3. Design and fabrication of proposed test vehicle to extract the PDN of IC.

제거할 수 있었지만, PCB의 크기가 커진 만큼 전송 선로의 길이 또한 길어지기 때문에, 고주파에 대한 불필요한 성분들도 큰 영향을 받으므로 이들 영향들을 디임베딩(de-embedding) 기술을 이용하여 제거해야 한다^{[14],[15]}. 그러므로 추출용 보드를 구성하고 있는 SMA 커넥터, 패드, 전송 선로, 그리고 패키지에 대한 고주파 특성을 추출하는 것이 필요하다. 구성품들(SMA 커넥터, 패드, 전송 선로, 패키지)의 고주파 특성을 추출하기 전에 시뮬레이션 모델의 검증이 필요하기 때문에 프로브 팁(on-wafer probe tip)을 이용하여 S-parameter를 측정하였고, 그림 4와 같이 시뮬레이션 모델을 측정과 같은 포트 구성하여 그림 5와 같이 시뮬레이션과 측정을 비교하여 신뢰성을 검증하였다. 이때 측정에 사용된 프로브 팁은 신호선(Signal)과 접지(ground) 사이가 500 μm 피치를 가지고 있는 Cascade Microtech사의 ACP40-A-SG-500

그림 4. Full-wave 시뮬레이션 모델과 PCB

Fig. 4. Configuration of correlation PCB to compare between measurement and simulation.

프로브 팁을 사용하였고, 측정 시 신뢰성을 확보하기 위하여 SOLT(Short-Open-Load-Thru) 방법을 이용하여 교정(calibration) 후에 S -parameter를 측정하였다. 또한, 시뮬레이션은 PCB 디자인 파일을 기반으로 모델을 구성할 수 있는 Ansys사의 Siwave를 이용하였다.

그림 5에서 볼 수 있듯이 CAD 기반으로 해석하는 Siwave의 경우, 6 GHz까지 잘 일치하고 있는 것을 확인할 수 있으며, 이들 결과에 의해서 시뮬레이션 모델의 신뢰성을 검증하였다. 시뮬레이션 모델의 검증 후에는 각 구성품(SMA 커넥터, 패드, 전송 선로, 패키지)에 대한 고주파 특성을 추출하였는데, 전송 선로와 패드의 경우 2.5D 해석 툴인 Siwave를 사용해서 해석하였으며, SMA 커넥터의 경우 3D 좌표에 대한 특성을 고려해야 하므로, Ansys사의 HFSS (High Frequency Structure Simulation)를 사용하여 해석하였다. 해석된 각 구성품의 주파수에 대한 특성은 그림 6에서 나타내고 있다.

그림 6의 경우, 추출용 보드의 구성품 중에서 QFN 패키지를 제외한 나머지 구성품(SMA 커넥터,

그림 5. 측정과 시뮬레이션 모델의 비교

Fig. 5. Correlation between measurement and simulation for the correlation PCB.

그림 6. SMA 커넥터, 패드, 전송선의 특성 추출

Fig. 6. Extracted S -parameter for the SMA connector, pad, and transmission line.

패드, 전송 선로)에 대한 고주파 특성을 추출한 것이며, QFN 패키지에 대한 특성을 추출하기 위하여 그림 7와 같이 패키지를 몰딩을 제거한 후에 내부 Die 사이즈를 확인하고, HFSS를 이용하여 모델링한 후에 고주파 특성을 추출하였다.

QFN 패키지의 물성 특성은 표 1의 물성 정보를 이용하여 해석을 하였으며, 본딩 와이어의 길이는 식 (1)을 이용하여 계산하였다. 이때 본딩 와이어의 형태는 JEDEC-4에서 제안하고 있는 형태로 모델을 구성하였다.

$$\theta_{max} = \tan^{-1} \frac{y}{x}$$

표 1. QFN 패키지의 물성 정보

Table 1. Material of QFN package.

Dielectric	Material	Permittivity
Die	Silicon	11.9
Die attach	Epoxy	3.6
Conductor	Material	Conductivity
Wire	Gold	4.1e7
Lead frame	Copper	5.8e7
Reference plane

(a) QFN 패키지 사이즈

(a) Size of the QFN package

(b) HFSS를 이용한 QFN 패키지 모델

(b) Modelinf of the QFN package using HFSS

그림 7. QFN 패키지의 시뮬레이션 모델

Fig. 7. Modeling of the QFN package to extract S-parameters.

$$\ell_{\max} = \frac{x}{\cos\theta_{\max}} = \frac{y}{\sin\theta_{\max}} \quad (1)$$

식 (1)을 이용해서 위쪽 전원(power) 핀은 2.69 mm, 접지(ground) 핀은 2.11 mm, 그리고 아래쪽 전원(power) 핀은 2.0 mm로 본딩 와이어의 길이를 계산해서 모델을 구성하였고, HFSS로 계산된 S-parameter의 결

그림 8. QFN 패키지의 길이에 따른 S₂₁

Fig. 8. Characteristic of the S-parameter for QFN package.

그림 9. Test vehicle의 해석 구간에 대한 정의

Fig. 9. Definition of the calculated section for the co-simulation of test vehicle.

과가 그림 8에서 보여지고 있다. 그림 8에서 볼 수 있듯이 길이가 긴 와이어의 경우 고주파에 대한 전달 특성이 저하된다는 것을 확인할 수 있으며, 길이에 대한 특성이 다르므로 해당 핀에 따른 QFN 패키지 모델을 반영해서 해석을 하였다.

제안된 추출용 보드의 구성품들인 SMA 커넥터, 패드, 전송선, 그리고 QFN 패키지의 S-parameter 정보를 포함하고 있는 touch stone 파일을 기반으로 circuit 시뮬레이터인 Agilent사의 ADS(Advanced Design System)을 이용하여 그림 9와 같이 결합(co-simulation) 모델을 구성하였고, 전달 파라미터(T-parameter or ABCD-parameter)로 변환해서 전체 특성에 대한 고주파 해석을 하였다. 전체 특성을 해석한 후에는 다시 S-parameter로 변환해서 추출용 보드의 구성품에 대한 고주파 전달 특성을 그림 10에 보여주

그림 10. 각 해석 구간별 S-parameter 특성
Fig. 10. Comparison with S-parameters for section from A to D.

고 있다. 그림 10에서 확인할 수 있듯이 추출용 보드를 구성하고 있는 구성품 중에서 전송 선로와 QFN 패키지가 가장 큰 영향을 미치고 있으며, IC 내부의 전원분배망(PDN)을 디임베딩(de-embedding) 기술을 이용하여 추출할 때, 해당 전원/접지(power/ground) 핀에 대하여 정확하게 추출해야 한다. 이러한 이유로, 본 논문에서 사용되고 있는 DS25MB200 IC의 전원분배망(PDN)의 특성을 추출하기 위해서 추출용 보드의 8개의 전원(power) 핀과 4개의 접지(ground) 핀으로 구성된 12×12 멀티포트 S-parameters가 필요하다는 것을 알 수 있다. 하지만 12×12 멀티포트 VNA는 현실적으로 불가능하다.

이러한 이유로 각 면당 2개의 전원(power) 핀과 1

그림 11. 제안된 추출용 보드의 S-parameter 측정
Fig. 11. Measurement for the proposed test vehicle.

그림 12. 제안된 추출용 보드의 전체 구성도
Fig. 12. Block diagram of the proposed test vehicle.

개의 접지(ground) 핀이 대칭적으로 존재하는 핀 구조에 근거하여 그림 11과 같이 3×3 멀티포트 VNA로 각 면에 대하여 측정을 하고, 나머지 포트에 대하여 50옴으로 매칭을 시켜 S-parameter를 측정하였다. 그림 11에서 측정된 S-parameter는 그림 12와 같이 Block diagram으로 표현하였고, Test vehicle의 An과 Bn의 방향에 따른 전달 특성을 식 (2)와 같이 표현하였다^{[14],[15]}.

$$\begin{aligned} [A] &= \begin{bmatrix} T_{11_SMA} & T_{12_SMA} \\ T_{21_SMA} & T_{22_SMA} \end{bmatrix} \begin{bmatrix} 1 & 0 \\ Y_{SMA_pad_open} & 1 \end{bmatrix} \begin{bmatrix} T_{11_TL} & T_{12_TL} \\ T_{21_TL} & T_{22_TL} \end{bmatrix} \begin{bmatrix} T_{11_PKG} & T_{12_PKG} \\ T_{21_PKG} & T_{22_PKG} \end{bmatrix} \\ [B] &= \begin{bmatrix} T_{11_PKG} & T_{12_PKG} \\ T_{21_PKG} & T_{22_PKG} \end{bmatrix} \begin{bmatrix} T_{11_TL} & T_{12_TL} \\ T_{21_TL} & T_{22_TL} \end{bmatrix} \begin{bmatrix} 1 & 0 \\ Y_{SMA_pad_open} & 1 \end{bmatrix} \begin{bmatrix} T_{11_SMA} & T_{12_SMA} \\ T_{21_SMA} & T_{22_SMA} \end{bmatrix} \end{aligned} \quad (2)$$

$$\begin{bmatrix} S_{11} & S_{12} & S_{13} \\ S_{21} & S_{22} & S_{23} \\ S_{31} & S_{32} & S_{33} \end{bmatrix}_{PCB} \rightarrow \begin{bmatrix} S'_{11} & S'_{12} & S'_{13} \\ S'_{21} & S'_{22} & S'_{23} \\ S'_{31} & S'_{32} & S'_{33} \end{bmatrix}_{Chip} \quad (3)$$

식 (2)의 경우, 2포트 전달 파라미터를 표현하고 있는 반면에, 그림 11의 경우 3×3 멀티포트 측정된 결과이므로 식 (3)과 같이 IC의 전원분배망(PDN)에 대한 특성을 추출하기 위해서는 3×3 행렬(Matrix)을 2×2 행렬로 변환을 해야 한다. 3×3 행렬에서 해당하는 2포트 구성을 3개로 분리하였고, 각각의 2포트 측정 결과들을 전달 파라미터로 변환한 후에 식 (4)와 같이 방향을 고려해서 An과 Bn에 대하여 역행렬(inverse matrix) 연산을 이용해서^[14] IC의 전원분배망(PDN)의 전달 파라미터를 추출하였다.

$$\begin{aligned} \begin{bmatrix} T'_{11} & T'_{12} \\ T'_{21} & T'_{22} \end{bmatrix}_{Chip} &= \begin{bmatrix} T_{11} & T_{12} \\ T_{21} & T_{22} \end{bmatrix}_{AN_Vcc1}^{-1} \times \begin{bmatrix} T_{11} & T_{12} \\ T_{21} & T_{22} \end{bmatrix}_{PCB} \times \begin{bmatrix} T_{11} & T_{12} \\ T_{21} & T_{22} \end{bmatrix}_{BN_Gnd}^{-1} \\ \begin{bmatrix} T'_{11} & T'_{13} \\ T'_{31} & T'_{33} \end{bmatrix}_{Chip} &= \begin{bmatrix} T_{11} & T_{13} \\ T_{31} & T_{33} \end{bmatrix}_{AN_Vcc1}^{-1} \times \begin{bmatrix} T_{11} & T_{13} \\ T_{31} & T_{33} \end{bmatrix}_{PCB} \times \begin{bmatrix} T_{11} & T_{13} \\ T_{31} & T_{33} \end{bmatrix}_{BN_Vcc2}^{-1} \\ \begin{bmatrix} T'_{22} & T'_{23} \\ T'_{32} & T'_{33} \end{bmatrix}_{Chip} &= \begin{bmatrix} T_{22} & T_{23} \\ T_{32} & T_{33} \end{bmatrix}_{AN_Gnd}^{-1} \times \begin{bmatrix} T_{22} & T_{23} \\ T_{32} & T_{33} \end{bmatrix}_{PCB} \times \begin{bmatrix} T_{22} & T_{23} \\ T_{32} & T_{33} \end{bmatrix}_{BN_Vcc2}^{-1} \end{aligned} \quad (4)$$

(a) 3×3 IC 내부 PDN 구조

(a) Configuration of 3×3 IC PDN inside

(b) 간략화된 IC 내부 PDN 구조

(b) Simple model for IC PDN inside

그림 13. IC 내부의 PDN 구조도

Fig. 13. Block diagram of the chip's PDN from power to ground.

그림 14. IC 내부의 임피던스 특성

Fig. 14. Extracted PDN of chip from power to ground.

IC 전원분배망(PDN)의 전달 파라미터를 추출한 후에는 S-parameter로 변환하였고, 식 (3)과 같이 3포트로 재구성해서 IC 전원분배망(PDN)에 대한 고주파 특성을 추출하였다.

추출된 3×3 S-parameter는 그림 13과 같이 간략하게 도식화 할 수 있으며, IC 전원분배망(PDN)의 전원(power)에서 접지(ground)까지의 고주파에 대한 임피던스 특성은 식 (5)를 이용해서 표현할 수 있다^[11]. 식 (5)를 이용하여 IC 전원분배망(PDN)의 전압(power)에서 접지(ground)까지의 주파수에 대한 임피던스 특성을 그림 14에서 보여주고 있다.

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \cdot \begin{bmatrix} V_2 \\ I_2 \end{bmatrix} \rightarrow \begin{cases} V_1 = AV_2 + BI_2 \\ I_1 = CV_2 + DI_2 \end{cases}$$

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 & Z \\ 0 & 1 \end{bmatrix} \text{ here, } Z=B=Z_0 \frac{(1+S_{11})(1+S_{22})-S_{12}S_{21}}{2S_{21}} \quad (5)$$

III. 평가용 보드를 이용한 결함(Co-Simulation) 모델의 적용과 측정 비교

2장에서는 IC 내부 정보가 없는 상태에서 추출용 보드를 제작하고, 구성하고 있는 SMA 커넥터, 패드, 전송 선로, 그리고 QFN 패키지를 주파수에 대하여 모델화 한 후에 디임베딩(de-embedding) 기술을 이용해서 IC 내부의 전원분배망(PDN)을 추출하였다. 본 장에서는 추출된 IC 내부의 전원분배망(PDN) 모델을 검증하기 위한 평가용 보드(evaluation vehicle)를 제작하고, 이들을 구성하고 있는 PCB, QFN 패키지, 그리고 IC 전원분배망(PDN)의 결함(co-simulation) 모델에 적용해서 추출된 IC 전원분배망(PDN) 모델의 유용성을 검증하였다.

검증에 이용한 평가용 보드의 경우, 추출용 보드와 같은 4층 기판으로 구성하였고, 차동 신호(differential) 전송선의 특성 임피던스를 Polar SI9000을 이용하여 계산하였다. Polar SI9000을 이용해서 1개의 전송선에 대해서 52 Ω으로 디자인을 한 후에 2개의 전송선의 간격만을 조정하여 103 Ω으로 특성 임피던스를 설계하여, 그림 15와 같이 평가용 보드를 제작하였다. 평가용 보드의 전체 크기는 1,500 mm×1,500 mm의 크기로 제작되었으며, 사용된 기판의 유전체는 1 GHz에서 유전율이 4.5, 손실율이 0.02인 FR4 유전체를 사용하였다. 제작된 평가용 보드는 차동 신호(differential)의 송신 부분과 수신 부분, 기능 스위치, coupling/de-coupling 커패시터, SMA 커넥터, 그리고 IC로 공급하기 위한 정전압 보드 등 6가지로 구성되어 있다. 그림 15(a)에서 볼 수 있듯이 차동 신호(differential) 송신과 수신 부분은 평가용 보드의 맨 윗층(top layer)에 구성되어 있고, 나머지 부품들은 아래층(bottom layer)에 배치하여 차동 신호(differential) 전송 선로에 대해서 부품에 의한 간섭들을(sub-effects) 최소화할 수 있도록 제작하였다. 제작된 평가용 보드의 PCB, QFN 패키지, 그리고 2장에서

(a) 평가용 보드의 위에서 바라본 사진
(a) Top view for the evaluation vehicle

(b) 평가용 보드의 아래에서 바라본 사진
(b) Bottom view for the evaluation vehicle

그림 15. 제작된 평가용 보드
Fig. 15. Fabricated evaluation vehicle.

추출된 IC 내부의 전원분배망(PDN) 특성을 사용하여 그림 16과 같이 구성하였다. 그림 16(a)의 주황색 박스의 경우 PCB에 대하여 Touch stone 파일을 사용하여 12개의 포트를 가지는 모델로 구성을 하였는데, 각 포트에 대한 정의는 크게 4가지로 구분하여 정의하였다. 첫 번째 구분으로는 IC로 연결되는 부분을 PK(Point of vcc to pacKage)로 정의하였는데, 해당 핀들은 포트 구성하여 IC 패키지에서 IC 내부로 연결되는 8개의 전원(power) 핀을 정의하였다. 두 번째는 모델의 검증을 위한 2개의 전원/접지(power/ground) 패드를 PM(Point to Measurement)로 정의하였다. IC의 QFN 패키지의 경우, 내부의 접지면

(a) 평가용 보드의 결합(co-simulation) 모델
(a) Co-simulation model for the evaluation vehicle

(b) 평가용 보드의 block diagram
(b) Block diagram of the evaluation vehicle

그림 16. 평가용 보드의 co-simulation 모델
Fig. 16. Co-simulation model of the evaluation vehicle for the PDN.

그림 17. 평가용 보드의 PM에서의 임피던스
Fig. 17. Comparison with PDN impedance at PM.

(ground plane)을 통해서 PCB의 접지(ground)와 직접 연결되도록 구성되어 있으므로, 세 번째로 IC의 접지(ground) 핀을 PCB로 연결할 수 있는 부분, 마지막으로 전원이 공급되는 부분을 PS(Point to Supply voltage)로 구성하였다. PCB에 대한 모델의 정의 후에

는 분홍색 박스와 같이 PK에 연결되는 각 Vcc 부분들을 해당 핀들에 적용되는 QFN 패키지 모델에 연결을 하였다.

또한, QFN 패키지와 2장에서 추출된 IC 전원분배망(PDN) 모델을 연결하는 부분을 PC(Point to IC)라고 정의하고, 추출된 IC 전원분배망(PDN)을 연결해서 그림 16과 같이 PCB, QFN 패키지, 그리고 IC 전원분배망(PDN)이 고려한 결합(co-simulation) 모델을 구성하였다. 구성된 모델을 그림 16(b)와 같이 간략하게 도식화 하였고, 그 포트에 대하여 다시 정리를 하면 PM의 경우 PCB에서 검증하기 위한 측정 지점을 의미하고, PK는 PCB와 QFN 패키지가 연결되는 부분, 그리고 PC는 QFN 패키지를 통해 IC 전원분배망(PDN)으로 연결되는 부분을 나타내고 있다.

추출된 모델의 신뢰성을 검증하기 위하여 IC가 PCB에 실장된 상태와 IC가 실장되지 않은 상태, 그리고 그림 16에서 구성된 결합(co-simulation) 모델에서 해석된 전원분배망(PDN)의 주파수에 대한 임피던스 특성을 그림 17에서 비교하였다. 그림 17에서 붉은색 선의 경우, 그림 16의 결합(co-simulation) 모델에서 추출된 임피던스 특성이고, 파란색의 경우 IC가 실장된 상태에서의 임피던스, 그리고 초록색의 경우 IC가 없는 PCB만을 측정한 임피던스 특성을 보여주고 있다. 그림 17에서 확인할 수 있듯이, IC 내부의 전원분배망(PDN)의 특성으로 인해서 PCB만 구성된 임피던스 특성과 IC가 실장된 결과가 상당히 다르다는 것을 확인할 수 있지만, 본 논문에서 추출된 IC 전원분배망(PDN)이 적용된 모델의 경우, IC가 실장된 측정 결과와 ~4 GHz까지 잘 일치하고 있는 것을 확인할 수 있으며, 이들 결과를 통해서 추출된 IC 전원분배망(PDN) 모델의 신뢰성을 검증하였다.

IV. 결 론

본 논문에서는 보안상의 이유로 IC의 내부가 제공되지 않는 상용 IC에 대한 전원분배망(PDN) 특성을 추출하는 방법에 대하여 제안하였다. IC의 전원/접지(power/ground) 포트가 PCB 상에서 분포된 경우, 기존의 IEC62014-3에서 제시된 방법에서 개선된 추출용 보드를 제안하였고, 구성하고 있는 SMA 커넥터, 패드, 전송 선로의 고주파에 대한 특성의 추출뿐

만 아니라, QFN 패키지의 물성과 구조에 대한 정보를 이용하여 해석한 후에 추출용 보드의 전체 모델을 구성하였다. 모델의 구성 후에는 디임베딩(de-embedding) 기술로 불필요한 구성품들에 대한 주파수 특성들을 제거하여 IC 내부의 전원분배망(PDN)을 추출하였다. 추출된 IC 내부의 전원분배망(PDN) 모델은 제작된 평가용 보드의 결합(Co-simulation) 모델에 적용하여 추출된 IC의 전원분배망(PDN) 모델에 대한 신뢰성을 검증하였다.

본 논문에서 제안하고 있는 IC의 내부 정보가 없는 상태에서 전원분배망(PDN)을 추출하는 방법은 보안이 유지된 상태에서 PCB나 패키지 설계자에게 IC의 전원분배망(PDN) 회로에 대한 정보를 S-parameter 형태로 제공할 수 있으며, 특히 고속 신호로 동작하는 IC의 전원 노이즈에 대해서 예측할 수 있는 모델로 활용할 수 있다.

References

- [1] J. Choi, S. H. Min, J. H. Kim, and M. Swaminathan, "Modeling and analysis of power distribution networks for gigabit application", *IEEE Trans. Mobile Computing*, vol. 2, no. 4, pp. 299-312, Oct. 2003.
- [2] M. S. Gupta, J. L. Oatley, R. Joseph, G. Y. Wei, and D. M. Brooks, "Understanding voltage variations in chip multiprocessors using a distributed power-delivery network", *Proceeding of the Conference on Design, Automation and Test in Europe*, pp. 624-629, 2007.
- [3] M. Swaminathan, A. E. Engin, *Power Integrity Modeling and Design for Semiconductors and Systems*, Prentice Hall, 2008.
- [4] J. H. Kim, M. Swaminathan, "Modeling of irregular shaped power distribution planes using transmission matrix method", *IEEE Trans. Advanced Packaging*, vol. 24, no. 3, Aug. 2001.
- [5] J. Kim, K. J. Song, J. Yoo, and W. Nah, "Analysis of coupled simultaneous switching noise induced from power delivery network in adjacent switching circuit", *IEEE Electronics Packaging Technology*

- Conf.*, pp. 968-972, Dec. 2009.
- [6] N. Na, M. Swaminathan, "Modeling and simulation of planes in electronic packages for GHz systems", *IEEE 8th Topical Meeting on Electrical Performance of Electronic Packaging*, pp. 149-152, Oct. 1999.
- [7] S. Chun, M. Swaminathan, L. D. Smith, J. Srinivasan, Z. Jin, and M. K. Lyer, "Modeling of simultaneous switching noise in high speed systems", *IEEE Trans. Advanced Packaging*, vol. 24, no. 2, pp. 132-142, May 2001.
- [8] J. Kim, W. Lee, Y. Shim, J. Shim, K. Kim, J. S. Pak, and J. Kim, "Chip-package hierarchical power distribution network modeling and analysis based on a segmentation method", *IEEE Trans. Advanced Packaging*, vol. 33, no. 3, pp. 647-659, Aug. 2010.
- [9] W. Cheng, A. Sarkar, S. Lin, and J. Zheng, "Worst case switching pattern for core noise analysis", *DesignCon*, 2009.
- [10] IEC62014-3 : EMC for Component-Part 3: Integrated Circuits Electrical Model (ICEM).
- [11] H. H. Park, S. H. Song, S. T. Han, T. S. Jang, J. H. Jung, and H. B. Park, "Estimation of power switching current by chip-package-PCB cosimulation", *IEEE Trans. Electromagnetic Compatibility*, vol. 52, no. 2, pp. 311-319, May 2010.
- [12] T. Steinecke, H. Koehne, and M. Schmidt, "Behavioral EMI models of complex digital VLSI circuits", *Microelectronics Journal*, no. 35, pp. 547-555, 2004.
- [13] J. L. Levant, M. Ramdani, R. Perdriau, and M. Drissi, "EMC assessment at chip and PCB level: use of the ICEM model for jitter analysis in an integrated PLL", *IEEE Trans. Electromagnetic Compatibility*, vol. 49, no. 1, pp. 182-191, Feb. 2007.
- [14] C. H. Chen, M. J. Deen, "A general noise and S-parameter deembedding procedure for on-wafer high-frequency noise measurements of MOSFETs", *IEEE Trans. Microwave Theory and Techniques*, vol. 49, no. 5, pp. 1004-1005, May 2001.
- [15] M. H. Cho, G. W. Huang, Y. H. Wang, and L. K. Wu, "A scalable noise de-embedding technique for on-wafer microwave device characterization", *IEEE Microwave and Wireless Components Letters*, vol. 15, no. 10, pp. 649-651, Oct. 2005.
- [16] F. Guo, M. Frankovich, "On-die decoupling capacitor measurement using vector network analyzer", *IEEE Electrical Performance of Electronic Packaging Conf.*, pp. 25-28, Oct. 2006.
- [17] I. S. Stievano, I. A. Maio, L. Rigazio, F. G. Canavero, R. Izzi, A. Girardi, T. Lessio, A. Conci, T. Cunha, H. Teixeira, and J. C. Pedro, "Characterization and modeling of the power delivery networks of memory chips", *IEEE Signal Propagation on Interconnects Conf.*, pp. 1-4, May 2009.

김 중 민

2006년 2월: 동의대학교 정보통신공학부 (공학사)
 2008년 2월: 성균관대학교 정보통신공학부 (공학석사)
 2008년 3월~현재: 성균관대학교 정보통신공학부 박사과정

[주 관심분야] Co-simulation Modeling for Power/Signal Integrity, Extraction Method for Equivalent Circuit Parameters

이 인 우

1998년 2월: 금오공과대학교 전자제어공학과 (공학사)
 2003년 2월~2009년 12월: 삼성전자 VSS사업팀 책임연구원
 2008년 3월~현재: 성균관대학교 정보통신공학부 석사과정
 2010년 1월~현재: 삼성테크윈 SS

사업부 책임연구원
 [주 관심분야] SI, PI, EMI/EMC

김 성 준

2012년 2월: 충주대학교 전기공학과 (공학사)
2012년 9월~현재: 성균관대학교 정보통신공학부 석사과정
[주 관심분야] SI, PI, EMI/EMC

나 완 수

1884년 2월: 서울대학교 전기공학과 (공학사)
1986년 2월: 서울대학교 전기공학과 (공학석사)
1991년 2월: 서울대학교 전기공학과 (공학박사)
1991년~1993년: SSCL Guest Collaborator

1993년~1995년: 한국전기연구원 선임연구원
1995년~현재: 성균관대학교 정보통신공학부 교수
[주 관심분야] SI, PI, EMI/EMC

김 소 영

1997년 2월: 서울대학교 전자공학과 (공학사)
1999년 6월: 스탠포드대학교 전기공학과 (공학석사)
2004년 7월: 스탠포드대학교 전기공학과 (공학박사)
2004년~2008년: Intel Corporation

2008년~2009년: Cadence Design Systems
2009년~현재: 성균관대학교 반도체시스템공학과 부교수
[주 관심분야] Device and Interconnect Modeling, Power Integrity, Signal Integrity, VLSI Computer-Aided Design, Electromagnetic Compatibility