레이더용 X대역 GaN 반도체 송수신기 설계 및 제작

Design and Fabrication of X-Band GaN TRM for a Radar

임재환 · 진형석 · 유성현 · 박종선* · 김태훈* · 임덕희**

Jae-Hwan Lim · Hyung-Suk Jin · Seong-Hyun Ryu · Jong-Sun Park* · Tae-Hun Kim* · Duck-Hee Lim**

요 약

본 논문에서는 능동 위상 배열 레이더에 사용되는 X대역 반도체 송수신기의 설계와 측정 결과에 대해 기술한다. 기존의 50 W 이하의 X대역 송수신 모듈 대비, 단위 증폭 소자로 GaN 소자를 사용하여 증폭회로를 설계하여 고출력, 고효율의 성능을 구현하였다. 제작된 반도체 송수신기의 송신 출력은 200 W(53 dBm) 이상이며, 최장 펄스 폭은 20 us에서 펄스 평탄도는 0.4 dB를 만족한다. 최대 듀티 비는 20 %이다. 수신 이득은 26 dB, 잡음 지수는 4.5 dB의 수신 특성을 갖는다. 송신 출력에 의한 수신 경로 및 단위 증폭 소자의 손상을 방지하기 위한 구조를 적용하였다.

Abstract

In this paper, is is presented the result of design and fabrication for X band T/R module using in active array radar. The high power RF circuit was fabricated using GaN element, so that high power and high efficiency was fulfilled comparing with the previous T/R module that have under 50 W output power for X band. Designed X band T/R module demonstrated 200 W(53 dBm) peak power, 20 us pulse width with 0.4 dB pulse droop and 20 % duty cycle. And it has characteristics of 26 dB receive gain and 4.5 dB noise figure. The structure was applied to prevent serious damage of receive path and GaN HPA by transmitting power during trasmit time of a pulse radar.

Key words: T/R Module, GaN, Active Array Radar

I. 서 론

최근 레이더의 형태가 수동 위상 배열에서 능동 위상 배열 형태로 발전함에 따라 기존의 수동배열에서는 TW-TA, 마크네트론 등의 단일 송신기를 사용했다면, 능동 위상 배열에서는 위상과 이득을 가변할 수 T/R 모듈(Transmitter Receiver Module)을 수십 개에서 많게는 수천 개씩 배열하여 공간합성을 통해 높은 출력 전력을 얻는다^[1].

이에 따라 T/R 모듈에 사용되는 고출력 증폭소자는 반도체 기술로 구현된 소자를 활용하게 되었다. 반도체 소자 기술을 사용한 전력증폭기는 진공소자에 비해 낮은 동작 전압과 우수한 MTBF(Mean Time Between Failure), 소형화, 경량화 등 많은 장점을 가지고 있다^[2].

특히, 반도체 소자 중 GaN 기반의 고출력 전력증폭기에 대한 관심이 높아지고 있는데, GaN은 Wide Band Gap 특성으로 인해 기존의 GaAs나 Silicon 소재의 소자보다

LIG넥스원(LIGNex1)

*유텔(U-TEL)

**방위사업청(Defense Acquisition Program Administration)

· Manuscript received November 5, 2013 ; Revised December 16, 2013 ; Accepted December 19, 2013. (ID No. 20131105-110)

· Corresponding Author: Jae-Hwan Lim (e-mail: limjaehwan@lignex1.com)

높은 항복전압을 가지고 있어, 높은 출력과 고효율의 장점을 가진다. 또한, 높은 열전달계수를 가지고 있어 방열에 있어서도 유리하다. 이런 GaN 소자를 이용하면서 높은 출력과 효율을 갖는 반도체 송수신기의 구현이 가능하게 되었다^[3]. 능동위상 배열 레이더에서는 반도체 송수신기의 높은 출력은 바로 레이더의 주요 성능인 탐지 능력과 직결되어 있다. 또한, 송신기의 방열 성능은 레이더 시스템의 복잡도와 큰 연관 관계가 존재한다. 만약 방열 성능이 좋아야만 사용할 수 있는 고출력 송신기를 사용한다면, 시스템은 크기가 커지고 방열을 위한 부가적인 요소를 배치해야 하는 등의 노력이 필요하게 된다. 본 논문에서 제시하고 있는 GaN 고출력 전력증폭기를 사용하여 효율을 높일 수 있다면, 방열능력과 소모전력을 줄일 수 있는 장점이 있고, 결국에는 전체 시스템의 경량화를 결정하는 요소가 될 수 있다.

능동 위상 배열 레이더를 구현하기 위해서는 송신기능과 수신기능을 수행하는 반도체 송수신기의 구현이 중요하다. 반도체 송수신기는 고출력 증폭 기능, 수신전단기로서의 저잡음 수신 증폭 기능, 송신위상 제어 기능, 제어 기능 등을 가져야 한다. 레이더에서 반도체 송수신기의 비용이 안테나 비용의 40 % 이상을 차지하므로 적은 수의 MMIC칩을 사용하여 요구사항을 만족시키는 설계가 중요하다^[4].

기존의 X대역 송수신 모듈은 50 W 이하의 송신 출력 성능을 만족시켰다. 본 논문에서는 200 W 이상의 송신 출력을 가지는 반도체 송수신 모듈을 구현하였으며, 이를 위해 고려하여야 하는 설계 검토사항을 제시한다. GaN 고출력 전력증폭기를 사용하여 X대역 레이더용 고출력·고효율의 반도체 송수신기 설계와 제작에 관한 내용을 기술하였다. 반도체 송수신기를 구현하기 위한 각 RF 구성소자들의 설계 및 측정 결과를 소개하였다. 송신 출력과 안정적인 구동에 영향을 미치는 전원회로부의 설계 고려사항들을 제시하였다. 또한, 외부로부터 제어 신호와 타이밍 신호를 인가받아 기능을 수행하고, 반도체 송수신기의 이상 유무를 확인할 수 있도록 제어회로부를 구현하도록 하였다. 고출력에 의한 방열 요소를 확인하고, 고출력 단위소자와 DC-DC 변환기의 방열에 대해 설명하였다. 모든 구성요소를 결합하여 탈부착이 용이한 반도체

송수신기를 제작하였고, 주요 설계 목표치에 대해 측정하였다.

II. 반도체 송수신기 설계 및 제작

본 반도체 송수신기는 X대역의 송신 신호를 입력받아 신호를 증폭하여 배열안테나로 출력하는 역할을 수행한다. 반도체 송수신기의 설계는 배열안테나가 면배열인지 선배열인지에 따라 설계가 변경될 수 있으며, 전체 능동 위상 배열 레이더의 수신기 개수 등에 따라 설계 구조가 변경될 수 있다. 여기서는 수평 방향으로 적층되는 선배열안테나를 가정하고, 반도체 송수신기 하나마다 수신 신호 경로에 수신기가 하나씩 배치되는 것을 가정하여 설계하였다.

그림 1에서는 X대역 반도체 송수신기의 구성도를 보여주고 있다. 외부에서 최대 듀티비 20 %, 3 dBm의 RF 신호를 입력받아 53 dBm(200 W)의 고출력 RF 펄스 신호로 증폭하는 기능을 수행한다. 송신 출력 53 dBm(200 W)를 만들기 위해 고출력 전력증폭기는 총 4개를 사용하여 이를 결합하여 사용하였다. 능동 위상 배열 안테나의 역할을 수행하기 위해 송신 경로에는 위상변위기를 배치하여 송신위상을 가변한다. 위상변위기는 6 bit의 제어 신호를 입력받아 최소 가변 위상은 5.625도를 변위시킬 수 있다. 반면에 수신 경로에는 위상변위기를 배치하지 않았다. 이는 모든 수신 경로 상에 베이스밴드로 주파수를 하향변환시키는 믹서가 반도체 송수신기 다음 단계에 배치되

그림 1. 반도체 송수신기 구성도
Fig. 1. Schematic of GaN T/R module.

는 것을 가정하여 구성한 결과이다.

반도체 송수신기는 외부로부터 LVDS 방식으로 제어기와 통신을 통해 제어명령을 수신한다. 이를 위해 제어회로부가 따로 구성되어 있으며, 제어 명령에 따라 송신 듀티 사이클을 변경하여 송신한다. 송신 펄스 구간에서는 수신 경로 회로에 전원이 들어가지 않도록 제어하는 역할을 수행한다.

전원은 외부로부터 300 V DC 전원을 인가받아 내부에 RF 송수신부와 제어회로부에 필요한 전원을 생성한다. 고출력 전력증폭기에 안정적인 전원을 공급하는 기능을 수행한다.

2-1 RF 송수신부 설계 및 제작

반도체 송수신기를 구성하는 방식은 여러 구조가 있으나, 본 논문에서는 송신 경로와 수신 경로를 분리한 구조를 적용하였다. 그림 2에서는 송신 경로 및 수신 경로의 버짓을 나타내고 있다^[5].

송신부에서는 목표치인 53 dBm(200 W) 출력을 가능하도록 초단, 구동단, 고출력단 3부분으로 구성하였다. 초단에는 3종의 증폭기를 사용하였고, 구동단 및 고출력단에는 Triquint사의 TGF-2023을 사용하여 구성하였다. 초단 앞에 위상변위기를 두어 송신위상을 6 bit 단위로 변경할 수 있다.

수신부에는 송신 신호의 누설 신호로부터 수신단을 보호하기 위한 전력제한기를 초단에 배치하였고, X대역의

송신 경로 버짓

수신 경로 버짓

그림 2. 버짓 설계

Fig. 2. The budget of T/R module.

그림 3. 구동증폭기 1 제작 결과

Fig. 3. The test result of drive amplifier 1.

수신 신호를 증폭하기 위해 두 단의 저잡음증폭기를 배치하였다.

송신부의 초단은 두 단의 구동증폭기를 사용하여 구현하였다. 두 단의 구동증폭기 모두 MMIC 소자를 사용하여 UMS사의 CHA5014 및 CHA8100을 선정하였다. 그림 3에서와 같이 구동증폭기1은 약 20 dB의 이득을 예상하고 단품으로 제작 및 측정해 본 결과, 커넥터 및 라인 손실, 와이어 본딩에 의한 손실 등을 포함하여 17 dB의 이득을 얻을 수 있었다. 그림 4에서 구동증폭기 2는 약 18 dB의 이득을 예상하고 직접 치구를 만들어 측정해 본 결과, 치구의 손실을 포함하여 14 dB의 이득을 측정할 수 있었다.

구동단과 고출력단은 모두 Triquint사의 TGF2023을 사용하여 구현하였다. TGF2023은 GaN 소재의 고효율 소자로써 약 47 %의 효율을 가진다. 출력은 약 47 dBm을 예상할 수 있었다. 증폭기 하나를 구현하는 단위 소자의 시뮬레이션 결과는 그림 5와 같다. 그림 5의 기본 소자로 2

그림 4. 구동증폭기 2 제작 결과

Fig. 4. The test result of drive amplifier 2.

그림 5. 단위증폭소자 시뮬레이션

Fig. 5. The simulation of GaN HPA.

그림 6. GaN 증폭소자 제작 및 측정 결과

Fig. 6. The test result of GaN HPA.

개의 증폭기를 결합하여 그림 6과 같이 구동단과 고출력단에 사용하는 기본 증폭소자를 구현하였다.

증폭소자를 측정하기 위해 시험 치구에 삽입하여 측정한 결과, 약 60 W 이상의 출력을 얻을 수 있었으며, 효율은 약 23 % 이상의 결과를 얻을 수 있었다. 측정 결과에는 치구 손실을 보상하지 않아 출력단의 손실을 포함한 결과이다. 두 개의 TGF2023을 결합하면서 발생한 손실과 시험치구의 손실이 포함된다.

고출력단은 그림 6의 고출력 전력증폭기를 4개 결합하여 최종 53 dBm 이상의 출력으로 증폭할 수 있도록 구성하였다. 고출력 증폭기의 최종 출력은 종단 결합기의 손실을 최소화하는 것이 필요하다. 그러므로 T-Junction 타입의 결합기를 사용하여 최종 결합 시의 손실을 최소화하였다. GaN 소재는 Band gap 전압이 GaAs나 Silicon 소재보다 크므로, 출력 반사손실 특성이 좋지 않을 경우 유리하다. 그러므로 손실을 줄이기 위해 사용한 T-Junction 결합기를 사용해도 증폭기의 손상을 막을 수 있다.

수신부의 초단은 전력제한기로 구성되어 있다. 전력제한기는 송신 신호의 출력 시 저잡음증폭기로 유기되는

그림 7. 전력제한기 제작 결과
Fig. 7. The test result of limiter.

수신부로 입력되는 고출력 신호를 감쇄시키는 역할과 원치않는 고출력 신호가 저잡음증폭기로 유겨되어 손상되는 것을 방지하는 역할을 수행한다. 전력제한기는 그림 7과 같이 구성하였다. PIN 다이오드를 두 단으로 구성하여 초단에는 예상되는 고출력 신호를 감쇄하도록 하고, 두 번째 단에서 전력제한기 후단에 배치될 저잡음증폭기의 최대입력 전력 이하의 누설전력이 전달될 수 있도록 PIN 다이오드를 선정하여 감쇄하도록 구성하였다. 전력제한기의 측정 결과는 그림 7과 같으며, 누설 전력은 18 dBm 이하, 30 W의 전력을 20 %의 듀티 비로 인가 시 1 dB 회복시간은 11.2 us이다.

전력제한기 다음단에 배치되는 저잡음증폭기 단은 그림 8과 같이 구성하였다. 전체 수신단의 수신 이득은 26 dB이나, 저잡음증폭기 전단의 손실 및 후단의 필터 등의 손실을 감안하여 저잡음증폭기를 두 단으로 배치하였다. 사용한 저잡음증폭기 소자는 XL5017로 이득을 측정한 결과, 사용 대역에서 최소 40 dB 이상의 이득을 가진다.

그림 8. 저잡음증폭기 제작 결과
Fig. 8. The test result of LNA.

이는 시험치구의 손실을 포함한 결과이다. 전체 이득 설계치는 저잡음증폭기단 뒤에 감쇄 패드를 설치하여 조정한다. 잡음지수는 2.2 dB 이하이다. 저잡음증폭기의 전원은 반도체 송수신기가 송신 동작을 하는 경우에는 전원을 차단하고, 수신을 하는 타이밍에만 전원을 인가하여 고출력 송신 신호가 발생할 때 저잡음증폭기의 손상을 방지하고자 하였다.

2-2 제어회로부 설계

제어회로부는 반도체 송수신기가 외부 제어기로부터 시리얼 제어 명령을 전달받아 원하는 동작을 수행할 수 있도록 내부적으로 필요한 제어 신호를 생성하고, 응답을 외부 제어기로 전달하는 역할을 수행한다.

반도체 송수신기의 제어회로부는 다음과 같은 기능을 가진다. 첫 번째로 LVDS로 인가되는 시리얼 제어 신호를 입력받아 송신 펄스 타이밍과 수신 펄스 타이밍을 생성한다. 두 번째로 송신 위상 제어 신호를 위상변위기로 전

그림 9. 제어회로부 상태도

Fig. 9. The state diagram of control circuit.

달한다. 세 번째로 반도체 송수신기의 송수신 상태를 점검하여 상태 정보를 외부로 전달하기 위해 LVDS 시리얼 신호로 변환하여 전송한다. 마지막으로 상태 점검 결과를 바탕으로 자체적으로 보호가 가능하도록 차단 동작을 수행한다.

제어회로부의 차단 동작을 수행하는 상태도는 그림 9와 같다. 수집되는 반도체 송수신기의 상태 점검 결과가 모두 정상일 경우에는 일반상태로 정의하여 정상동작을 수행한다. 반도체 송수신기의 상태 중 손상이 우려되는 주요한 고장 상태가 감지되면 안전 상태로 변경되어 송수신을 차단하고 전원을 다시 인가할 때까지 상태를 유지한다. 손상에는 관계가 없는 고장 정보에 대해서는 보호상태로 전환하여 상태가 정상이 될 경우 일반상태로 복귀한다. 고장을 감안하고 강제로 운용이 필요할 경우는 비상 상태로 전환하여 강제로 송수신을 수행한다.

그림 10은 제어회로부를 제작한 형상이다. 제어회로부는 LVDS 신호를 입력받고 TTL 신호로 변경하여 전달하는 LVDS 변환회로와 제어 신호를 생성하는 FPGA 회로부, 디지털 전원을 생성하는 디지털 전원회로와 RF 회로부에서 필요한 아날로그 전압을 생성하는 아날로그 전원회로로 구성되어 있다.

제어회로부에 구성되어 RF 회로부로 아날로그 전압을 생성하는 부분은 전원회로부로부터 36 V를 인가받아 33 V를 생성하여 전달한다. 33 V 전원은 단위 증폭 소자에 직접 인가되는 전원으로 송신 펄스 신호의 품질을 결정

제어회로부 제작사진

그림 10. 제어회로부 제작사진

Fig. 10. The view of control circuit.

하는 직접적인 요소이다. 그러므로 변환회로는 리니어 레귤레이터를 이용하여 전원 리플을 최대한 억제하고자 하였다.

2-3 전원회로부 설계

반도체 송수신기에서 고출력 송신회로에서 사용하는 전원은 송신 품질을 결정하는 주요한 요소이다. 송신 펄스 신호의 안정도는 고출력 증폭소자에 인가되는 전원의 안정도에 의존하므로 전원 성능을 고려하여 설계를 수행하여야 한다. 반도체 송수신기의 개별 소모 전력은 약 250 W 이상이므로 능동배열 안테나를 구성하기 위해 다수의 반도체 송수신기가 배열한다고 가정할 때 동시에 소모하는 전류량이 매우 클 것으로 예상할 수 있다. 전원 계통에 전류량이 크게 되면 이로 인해 반도체 송수신기 전체에 사용 전류를 모두 수용할 수 있도록 케이블 직경이나 패턴폭 등을 같이 증가시켜 주어야 한다. 그러므로 소모 전력을 유지하고 전류량을 줄이기 위해서는 높은 전압을 반도체 송수신기에 인가하여야 한다. 본 반도체 송수신기에서는 300 V 전압을 입력받아 내부 회로에서 사용하는 36 V 전원과 9 V 전원을 생성하여 사용한다.

그림 11과 같이 전원회로부는 DC-DC 변환기를 주요 부품으로 사용하여 300 V 전압을 36 V로 변환하고, 36 V 전원을 이용하여 buck 회로를 통해 9 V 전원을 생성한다. 9 V 전원은 주로 제어회로부와 고출력증폭소자를 제외한 다른 회로에서 사용하므로 36 V보다 먼저 인가되어

그림 11. 전원회로부 블록도
Fig. 11. The block diagram of power circuit.

야 한다. 그러므로 전원회로부 자체에서 순차회로를 구성하여 9 V 전원이 먼저 인가되고, 약 1 ms 이상의 시간 지연 후 36 V 전원이 고출력 증폭소자의 전원으로 전달된다.

DC-DC 변환기의 효율은 87 % 이상이다. 이에 따라 전원회로부에서 소모하는 전력이 약 40 W 가량 예상되므로 방열 환경이 중요하다. DC-DC 변환기의 동작 온도를 확보해 주어야 정상적인 출력을 얻을 수 있으며, 이를 위해 DC-DC 변환기는 수용되는 반도체 송수신기 몸체에 직접 접촉하여 전도 방열이 될 수 있도록 구성하였다. 그림 12는 전원회로부를 실제로 구현한 형상이다.

표 1. 반도체 송수신기 측정 결과
Table 1. The test results of X band T/R module.

	항목	설계 목표	측정치	비고
송신	1. 동작대역	$F_c - 2.5 \% \sim F_c + 2.5 \% \text{ GHz}$	$F_c - 2.5 \% \sim F_c + 2.5 \% \text{ GHz}$	-
	2. 송신 출력	53 dBm 이상	53.2 dBm 이상	-
	3. 송신 펄스 평탄도	0.5 dB 이하	0.4 dB 이하	-
	4. 송신 펄스 상승/하강 시간	100 ns/100 ns 이하	15 ns/11 ns 이하	10 % to 90 % 시간
	5. 듀티비	20 %	20 %	-
	6. 송신 펄스 안정도	크기 60 dB/위상 60 dB 이상	크기 64.6 dB/위상 64.0 dB 이상	-
	7. RMS 위상 오차	5.625도 이하	3.7도 이하	6 Bit(LSB: 5.625도)
	8. 효율	15 % 이상	18 % 이상	300 V 입력 기준
수신	1. 잡음 지수	4.8 dB 이하	4.5 dB 이하	-
	2. 수신 이득	$26 \pm 1 \text{ dB}$	25.9 ~ 26.2 dB	-

그림 12. 전원회로부 제작사진
Fig. 12. The view of power circuit.

Ⅲ. 반도체 송수신기 측정

3-1 반도체 송수신기 제작

반도체 송수신기는 안테나에 삽입이 용이하게 하기 위해 직접 삽입 구조로 설계하였다. RF 입력력 및 전원 커넥터, 제어 커넥터를 모두 마더 보드에 삽입하는 형태로 제작하기 위해 한 면으로 배치하였다. 커넥터들이 기계적으로 정확히 결합하도록 커넥터 주위에는 가이드핀을 배치하여 커넥터가 삽입되기 전에 가이드핀이 먼저 마더 보드에 삽입되어 위치를 잡아줄 수 있도록 구성하였다.

그림 13은 반도체 송수신기를 실제 제작한 형상이다. 그림과 같이 전원회로부, 제어회로부, RF 회로부를 분리

그림 13. 반도체 송수신기 제작 형상
Fig. 13. The top view of T/R module.

하여 배치하고, 각각은 격벽을 두어 분리하였다. 그리고 RF 회로부의 송신단과 수신단은 각각을 내부 커버를 구성하여 경로를 분리하였다.

RF 회로부의 고출력 전력증폭기는 발열량이 가장 큰 소자이다. 방열을 위해 고출력 단위소자의 캐리어는 전도 특성이 우수한 CuW 소재를 사용하였으며, 반도체 송수신 조립체에 고출력 단위소자가 배치하는 위치 아래에는 방열핀을 구성하였다. 공냉방식으로 반도체 송수신 조립체 주변의 온도환경을 통제하여 그림과 같은 구조로 배치하였을 시 소자의 Junction 온도가 100℃ 이하로 유지하도록 하였다. 고출력 단위소자의 Junction 온도를 적정온도로 유지하여야 소자의 수명을 유지할 수 있다.

전원회로부는 RF 회로부 다음으로 발열량이 많은 지점이다. 그 중 가장 발열량이 큰 DC-DC 변환기를 직접 반도체 송수신기 몸체에 부착하도록 하여 전도 방식을 이용하여 방열이 가능하도록 구성하였다.

3-2 측정 및 시험 결과

제작된 반도체 송수신기의 설계 목표와 측정치는 표 1과 같다. 그림 14는 반도체 송수신기의 송신 출력을 측정한 결과이다. 출력은 설계 목표 대역폭 내에서 20%의 듀티비를 가지도록 펄스폭 20 us, PRI 100 us로 송신 시 53.4 dBm 이상으로 측정되어 송신 성능을 확인할 수 있었다. 송신 펄스 평탄도는 송신 펄스 내에서 0.4 dB 이하로 측정되었다. 펄스의 상승시간과 하강시간은 각각 15 ns, 11 ns이다.

그림 14. 송신 출력 측정
Fig. 14. The measurement of transmit pulse peak power.

그림 15는 송신위상 변위와 송신 펄스의 크기 및 위상의 안정도를 측정한 결과이다. 송신위상 변위는 반도체 송수신기 내부의 6 bit 위상변위기의 64개의 모든 위상변위값을 측정하여 RMS 위상 오차를 주파수별로 산출한 결과이다. 최대 크기는 3.7도로 1 bit의 크기인 5.625도 이내의 RMS 오차를 만족함을 확인할 수 있다.

송신 펄스의 안정도는 펄스와 펄스 간의 크기 변화량과 위상변화량을 측정하여 계산을 통해 MTI 개선도로부터 도출된다. 레이더의 MTI는 클러터와 타겟을 구별하는 능력으로 MTI 개선도는 식 (1)에 의해 분석된다.

$$\frac{I}{I_F} = \frac{1}{I_1} + \frac{1}{I_2} + \frac{1}{I_3} + \frac{1}{I_4} + \frac{1}{I_5} + \frac{1}{I_6} + \frac{1}{I_7} \quad (1)$$

여기서, I_1 : Pulse to pulse phase change

I_2 : Pulse to pulse amplitude change

I_3 : Pulse width

I_4 : Pulse timing

I_5 : Frequency change of STALO

그림 15. 송신 위상변위 오차 및 안정도 측정
Fig. 15. The measurements of transmit phase error and transmit pulse stability.

I_6 : Phase change of STALO
 I_7 : Quantization noise of DAC

이 중 송신 출력과 관련된 요소는 I_1 과 I_2 이다. I_1 과 I_2 의 조합으로부터 반도체 송수신기의 펄스 간 안정도를 계산할 수 있다. I_1 과 I_2 는 식 (2), (3)으로부터 구할 수 있다^[6].

$$I_1 = 20\log[1/\Delta\Phi] \quad (2)$$

여기서, $\Delta\Phi$: Interpulse phase change[radian]

$$I_2 = 20\log[A/\Delta A] \quad (3)$$

여기서, A : Pulse amplitude [V]

ΔA : Interpulse amplitude change[V]

그림 16. 수신 이득 및 noise figure 측정
Fig. 16. The measurement of receive gain and noise figure.

식 (2)와 (3)에 입력되는 $\Delta\Phi$ 와 ΔA 는 그림 9에서 측정된 송신 펄스 간의 위상과 크기의 표준편차를 적용하여 도출하면, 각각 64 dB 이상의 MTI 개선도를 얻을 수 있다.

수신 특성의 측정 결과는 그림 16과 같다. 수신 이득은 대역 내에서 25.9~26.2 dB로 평탄함을 확인할 수 있다. 수신 잡음지수는 최대 4.5 dB 이하이다. 수신 경로는 송신 출력에 의한 손상을 방지하기 위해 저잡음증폭기 앞에 두 단의 서큘레이터를 적용하여 송신 출력의 고출력 단위소자로의 송신 출력 누설을 최소화하였고, 전력제한기를 사용하여 수신단을 보호하였다. 이로 인해 저잡음증폭기 앞단의 손실이 커져 잡음지수 성능은 저하되는 경향이 발생한다.

반도체 송수신기의 전체 효율은 18 % 이상이다. 이는 전원회로부, 제어회로부를 모두 포함하여 전체 반도체 송수신기의 효율이다. 고출력 전력증폭기의 드레인 효율은 개별로 24 % 이상이지만, 이를 결합하여 200 W 이상의 출력을 만들어 내기 위해서는 제어회로부에서 소모하는

전력과 전원회로부에서 전원을 변환하면서 발생하는 소모전력량이 모두 더해져서 효율이 감소한다. 고출력 전력 증폭기의 효율은 드레인 효율을 의미하고, 반도체 송수신기의 효율은 실제로 입력되는 모든 전력량 대비 송신 출력으로 계산한 효율이다.

IV. 결 론

본 논문에서는 200 W 이상의 송신 출력을 가지는 능동위상 배열레이더용 X대역 반도체 송수신기를 설계 및 제작하였다. 기존에 구현된 송수신 모듈의 송신 출력은 50 W 이하인데 비해 4배 이상의 송신 출력 성능을 구현하는 것이 가능하였다. 설계되는 레이더에 따라 반도체 송수신기의 구조가 달라질 수 있다. 여기서는 송신 출력에서만 위상변위가 필요하여 송신 경로와 수신 경로를 분리하는 구조로 설계하였다. 고출력의 반도체 송수신기를 구현하기 위해 GaN 소재의 고출력 전력증폭기를 사용하였다. 고출력 전력증폭기의 효율은 시험치구의 손실을 모두 포함하여 약 23 % 이상을 얻을 수 있었다. 송신 펄스의 안정성을 위해 리플이 적은 전원회로부를 구현하였다. 또한, 외부로부터 인가되는 제어 신호를 내부에서 사용하는 신호로 변환하기 위해 제어회로부를 FPGA를 사용하여 제작하였고, 고장 시 안정적인 반도체 송수신기의 동작을 위해 모드별 동작을 구현하였다. 지상용 레이더에 적용할 수 있도록 제어와 전원, RF 신호 입출력을 용이하도록 하였다.

반도체 송수신기의 측정 결과, 모든 대역에서 53.2 dBm 이상의 송신 출력, 수신 이득 26 dB, 수신 잡음지수 4.5 dB로 설계 목표치를 모두 만족하였다. 그리고 송신 위상 오차는 송신 경로의 고출력 전력증폭기를 통과하면서 위상변위기의 RMS 위상 오차보다는 오차가 커지지만

1 bit 이내로 구현할 수 있었다. 펄스 간 안정도는 설계 목표를 만족하였다.

본 논문에서 제시하는 반도체 송수신기는 X대역에서 구현된 타 송수신 모듈 대비 고출력의 특성과 출력 대비 상대적으로 소형으로 구현되어 능동위상 배열 레이더에 적합한 형상 및 구조를 제시하였다.

References

- [1] Michael Hanczor, Mahesh Kumar, "12-kW S-band solid-state transmitter for modern radar system", *IEEE Transactions on Microwave Theory and Techniques*, vol. 41, no. 12, pp. 2237-2242, 1993.
- [2] A. R. Barnes, M. T. Moore, M. B. Allenson, and R. G. Davis, "A compact 6 to 18 GHz power amplifier module with 10 W output power", *1999 IEEE MTT-S International Microwave Symposium Digest, Anaheim, USA*, vol. 3, pp. 959-962, Jun. 1999.
- [3] U. K. Mishra, P. Parikh, and Wu Yi-Feng, "AlGaIn/ GaN HEMTs-an overview of device operation applications", *Proc. of IEEE*, vol. 90, no. 6, pp. 1022-1031, Jun. 2002.
- [4] H. P. Feldle, A. D. McLachlan, and Y. Mancuso, "Transmit/receive module for X-band airborne radar", *Radar 97 Conf. Publ.*, no. 449, pp. 391-395, Oct. 1997.
- [5] Ashok Agrawal, Richard Clark, "T/R module architecture tradeoffs for phased array antennas", *IEEE MTT-S Digest*, 1996.
- [6] 이유리, 김종필, "능동 배열 레이더 시스템 구현을 위한 반도체형 송수신기 설계", *한국전자과학회논문지*, 21 (12), pp. 1335-1342, Dec. 2010.

임 재 환

2006년 2월: 연세대학교 전기전자공학과 (공학석사)
 2006년 2월~2008년 1월: 삼성전자 무선 사업부
 2008년 2월~현재: LIG넥스원 ISR연구센터 선임연구원
 [주 관심분야] 초고주파 능동 회로 및 송수신기 설계/ 능동 위상 배열 레이더 시스템

박 중 선

2001년 2월: 한밭대학교 전자공학과 (공학사)
 2008년 9월~현재: 유텔연구소 책임연구원
 [주 관심분야] 초고주파 회로설계, 능동 위상 배열 시스템

진 형 석

2000년 8월: 광운대학교 전자공학전공 (공학석사)
 2000년 8월~현재: LIG넥스원 ISR연구센터 수석연구원
 [주 관심분야] 초고주파 능동 회로 및 송수신기 설계/ 능동 위상 배열 레이더 시스템

김 태 훈

2009년 2월: 인천대학교 전자공학과 (공학사)
 2011년 2월: 인천대학교 전자공학과 (공학석사)
 2011년 8월~현재: 유텔연구소 연구원
 [주 관심분야] 초고주파 회로설계, 능동 위상 배열 시스템

유 성 현

2005년 2월: 연세대학교 전기전자공학과 (공학석사)
 2005년 2월~2008년 3월: LG전자 MC사업부
 2008년 4월~현재: LIG넥스원 ISR연구센터 선임연구원
 [주 관심분야] 초고주파 능동 회로 및 송수신기 설계/ 능동 위상 배열 레이더 시스템

임 덕 희

1999년 3월: 공군사관학교 국제관계학사 (경영학학사)
 2010년 3월: 경희대학교 경영대학원 (경영학석사)
 2013년 1월~현재: 방위사업청 지휘정찰사업담당
 [주 관심분야] 레이더시스템, 초고주파시스템