이단으로 구성된 CMOS 전력증폭기 설계

Design of Two-Stage CMOS Power Amplifier

배종석 · 함정현 · 정혜련 · 임원섭 · 조수호 · 양영구

Jongsuk Bae · Junghyun Ham · Haeryun Jung · Wonsub Lim · Sooho Jo · Youngoo Yang

요 약

본 논문에서는 CMOS 0.18- μm 공정을 이용하여 1.75 GHz 대역에서 동작하는 이단으로 구성된 CMOS 전력증폭기를 설계하였다. 무선통신시스템에 적합한 전력증폭기 설계를 위하여 ADS 모의실험을 통하여 전력이득, 출력 전력, 효율을 각각 28 dB, 27 dBm, 45 %로 설계를 하였다. 실제 제작된 전력증폭기의 성능은 전력 이득, 출력 전력, 효율은 각각 22.9 dB, 24.8 dBm, 41.3 %로 특성을 나타냈으며, 변조된 LTE(Long-Term Evolution) 신호에 대하여 인접 채널 누설비(ACLR)가 -30 dBc 이하를 만족하며, 전력 이득, 출력 전력, 효율이 각각 22.6 dB, 23.1 dBm, 35.1 %의 특성을 나타냈다.

Abstract

This paper presents a 2-stage CMOS power amplifier for the 1.75 GHz band using a 0.18- μm CMOS process. Using ADS simulation, a power gain of 28 dB and an efficiency of 45 % at an 1dB compression point of 27 dBm were achieved. The implemented CMOS power amplifier delivered an output power of up to 24.8 dBm with a power-added efficiency of 41.3 % and a power gain of 22.9 dB. For a 16-QAM uplink LTE signal, the PA exhibited a power gain of 22.6 dB and an average output power of 23.1 dBm with a PAE of 35.1 % while meeting an ACLR(Adjacent Channel Leakage Ratio) level of -30 dBc.

Key words: Power Amplifier, CMOS, LTE

I. 서 론

최근 이동통신의 급격한 발달로 인해 이동통신기기의 수요가 증가했다. 이동통신기기의 수요 증가에 따라 작고 저렴한 부품에 대한 관심과 수요가 증가하고 있다. 지금까지 대부분의 이동통신용 전력증폭기는 화합물 반도체를 이용하여 만들고 있다. 전력증폭기를 위한 대표적 화합물 반도체인 GaAs를 이용한 전력증폭기는 고효율과 높

은 선형성을 갖지만 가격이 높은 단점이 있다.

하지만 CMOS를 이용하여 전력증폭기를 설계할 경우, GaAs에 비하여 비교적 가격이 싸고, 직접도가 매우 높은 장점이 있다. 최근 CMOS 공정기술의 발전과 높은 잠재력으로 인해 CMOS를 이용한 전력증폭기에 대한 설계가 다양하게 이루어지고 있다^{[1]~[11]}.

본 논문에서는 0.18- μm CMOS 공정을 이용하여 1.75 GHz 대역에서 동작하는 이단으로 구성된 CMOS 전력증

「이 논문은 한국연구재단의 2014년 글로벌박사펠로우십 사업지원을 받아 수행된 연구임(NRF-2014H1A2A1019955).」

성균관대학교 정보통신공학부(School of Information and Communication Engineering, Sungkyunkwan University)

· Manuscript received July 1, 2014 ; Revised August 11, 2014 ; Accepted September 5, 2014. (ID No. 20140701-06S)

· Corresponding Author: Youngoo Yang (e-mail: yang09@skku.edu)

그림 1. 드라이브단 회로도

Fig. 1. Schematic diagram of the drive stage.

폭기를 설계 및 제작하였다.

II. 설계 및 모의실험

그림 1은 설계된 드라이브단의 회로도이다. 드라이브단 증폭기의 트랜지스터는 finger당 $0.35 \mu\text{m}$ 의 길이와 $8 \mu\text{m}$ 폭을 갖고, 128개의 finger를 사용하여 총 $1,024 \mu\text{m}$ 의 폭을 갖는다. 저항(R_1)을 이용하여 게이트 바이어스를 인가했고, L_{D1} 을 이용하여 드레인 바이어스($V_{DD}=3.3 \text{ V}$)를 인가했다.

드라이브단 증폭기가 파워단 증폭기의 선형성에 영향을 주지 않기 위해서는 매우 높은 선형성이 요구된다. 드라이브단의 높은 선형성을 위해서 A급 바이어스로 설계를 했다. 또한, 파워단의 부족한 전력 이득을 보상하기 위하여 충분한 전력 이득과 출력 전력, 효율을 갖는 입출력 임피던스로 설계했다. 그림 2는 ADS software를 이용한 모의실험 결과이다. Source/Load-pull (pin=-20~15 dBm) 모의실험을 통해 $Z_S=18+j24 \Omega$, $Z_L=37.5 \Omega$ 의 최적의 임피던스를 얻었다^[1]. 그림 2(a)와 2(b)에서 볼 수 있듯이, 모의실험 결과는 전력이득은 15 dB, 출력 전력 21 dBm에서 46 %의 효율을 갖는다. 전력증폭기의 선형 특성을 나타내는 상호 변조 왜곡(intermodulation distortion)은 전력증폭기에 2개 이상의 반송파가 입력되었을 때 발생하는 상호 변조 신호에 의한 왜곡을 말하며, 3차 상호 변조 왜곡(3rd-order IMD) 성분은 원 신호와 근접하여 왜곡을 발생시키는 주된 성분이 된다. 중심 주파수에서 5 MHz의 tone-spacing을 가지는 two-tone 신호를 이용하여 모의실험

(a) 전력이득, 효율

(a) Power gain, PAE

(b) 3차 상호 변조 왜곡

(b) IMD3

그림 2. 드라이브단 모의실험 결과

Fig. 2. Simulation results of the drive stage.

을 했다. 모의 실험 결과, 원 신호와 3차 상호 변조 왜곡 (IMD3_L: $2f_1 - f_2$, IMD3_H: $2f_1 + f_2$)이 출력 전력 17 dBm에서 -30 dBc로 높은 선형성을 갖는다.

그림 3은 파워단의 회로도이다. 바이어스 회로, 입출력 정합 회로의 구조는 드라이브단과 동일하다. 파워단 트랜지스터 Q_2 는 finger당 $0.35 \mu\text{m}$ 의 길이와 $8 \mu\text{m}$ 폭을 갖고, 512개의 finger를 사용하여 $4,096 \mu\text{m}$ 의 폭을 갖는다. 파워단은 높은 출력 전력을 내기 위하여 드라이브단보다 트랜지스터의 폭을 4배 크게 설계했다. 파워단은 높은 출력 전력과 효율을 고려하여 AB급 바이어스로 설계를 했다. AB급 바이어스로 설계를 하면 A급 바이어스보다 선

그림 3. 파워단 회로도

Fig. 3. Schematic diagram of the power stage.

형성은 떨어지지만, 더 높은 효율과 출력 전력을 갖는다.

그림 4는 설계된 파워단의 모의실험 결과이다. 모의실험은 드라이브단과 같이 ADS software를 이용하였다. Source/Load-pull(pin=-15~20 dBm) 모의실험을 통하여 얻은 최적의 임피던스는 $Z_s=6+j \times 8.2 \Omega$, $Z_L=5.2-j \times 9 \Omega$ 이다^[1]. 드라이브단의 Z_L 과 비교해 보았을 때 파워단의 Z_L 의 컨덕턴스 성분이 7배 정도 작은 것을 알 수가 있다. 이것은 큰 출력 전력에 따른 부하 임피던스의 컨덕턴스의 크기가 작아진 것을 알 수가 있다. 그림 4(a)와 4(b)에서 볼 수 있듯이, 전력 이득, 출력 전력, 효율은 각각 11.4 dB, 28 dBm, 52 %이다. 중심 주파수에서 5 MHz의 tone-spacing을 가지는 two-tone 신호를 이용한 모의실험을 통하여 IMD3가 출력 전력 25.2 dBm에서 -30 dBc로 높은 선형성을 갖는다.

모의실험 결과를 통해서 드라이브단과 파워단의 설계를 하였다. 이단으로 구성하기 위해서는 드라이브단의 출력 임피던스와 파워단의 입력 임피던스의 정합을 통해 구성할 수 있다. 드라이브단의 $Z_L=37.5 \Omega$ 과 파워단의 $Z_s=6+j \times 8.2 \Omega$ 을 정합하기 위하여 드라이브단의 L_{D1} 과 캐패시터(C_{INTER})를 이용하여 중간 정합 및 DC 블록의 역할을 하는 회로를 구성하였다.

그림 5는 설계된 이단 전력증폭기의 회로도이다. 설계된 전력증폭기는 드라이브단(Q_1)과 파워단(Q_2), 바이어스 회로(L_{D1} , L_{D2}), 입출력 정합 회로(L_{IN} , C_{IN} 와 L_{OUT} , C_{OUT})로 구성되어 있다. L_{IN} , L_{D1} , L_{D2} , L_{OUT} , L_{S1} , L_{S2} 는 본딩 인덕턴스를 나타내고 있다. 입출력 및 중간 정합회로 구성할 때 본

(a) 전력이득, 효율

(a) Power gain, PAE

(b) 3차 상호 변조 왜곡

(b) IMD3

그림 4. 파워단 모의실험 결과

Fig. 4. Simulation result of the power stage.

그림 5. 이단 전력증폭기의 회로도

Fig. 5. Schematic diagram of the two-stage power amplifier.

딩 인덕터의 값을 이용하여 정합을 하였다.

표 1. 사용된 소자의 값들

Table 1. Components values.

R_1, R_2	L_{D1}	L_{D2}	L_{IN}	L_{OUT}
500 Ω	1.7 nH	1 nH	3.7 nH	0.45 nH
C_{IN}	C_{OUT}	C_{INTER}	L_{S1}	L_{S2}
2.8 pF	6 pF	17 pF	0.2 nH	0.2 nH

그림 6은 본 논문에서 제시하는 이단으로 구성된 CMOS 전력증폭기의 모의실험 결과이다. S_{11} , S_{22} , S_{21} 은 각각 -11 dB, -18 dB, 27 dB로 입출력 정합과 중간 정합이 잘된 것을 알 수가 있다. 전력 이득, 출력 전력, 효율은 각각 27 dB, 28 dBm, 45 %이다. 중심 주파수에서 5 MHz의 tone-spacing을 가지는 two-tone 신호를 이용한 모의실험 결과는 IMD3가 출력 전력 25.2 dBm에서 -30 dBc이므로 높은 선형성을 갖는 것을 알 수 있다.

III. 제작 및 측정

그림 7은 제작된 CMOS Power amplifier IC의 die photo와 평가 보드 사진이다. IC는 Magnachips의 0.18- μ m의 공정을 이용하여 제작하였다. 제작된 IC는 bonding pad를 포함하여 1×0.46 mm²의 크기를 갖는다.

평가 보드는 FR4 기판을 사용하였고, PCB는 60×60 mm² 사이즈이다. 중심 주파수 1.75 GHz에서 3.3 V 단일 전압을 인가하여 측정하였고, 정동작 전류(quiescent current)는 드라이브단이 6 mA, 파워단이 56 mA이다. 입력단과 출력단의 정합 회로는 칩 외부에서 특성 임피던스가 50 Ω 전송선로와 커패시터를 이용하여 구성하였다. 또한, 2차 고조파의 단락을 위하여 드라이브단과 파워단의 드레인을 특성 임피던스가 50 Ω 인 $\lambda/4$ (폭: 1.41 mm, 길이: 22.97 mm) 전송선로를 이용하여 바이어스를 인가하였다. 드라이브단과 파워단의 중간 정합을 위하여 L_{D1} 을 본딩 인덕턴스와 전송선로를 이용하여 구현하였고, C_{INTER} 는 칩 내부에 집적했다.

그림 8은 제작된 이단 전력증폭기의 측정 결과이다. 제작된 전력증폭기는 중심 주파수 1.75 GHz의 one-tone 신호를 인가하였을 때 22.6 dB의 전력 이득을 가지고, 출력 전력 24.8 dBm에서 220 mA의 전류를 소비하며, 41.3 %의 높은 효율을 갖는다. 전력증폭기에 5 MHz의 tone-spacing

(a) 산란계수

(a) S-parameter

(b) 전력이득, 효율

(b) Power gain, PAE

(c) 3차 상호 변조 왜곡

(c) IMD3

그림 6. 이단 전력증폭기 모의실험 결과

Fig. 6. Simulation results of the 2-stage power amplifier.

을 가지는 two-tone 신호를 인가하였을 때 평균 전력 22.2 dBm에서 IMD3가 -30 dBc로 좋은 선형성을 갖는다.

(a) 제작된 CMOS 전력증폭기 IC
(a) Implemented CMOS power amplifier IC

(b) 제작된 IC와 평가보드
(b) Implemented IC & PCB

그림 7. 제작된 전력증폭기

Fig. 7. Photographs of the implemented 2-stage power amplifier.

변조된 신호(LTE up-link 16 QAM 5 MHz)에 대한 LTE 규격은 최대 출력파워 23 dBm, 최소 ACLR(Adjacent Cha-

nnel Leakage Ratio) -30 dBc, 최대 EVM(Error Vector Magnitude) 12.5 %을 만족해야 한다^[2].

제작된 전력 증폭기는 변조된 신호를 인가하였을 때 22.6 dB의 전력 이득, 평균 전력 23.1 dBm에서 175 mA의 전류를 소비하며, 35.1 %의 효율, -30 dBc의 ACLR, 5.2 %의 EVM을 갖는다. 또한, 그림 8(d)에서 볼 수 있듯이, standard spectrum mask를 만족한다. 표 2는 기존의 전력증폭기의 성능과 제작된 전력증폭기의 성능을 비교하여 정리한 표이다. 표 2에서 볼 수 있듯이, 제안한 전력 증폭기는 DPD(Digital Predistortion Algorithm)와 같은 복잡한 선형화 기법을 사용하지 않고, 충분한 평균 전력과 우수한 효율을 갖는다. 또한, 구조가 매우 간단하여 IC의 면적이 매우 작은 것을 알 수 있다.

IV. 결 론

본 논문에서는 CMOS-0.18 μm 공정을 이용하여 1.75 GHz 대역에서 동작하는 이단으로 구성된 전력증폭기를 설계하였다. 측정 결과, 제작된 전력증폭기는 중심 주파수 1.75 GHz의 one-tone 신호를 인가하였을 때 22.6 dB의 전력 이득, 24.8 dBm의 출력 전력에서 41.3 %의 높은 효율을 갖는다. 5 MHz의 tone-spacing을 갖는 two-tone 신호를 인가하였을 때 평균 전력 22.2 dBm에서 IMD3가 -30 dBc로 좋은 선형성을 갖는다. 또한, 변조된 신호를 인가하였을 때 평균 전력 23.1 dBm에서 -30 dBc의 ACLR로 좋은 선형성과 5.2 %의 EVM, 35.1 %의 높은 효율을 갖는다. 따라서 제안된 이단으로 구성된 CMOS 전력증폭기는 매우 간단한 구조를 이용하여 무선통신 시스템에 적합한 성능을 가짐을 확인하였다.

표 2. 기존 전력증폭기들과 성능비교

Table 2. Performance comparison to the previously published characteristics of the power amplifiers.

Ref.	Freq. (GHz)	V_{DD} (V)	P_{out} (dBm)	PAE (%)	Gain (dB)	EVM (%)	ACLR (dBc)	Area (mm ²)	Modulation	Techonology
[8]	2.35	3.3	21.5 25.5*	9 16*	-	5.6	-	2.7	64-QAM	65 nm CMOS
[9]	2.4	3.3	23.9 26.4*	14 22*	-	5.6	-	6	64-QAM	65 nm CMOS
[10]	0.93	2	25.1	15	-	5.6	-	2	LTE 16-QAM 10 MHz	90 nm CMOS
[11]	1.85	5.5	24.9	4	-	3	-34.9	6	LTE 16-QAM 20 MHz	0.13 μm CMOS
This work	1.75	3.3	23.1	35.1	22.6	5.2	-30	0.46	LTE 16-QAM 5 MHz	0.18 μm CMOS

* with DPD(Digital Predistortion Algorithm).

(a) 전력이득, 효율, IMD3

(a) Power gain, PAE measured by 1-tone

(b) 변조신호를 이용한 전력이득, 효율

(b) Power gain, PAE measured by modulated-signal

(c) 인접 채널 누설비, 오류 벡터 크기

(c) ACLR, EVM

(d) 평균 출력 23.1 dBm 출력에서의 spectrum mask

(d) Measured spectrum at an average output power of 23.1 dBm

(e) 정상도

(e) Constellation

그림 8. 제작된 2단 전력증폭기의 측정 결과

Fig. 8. Measurement results of the 2-stage power amplifier.

References

- [1] S. C. Cripps, *RF Power Amplifier for Wireless Communications*, Artech House, 2002.
- [2] 3GPP technical specification, TS 36.104 V8.7.0. [Online]. Available: http://www.3gpp.org/ftp/Specs/latest/Rel-8/36_series/
- [3] D. Chowdhury, C. Hull, O. Degani, P. Goyal, Y. Wang, and A. Niknejad, "A single-chip highly linear 2.4 GHz 30 dBm power amplifier in 90 nm CMOS", in *Proc. IEEE Int. Solid-State Circuits Conf.*, pp. 378-379, Feb. 2009.
- [4] A. Afsahi, A. Behzad, and L. Larson, "A 65 nm CMOS 2.4 GHz 31.5 dBm power amplifier with a distributed LC power-combining network and improved linearization for WLAN applications", in *Proc. IEEE Int. Solid-State Circuits Conf.*, pp. 1-4, Feb. 2010.
- [5] J. Fritzin, C. Svensson, and A. Alvandpour, "A +32 dBm 1.85 GHz class-D outphasing RF PA in 130 nm CMOS for WCDMA/LTE", in *Proc. ESSCIRC*, pp. 127-130, Sep. 2011.
- [6] Brecht François, Patrick Reynaert, "A fully integrated watt-level linear 900-MHz CMOS RF power amplifier for LTE-applications", *IEEE Trans. Microw. Theory Tech.*, vol. 60, no. 6, pp. 1878-1885, Mar. 2012.
- [7] J. Ham, H. Jung, H. Kim, W. Lim, D. Heo, and Y. Yang, "A CMOS envelope tracking power amplifier for LTE mobile applications", *JSTS*, vol. 14, no. 2, pp. 235-245, Apr. 2014.
- [8] A. Afsahi, A. Behzad, and L. Larson, "A 65 nm CMOS 2.4 GHz 31.5 dBm power amplifier with a distributed LC power-combining network and improved linearization for WLAN applications", in *Proc. IEEE Int. Solid-State Circuits Conf.*, pp. 452-453, Feb. 2010.
- [9] A. Afsahi, L. Larson, "An integrated 33.5 dBm linear 2.4 GHz power amplifier in 65 nm CMOS for WLAN applications", in *Proc. IEEE Custom Integr. Circuits Conf. (CICC)*, pp. 1-4, Sep. 2010.
- [10] B. François, P. Reynaert, "A fully integrated watt-level linear 900 MHz CMOS RF power amplifier for LTE-applications", *IEEE Trans. Microw. Theory Tech.*, vol. 60, no. 6, pp. 1878-1885, Apr. 2012.
- [11] J. Fritzin, C. Svensson, and A. Alvandpour, "A 32 dBm 1.85 GHz class-D outphasing RF PA in 130 nm CMOS for WCDMA/LTE", in *Proc. ESSCIRC*, pp. 127-130, Sep. 2011.

배 중 석

2014년 2월: 충남대학교 전자공학과 (공학사)
 2014년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정
 [주 관심분야] RF Power Amplifier IC Design, Wireless Power Transfer

함 정 현

2009년 2월: 한양대학교 전자공학과 (공학석사)
 2009년 2월~2011년 2월: LG Electronic 연구원
 2011년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 박사과정
 [주 관심분야] High-Efficiency RF Transmitter, High-Speed DCDC Converter, CMOS RF Power Amplifier

정 혜 련

2012년 2월: 광운대학교 전자공학과 (공학사)
2012년 9월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정
[주 관심분야] Bias Modulator, High-Speed DC-DC Converter, High Efficiency CMOS Power Amplifier

조 수 호

2014년 2월: 건국대학교 전자공학과 (공학사)
2014년 2월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정
[주 관심분야] Analog/Mixed-Signal IC Design, RF Power Amplifier IC Design, Active Noise Canceling System

임 원 섭

2012년 2월: 한양대학교 전자공학과 (공학사)
2013년 2월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정
[주 관심분야] Analog/Mixed-Signal IC Design, RF Power Amplifier IC Design

양 영 구

1997년 2월: 한양대학교 전자공학과 (공학사)
2002년 2월: 포항공과대학교 전자전기공학과 (공학박사)
2002년 3월~2002년 7월: 포항공과대학교 전자전기공학과 박사후 연구원
2002년 8월~2005년 2월: Skyworks Solutions Inc. (Senior Electronic Engineer)
2005년 3월~현재: 성균관대학교 정보통신공학부 부교수
[주 관심분야] 초고주파 회로설계, 무선통신 송/수신기 시스템 설계, 비선형 회로 분석 및 시뮬레이션 기법 연구