3차원 집적 회로 소자 특성

박용욱*

Characteristics of 3-Dimensional Integration Circuit Device

Yong-Wook Park*

요 약

소형화된 고기능성 휴대용 전자기기의 수요 급증에 따라 기존에 사용되던 수평구조의 2차원 회로의 크기를 줄이는 것은, 전기 배선의 신호지연 증가로 한계에 도달했다. 이러한 문제를 해결하기 위해 회로들을 수직으로 적층한 뒤, 수평구조의 긴 신호배선을 짧은 수직 배선으로 만들어 신호지연을 최소화하는 3차원 집적 회로 적층기술이 새롭게 제안되었다. 본 연구에서는 차세대 반도체 소자의 회로 집적도를 비약적으로 증가시킬 수 있고, 현재 문제점으로 대두 되고 있는 선로의 증가, 소비전력, 소자의 소형화, 다기능 회로 문제를 동시에 해결 할 수 있는 3차원 구조를 갖는 회로소자에 대한 특성을 연구하였다.

ABSTRACT

As a demand for the portable device requiring smaller size and better performance is in hike, reducing the size of conventionally used planar 2 dimensional integration circuit(IC) cannot be a solution for the enhancement of the semiconductor integration circuit technology due to an increase in RC delay among interconnects. To address this problem, a new technology of 3 dimensional integration circuit (3D-IC) has been developing. In this study, three-dimensional integrated device was investigated due to improve of reducing the size, interconnection problem, high system performance and functionality.

키워드

3-Dimensional, Integration Circuit(IC), Multilayer, Ground plane, Isolation
3차원, 집적회로, 적층화, 단락층, 격리도

1. 서 론

최근 IT 정보화 시대가 급속히 진전되고 통신장비의 소형화, 경량화, 고기능화, 고품질화가 요구되는 시장 환경의 변화로 실리콘을 기반으로 하는 집적회로 소자는 기술적으로 10 ~ 100nm의 선폭, $10^9 \sim 10^{11} \text{ cm}^{-2}$ 디바이스 밀도, interconnect 밀도가 $10^{10} \sim 10^{12} \text{ cm}^{-2}$ 의 값을 필요로 하고 있다[1]-[3]. 따라서 현재 집적회로가 응용되고 있는 분야에서는 디지털회로, 아

날로그회로, 그리고 디지털과 아날로그가 혼합된 복합 회로 등이 사용되고 있지만, 기기의 소형화 및 다 기능화에 따른 집적도 증가로 발생하는 선로 증가와 같은 핵심적인 문제와 함께 선로 증가로 발생하는 기기의 발열 문제 등으로 발생하는 문제점을 해결할 수 있는 소자의 소형화, 설계의 다양성 등과 같은 특성을 향상시킬 수 있는 핵심 기술의 개발이 요구되고 있는 상황이다[4]. 따라서 이와 같은 문제점을 해결 할 수 있는 기술개발의 필요성에 따라 평면적인 확장 문제

* 교신저자 : 남서울대학교 전자공학과(pyw@nsu.ac.kr)

접수일자 : 2012. 10. 17

심사(수정)일자 : 2013. 01. 15

게재확정일자 : 2013. 01. 23

를 해결할 수 있는 새로운 개념의 수직적인 집적구조 및 다른 회로 특성을 갖는 회로구조를 적층화 시킬수 있는 3차원 집적회로(3-Dimensional integration circuit) 설계 제작 기술이 대안으로 제시되고 있다 [5]~[8]. 3차원 집적회로 소자를 제작하기 위해서는 다양한 공정 기술들이 필요하지만 크게 다음과 같은 3 가지 기술이 가장 중요하다. 첫째가 실리콘 관통 전극 기술(Through Silicon Via)로서 이는 수직으로 적층되어 있는 웨이퍼들/칩들 사이를 관통전극(Through Via)을 만들어 전기적으로 연결하는 기술을 말한다. 둘째로는 웨이퍼의 박화 기술(Wafer Thinning)로서 연삭(Lapping), 심도 반응성 이온 에칭(Deep Reactive Ion Etching; DRIE), CMP 등의 방법으로 웨이퍼 두께가 약 50 μm 정도 될 때 까지 식각하는 기술이며, 셋째로는, 웨이퍼간 정렬(Alignment) 및 본딩(Bonding)에 의해 적층 구조를 형성하는 웨이퍼 정렬 및 본딩 기술이다.

본 연구에서는 차세대 반도체 소자의 회로 집적도를 비약적으로 증가시킬 수 있고, 현재 문제점으로 대두되고 있는 선로의 증가, 소비전력, 소자의 소형화, 다기능 회로 문제를 동시에 해결할 수 있는 3차원 구조를 갖는 회로소자에 대한 전기적 특성을 연구하였다.

II. 본 론

고밀도의 집적회로를 갖는 인 플레인(in-plane)과 아웃 플레인(out-plane) 디바이스의 결합으로 제조되는 3차원 집적회로는 소자의 기능 개선과 소형화에 기여 할 수 있는 첨단의 반도체 소자 기술이다[9]. 3차원 집적회로 소자는 소자의 고집적도와 고성능의 회로 연결성과 저전력화, 그리고 최근 기능의 향상을 위해 필요한 온칩화(system-on chip) 개발에도 필요한 기술이다. 현재의 온칩화 기술에서 설계의 다양성을 위하여 칩 사이즈와 연결 선로의 증가로 인한 제약이 큰 문제로 대두되고 있고, 따라서 회로의 적층과 인 플레인과 아웃 플레인간의 연결 선로를 수직으로 연결할 수 있는 3차원 집적회로 제조기술은 아날로그와 디지털 회로의 결합을 요구하는 로직, 메모리, 아날로그, RF/microwave, FPGA 및 옵티컬 I/O를 효율적으로 설계 제작할 수 있는 핵심 집적화 회로 기술

이다[10]~[13]. 현재 사용 중인 집적회로 제조 기술과 3차원 집적회로 기술을 비교하면 다양한 기판들 즉 Si, SiGe, GaAs 등을 사용하여 제작한 기판을 집합해야 하는 제조상의 어려움과 제작비가 증가한다는 문제점을 있고, 또한 제작된 로직, 아날로그/RF 회로의 특성 향상을 위한 회로의 분리가 잘되어야 한다는 기술적 문제점이 있지만 집적도, 회로의 복잡화, 경량화, 고기능화, 고품질화 및 다기능화 등의 우수한 특성으로 인하여 향후 아날로그와 디지털 회로의 결합을 요구하는 로직, 메모리, 아날로그, RF/microwave등의 다기능성 및 고성능의 소자를 개발 할 수 있는 핵심의 집적회로 기술로 mixed signal 응용을 위한 3차원 집적회로 소자 개발은 차세대 복잡화, 고기능성의 집적회로 소자에 활용될 핵심 첨단 기술이다.

그림 1. 디바이스 구조도
Fig. 1 Structure of device

본 연구에서 아날로그와 디지털 회로의 결합을 요구하는 로직, 메모리, 아날로그, RF/microwave등의 다기능성 및 고성능의 소자를 개발 할 수 있는 3차원 집적회로(3-dimensional integration) 소자 개발을 목표로 그림 1과 같은 구조를 갖는 인 플레인용 디바이스인 벌크 디바이스를 설계하기 위해 Si 기판 위에 MOS 구조를 갖는 단일의 회로를 설계하고 또한 아웃 플레인에 해당되는 아날로그회로를 구현하기 위한 소자를 설계하여 특성을 측정 분석하였다. 또한 디지털과 아날로그회로를 동시에 갖는 3차원 집적회로 소자의 주파수 특성 분석을 위해 설계 구조에 따른 소자의 주파수특성을 최적화하기 위해 HFSS(High

Frequency Structure Simulator)를 사용하여 디지털 디바이스와 아날로그 디바이스가 최적의 구조를 가지도록 구조 시뮬레이션을 수행하였고 또한 디바이스를 제작하여 특성을 비교 분석하였다.

III. 실험

디지털 신호와 아날로그 신호가 혼합된 mixed signal 응용을 위한 3차원 집적회로 개발을 위하여 인 플레인용 디바이스와 아웃 플레인용 디바이스를 설계하기 위하여 우선 3차원 구조를 가진 집적회로의 RF 신호에 대한 디지털회로부와 아날로그회로부의 RF 신호에 대한 상호관계를 비교 분석하였다. 이를 분석하기 위하여 Ansoft사의 HFSS(High Frequency Structure Simulator)를 이용하여 아날로그 회로와 디지털

그림 2. 3차원 회로 구조도
Fig. 2 3D circuit structure

회로가 적층으로 있는 구조에 대한 RF 신호 특성 분석 실험을 그림 2와 같이 디지털회로부와 아날로그회로부 사이에 ground plane이 존재하는 구조와 ground plane이 존재하지 않는 구조에 RF 신호 분리 특성에 대하여 연구하였다. 또한 어떠한 구조가 최적의 특성을 가지는지를 시뮬레이션 실험을 수행하였다. 그림 3은 HFSS로 분석한 그림 2의 구조에 대한 결과로 surface current density의 경우 ground plane이

존재하지 않은 구조는 표면전하밀도 특성이 하부 전극에 영향을 많이 받는 것을 확인 할 수 있었다. 하지만 디지털회로부와 아날로그 회로부 사이에 ground plane이 존재하는 구조는 surface current density가 전체적으로 균일하게 존재하여 안정적으로 RF 신호를 분리, 차단하는 것을 알 수가 있다.

그림 3. 표면전하 밀도 특성
Fig. 3 Results of surface current density

위의 실험 결과에서 디지털 회로부와 아날로그 집적회로 사이에 ground plane이 존재하는 경우 안정적으로 RF 신호를 차단하는 것을 확인 한 후 ground plane의 크기에 따른 신호 차단 특성을 추가적으로 분석하였다. 따라서 추가적인 회로 분석에서는 실제로 제작된 mixed signal 응용을 위한 3차원 집적회로 소자에서 어떠한 구조의 ground plane 구조가 더 효과적으로 아날로그 회로와 디지털 회로부를 Isolation 시킬 수 있으며, 또한 최적의 동작 조건을 가지는지 디바이스 제작을 위해 필요한 회로 분석을 추가로 수행하였다. 분석조건으로는 ground plane이 존재하지 않는 경우와 ground plane의 크기를 $1\mu\text{m} \times 1.5\mu\text{m}$, $1\mu\text{m} \times 1.2\mu\text{m}$, $1\mu\text{m} \times 1.0\mu\text{m}$, $1\mu\text{m} \times 0.6\mu\text{m}$, $1\mu\text{m} \times 0.3\mu\text{m}$ 의 크기로 각각 변화시키면서 회로부 사이에 발생하는 반사손실 특성을 비교 분석하였다. ground plane이 미치는 영향의 결과는 그림 4와 같다. 동작 주파수 영역이 5GHz에서 10GHz로 증가할수록 삽입손실이 증가하는 특성을 공통적으로 보였지만 ground plane이 존재하는 경우가 더 우수한 RF 신호 Isolation 특성을 보였다. 또한

ground plane의 크기가 증가 할수록 우수한 신호 격리도 특성을 가지는 것을 확인 할 수 있고 $1\mu\text{m} \times 1.5\mu\text{m}$ 의 크기를 갖는 ground plane이 5GHz에서 가장 우수한 -84 dB의 삽입손실 특성을 가져 최적의 신호 분리 특성을 가지는 것을 확인 할 수 있었다.

그림 4. Ground plane 크기에 따른 삽입손실 특성
Fig. 4 Result of S_{21} depend on different ground plane size

IV. 결 과

3장에서의 수행한 HFSS 회로 분석 결과를 바탕으로 디바이스의 실제적인 신호특성을 확인하기 위하여 그림 5와 같은 기본 구조를 갖는 3차원 소자를 제작하였다. 제작된 소자는 upper active area가 $30\mu\text{m} \times 30\mu\text{m}$ 이고 lower excitation area가 $30\mu\text{m} \times 30\mu\text{m} \times 300\mu\text{m}$ 이며 신호 전극 물질로는 300nm의 두께를 갖는 Al을 사용하였다. 또한 각각의 upper active area, ground plane 및 lower excitation area를 분리하기 위해 SiO_2 를 400nm 증착하여 각각의 전극을 격리하였고 자세한 구조는 그림 5에 표시하였다.

또한 ground plane의 크기에 따른 소자의 주파수 특성을 확인하기 위해 그림 5와 같은 기본적인 구조를 사용하여 ground plane의 크기가 다른 4가지의 회로를 설계하여 그림 6과 같이 제작하였다. HFSS 회로분석을 통하여 분석한 결과를 바탕으로 ground plane의 크기를 $120\mu\text{m} \times 120\mu\text{m}$, $60\mu\text{m} \times 60\mu\text{m}$, $30\mu\text{m} \times 30\mu\text{m}$

그림 5. 제작된 기본 디바이스 구조도
Fig. 5 Structure of fabricated basic device

및 no ground plane 구조를 갖는 디바이스를 설계하고 그림 6과 같이 제작하였다. 시뮬레이션으로 확인한 3장의 특성 연구 결과와 그림 6과 같이 실제로 제작한 디바이스를 network analyzer를 사용하여 소자특성을 결과를 비교하고 어떠한 구조가 최적의 특성을 갖는지 확인 하였다. 그림 7은 ground plane의 크기를 $120\mu\text{m} \times 120\mu\text{m}$, $60\mu\text{m} \times 60\mu\text{m}$, $30\mu\text{m} \times 30\mu\text{m}$ 및 no ground plane의 구조로 제작된 디바이스의 삽입손실 특성인 S_{21} 의 측정 결과를 보여주고 있다. 이와 같이 제작된 디바이스는 Agilent사의 network analyzer 8510 XF를 이용하여 45MHz에서 65GHz까지 특성을 측정 분석하였다. 그림 7의 결과에서 알 수 있듯이 디바이스의 특성은 HFSS를 이용하여 분석한 simulation 결과와 비슷한 경향을 보여주지만 신호분리 특성은 약 60 dB정도 차이가 나는 것을 알 수 있다. 이것은 이상적인 조건의 simulation 결과와 실제 제작된 디바이스와는 많은 특성 차이가 나는 것을 알 수 있고 향후 더 정확한 특성을 예측할 수 있는 회로 구조 분석이 필요함을 보여준다. 그러나 실제 디바이스가 갖는 신호분리 특성은 simulation 결과와 비슷하여 경향성은 확인 할 수 있었다. 실제의 디바이스의 측정 결과에서 ground plane의 크기가 증가할수록 신호 분리 특성은 개선되고 있는데 ground plane의 크기가 $120\mu\text{m} \times 120\mu\text{m}$ 에서 가장 우수한 신호 분리 특성을 보여주며 ground plane이 존재하지 않은 구조에서는 삽입손실이 -15 dB로 신호 격리 특성이 가장 불량한 것을 알 수 있

그림 6. 제작된 디바이스 사진
Fig. 6 Photos of fabricated devices

그림 7. 측정된 디바이스 삽입손실 특성
Fig. 7 Measured S21 result of device

다. 향후 추가적인 연구에서 디바이스 크기에 따른 효율적인 접지면의 크기와 어떠한 성분이 신호 격리 특성에 최대의 영향을 미치며 어떠한 구조와 크기가 효율적인 접지면의 특성을 가지는지에 대한 보완적인 추가 연구가 필요한 것으로 생각된다.

참고 문헌

[1] J. W. Joyner, P. Z. Ha, and J. D. Meindl, "Global interconnect design in a three-

dimensional system-on-a-chip", IEEE Trans. on VLSI Systems, vol. 12, 367, 2004.

- [2] A. Rahman, S. Das, A. P. Chandrakasan, and R. Rei, "Wiring requirement and three-dimensional integration technology for field programmable gate arrays", IEEE Trans. on VLSI systems, 11, 44, 2003.
- [3] L. Xue, C. C. Liu, H. S. Kim, S. Kim, and S. Tiwari, "Three-Dimensional Integration: Technology, Use, and Issues for Mixed-Signal Applications", IEEE Trans. Electron Devices, 50, 601, 2003.
- [4] K. W. Guarini, C. F. Quate, and H. T. Soh, "Structure Suitable for a 3-V Operation Sector Erase Flash Memory", IEMD Tech. Dig., pp. 943-945, 2002.
- [5] K. Banerjee, S. J. Souri, P. Kapur, and K. C. Saraswat, Proceedings of the IEEE, 89, 602, 2001.
- [6] F. Niklaus, G. Stemme, J. Q. Lu, and R. J. Gutmann, "Adhesive wafer bonding", J. Micromech. Microeng., 11, 100, 2001.
- [7] S. W. Seo, D. L. Geddes, and N. Jokerst, "3D Stacked Thin Film Photodetectors for Multispectral Applications", IEEE Photonics Technology Letters, 15, 578, 2003.
- [8] P. Abele, J. Konle, D. Behammer, and K. B. Schad, "Wafer level integration of a 24 GHz and 34 GHz differential SiGe-MMIC oscillator with a loop antenna on a BCB membrane", IEEE MTT-S Digest, 1033, 2003.
- [9] 고민호, 표승철, 박효달, "광대역 RF 전단부 구조에 관한 연구", 한국전자통신학회논문지, 4권, 3호, pp. 183-189, 2009.
- [10] 최병상, "Pt 나노입자와 Hybrid Pt-SiO₂ 나노입자의 합성과 활용 및 입자박막 제어", 한국전자통신학회논문지, 4권, 4호, pp. 301-305, 2009.
- [11] 이봉주, 신현용, "CVD로 제작된 SiO₂ 산화막의 투습특성", 한국전자통신학회논문지, 5권, 1호, pp. 81-87, 2010.
- [12] 채용웅, 윤광렬, "측면산화 프리크리닝의 최소화를 통한 DRAM의 데이터 유지시간 개선", 한국전자통신학회논문지, 7권, 4호, pp. 833-837, 2012.
- [13] 김주완, 구영덕, 배영철, "MEMS 소자에서의 비선형 현상", 한국전자통신학회논문지, 7권, 5호, pp. 1073-1078, 2012.

저자 소개

박용욱(Yong-Wook Park)

1989년 2월 연세대학교 전기공학과 졸업(공학사)

1991년 8월 연세대학교 대학원 전기공학과 졸업(공학석사)

1999년 2월 연세대학교 대학원 전기공학과 졸업(공학박사)

2000년 9월~현재 남서울대학교 전자공학과 부교수

※ 관심분야 : RF 디바이스, 안테나, 센서