모바일용 디지털 오디오 스피커를 위한 고효율 드라이버 설계

논 문

60P-1-4

A High-Efficiency Driver Design for Mobile Digital Audio Speakers

김 용 석* · 임 민 중†
(Yong-Serk Kim · Min-Joon Rim)

Abstract - In this paper, we designed Interpolation FIR(Finite Impulse Response) filter and 1-bit SDM(Sigma-Delta Modulator) for small digital audio speaker, which has low power consumption and high output characteristics. In order to achieve high linearity and low distortion performance of the systems, we adopt Type I Chebyshev FIR filter which has equiripple characteristics in the pass band and proposed high efficient FIR filter structure. SDM is the most efficient modulation technique among the noise shaping techniques. In this paper, we implemented SDM using CIFB(Cascade of Integrators, Feed-Back) which is generally used in DAC of small digital audio speakers. The proposed SDM structure can achieve high SNR, high-efficiency characteristics and low power consumption in mobile devices. Also considering manufacture of SoC(System on Chip), we performed simulation with Matlab and Verilog HDL to obtain optimal number of operational bits and verified a good experimental results.

Key Words : Digital Audio Amplifier, Interpolation Filter, SDM(Sigma Delta Modulator), Low Power Consumption

1. 서 론

최근 소비자들이 각종 콘텐츠에 대한 관심이 증가함에 따라 휴대폰, PMP, PDA, MP3 플레이어 등과 같은 모바일(mobile) 전자기기 시장이 활기를 보이고 있다. 모바일 전자기기는 기존의 텍스트 및 이미지, 음성 통화 서비스를 넘어서 영상통화, 모바일 TV, 각종 음성 콘텐츠 등 다양한 서비스가 제공되어야 하며, 소비자들은 쉽게 휴대할 수 있으며, 더 가볍고, 긴 배터리의 수명을 가지는 제품을 선호하고 있다.

이러한 소비자들의 요구를 만족시키기 위하여 모바일 전자기기의 성능을 향상시키고 전력소모를 감소시키기 위한 많은 연구가 활발히 진행되고 있는 가운데, 각종 멀티미디어 서비스의 기본이 되는 모바일 전자기기의 오디오 시스템에 대한 중요성이 높아지고 있다. 기본적으로 모바일 전자기기 오디오 시스템은 디지털 코드 상태의 음성 신호를 왜곡 없이 처리하고, 저전력 고효율 스피커 구동을 하기 위한 기술이 요구된다.

기존의 아날로그 스피커 구동방식의 경우, 그림 1과 같이 기존의 음성신호를 처리, 증폭하는 과정에 있어서 PCM Pulse Coded Modulation) 신호를 DAC(Digital to Analog Converter)를 통해 아날로그 신호로 변환한다. DAC의 출력은 아날로그 증폭기(Class-D amplifier)에 의해 증폭되어 그 출력을 이용하여 스피커를 구동한다. 이 방식의 경우, PCM 신호를 DAC를 통해 아날로그 신호로 변환하는 과정 및 Class-D 증폭기의 스위칭(switcing) 동작에 기인하여 하모닉 잡음(harmonic noise)이 발생하게 된다. 이로 인해, 높은

그림 1 기존의 아날로그 오디오 시스템 블록도

Fig. 1 Conventional analog audio system block diagram

SNR(Signal to Noise Ratio) 확보가 어렵고 이를 해결하기 위해서 높은 선형성을 가지는 고가의 아날로그 회로의 추가가 필요하기 때문에 가격 경쟁력이 떨어지게 된다.

이러한 문제점을 해결하기 위한 방법으로 그림 2와 같은 디지털 스피커 방식이 대두되었다[1]. 디지털 스피커 방식은 PCM 신호를 받아 디지털 신호 상태에서 모든 신호처리를 포함하여 스피커 구동까지를 모두 디지털로 처리한다. 이는 앞서 언급한 DAC, 아날로그 증폭기로 인한 비선형성과 하모닉 잡음의 문제를 극복할 수 있으며, 이에 따라 높은 SNR 확보 및 고효율 특성을 얻을 수 있다.

본 논문에서는 구현 성능과 저전력 설계, 회로 면적 등을 고려한 고효율 디지털 필터를 설계하였다. 모바일용 디지털 스피커를 구동하기 위해서는 드라이버(driver)단에서 신호 복원을 위한 안정된 보간 FIR(Finite Impulse Response)필터 설계가 필요하다. 그러나 FIR필터로 IIR(Infinite Impulse Response) 필터와 동일한 정도의 진폭특성을 얻으려고 하면

* 정 회 원 : 삼성전자 무선사업부 상무

† 교신저자, 비회원 : 동국대학교 정보통신공학과 교수 · 공박

E-mail: minjoong@dongkuk.edu

접수일자 : 2011년 1월 31일

최종완료 : 2011년 2월 18일

그림 2 써모미터 코드(Thermometer code) 방식의 디지털 오디오 블록도

Fig. 2 Digital audio block diagram of Thermometer code

차수가 매우 커지기 때문에, 메모리, 가산기 그리고 승산기 등 하드웨어 부담이 되는 문제점이 있으므로, 필터의 사양과 필터 내부 블록에서의 데이터 처리 Bit Width를 고려하여 선택할 필요가 있다.

디지털 스피커 방식 중 대표적인 방식으로 써모미터 코드 변환(Thermometer code conversion) 방식이 있다[1],[2]. 이 방식은 그림 2와 같이 PCM신호를 I2S(Inter-IC Sound)와 디지털 필터(digital filter)를 거쳐 변조기(modulator)의 입력 신호로 적합한 디지털 신호를 구현한 후, 멀티 비트(multi-bit)의 SDM(Sigma-Delta Modulator)를 이용하여 유닛 스피커(Unit speaker) 개수만큼의 디지털 신호레벨을 출력한다. 그 값은 써모미터 코드로 전환되어 각각의 유닛 스피커를 구동하는 신호가 된다. 즉 1bit의 써모미터 코드가 한 개의 유닛 스피커를 구동하는 방식이며, 예를 들어 8bit의 유닛 스피커는 8개의 유닛 스피커를 구동할 수 있다. 그리고 최종적으로 각각의 유닛 스피커의 출력은 공간에서 합쳐져 소리를 만들게 된다.

그러나 이 방식은 써모미터 코드의 LSB(Least Significant Bit)로 동작되는 유닛 스피커와 MSB(Most Significant Bit)로 동작되는 유닛 스피커간의 동작 빈도수가 현저하게 차이가 나며, 따라서 장시간 동작 시, 열화 정도의 차이에 의해 유닛 스피커간의 불일치(mismatch)가 발생할 수 있다. 특히 하위 bit의 유닛 스피커의 열화가 가능성이 높은 것이 단점이다.

본 논문에서는 이러한 써모미터 코드 방식의 단점을 보완할 수 있는 새로운 디지털 스피커 구동방식을 제안한다. 새로운 디지털 스피커 구동방식은 1bit SDM을 사용하여 써모미터 코드 변환단계가 없이 CMOS buffer를 통해 유닛 스피커를 구동한다. 이 방식을 통해 4개의 유닛 스피커를 동시에 구동함으로써, 장시간 동작 시에 나타나는 기존의 써모미터 코드 방식의 문제점인 유닛 스피커의 열화가 가능성을 줄이며, 동시에 유닛 스피커간의 불일치 발생 또한 줄일 수 있다. 이렇게 동시에 구동된 유닛 스피커들은 동시에 구동되면서, 상대적으로 낮은 CMOS의 전원전압으로 고출력을 낼 수 있게 되어 모바일용 디지털 스피커를 위한 저전력 고효율 스피커 구동이 가능하다.

2. 보간 필터(Interpolation Filter) 설계

본 논문에서는 모바일용 디지털 스피커를 구동하기 위한 드라이버단을 개발하기 위해 드라이버단을 전 디지털 증폭기(fully digital amplifier)로 설계하였다. 이를 통하여 전력 소모는 줄이고 보다 높은 성능의 효율적 개선을 도모할 수 있는데 먼저 그림 3과 같은 보간 필터를 설계하였다.

그림 3 보간 FIR 필터 과정

Fig. 3 Interpolation FIR filter procedure

그림 3에서는 각 필터마다 오버 샘플링(over-sampling)을 구현하기 위해, 각 FIR 필터단은 Up-sampling 필터의 형태로 설계하였다. 이는 샘플링율(sampling rate), n 에 의해, 출력은 입력에 비해 n 배 높은 출력을 갖게 된다. 필터 단계(stage)의 각 필터는 샘플링율은 '2'로서 각 필터단은 입력 신호 주파수 f_s 의 2배 빠른 $2f_s$ 의 주파수 특성을 갖는다. 또한, 필터단은 음성신호 대역인 20 kHz내의 신호만 통과시키는 저역통과(Low-Pass)필터의 특성을 갖는다.

그림 4 보간 (x 2) Low-Pass FIR 필터

Fig. 4 Interpolation (x 2) Low-Pass FIR filter

그림 5 '0' 삽입 방식을 이용한 Up-sampling (x2)

Fig. 5 Up-sampling (x2) using '0' insertion method

보간 필터는 그림 4와 같이 Up-sampling 블록과 저역통과 FIR 필터 블록으로 구성되어 있다[3],[4]. Up-sampling 방법은 그림 5와 같이 각 샘플 데이터 사이에 '0' (zero)을 삽입함으로써, 원하는 출력 주파수를 얻는 것이다. 본 논문에서는 FIR 필터의 저역 통과 구간에서 등리플의 응답을 얻기 위해 등맥동 근사법(Equiripple Approximation)을 적용하였다. 체비셰프(Chebyshev) 필터에는 두가지 형태가 있는데 제1형 체비셰프 필터는 통과대역(pass band)에서 등리플 응답을 갖는 반면, 제 2형 체비셰프 필터는 저지대역(stop band)에서 등리플 응답을 갖는다. 본 논문에서는 통과대역에서의 등리플 응답을 갖기 위해 제 1형 체비셰프 필터를 적용하였다[5]. 제 1형 체비셰프 필터의 크기제곱 응답은 다음과 같다.

$$|H_a(j\Omega)|^2 = \frac{1}{1 + \epsilon^2 T_N^2\left(\frac{\Omega}{\Omega_c}\right)} \quad (1)$$

여기서 N 은 필터의 차수이고, ε 은 R_p 와 관계 있는 통과 대역 리플 인자이다. 그리고 $T_N(x)$ 는 다음과 같이 주어지는 N 차 체비셰프 다항식이다.

$$T_N(x) = \begin{cases} \cos(N \cos^{-1}(x)), & 0 \leq x \leq 1 \\ \cosh(\cosh^{-1}(x)), & 1 < x < \infty \end{cases} \quad (2)$$

여기서, $x = \frac{\Omega}{\Omega_c}$ 이다.

체비셰프 필터의 등리플 응답은 이 다항식 $T_N(x)$ 때문이다. 이것의 핵심적인 특성은 다음과 같다.

- $T_N(x)$ 은 $0 < x < 1$ 에서 -1과 1사이의 값으로 진동한다.
- $T_N(x)$ 은 $0 < x < \infty$ 에서 단조증가 함수이다.

$|H_a(j\Omega)|^2$ 은 N 이 홀수일 경우와 짝수일 경우에 해당하는 두가지 모양을 갖는다. $x = \frac{\Omega}{\Omega_c}$ 는 정규화된 주파수임을 주목하여야 한다.

위의 두 응답 그래프들로부터 다음과 같은 특성을 알 수 있다.

- $x=0$ (즉, $\Omega=0$)에서 $|H_a(j0)|^2 = 1$, N 이 홀수인 경우,
 $|H_a(j0)|^2 = \frac{1}{1+\varepsilon^2}$, N 이 짝수인 경우.
- $x=1$ (즉, $\Omega=\Omega_c$)에서 $|H_a(j0)|^2 = \frac{1}{1+\varepsilon^2}$, 모든 N 에 대하여.
- $0 \leq x \leq 1$ (즉, $0 \leq \Omega \leq \Omega_c$)에서 $|H_a(jx)|^2$ 은 1과 $\frac{1}{1+\varepsilon^2}$ 사이에서 진동.
- $x > 1$ (즉, $\Omega > \Omega_c$)에서 $|H_a(jx)|^2$ 는 0까지 단조감소.
- $x > \Omega_r$ 에서 $|H_a(jx)|^2 = \frac{1}{A^2}$.

디지털필터의 전달함수를 소프트웨어로 실현할 경우 필터의 계수를 무한어장(infinite word length)으로 표시할 수 있기 때문에 오차 혹은 특성열화와 같은 문제가 발생하지 않으나 하드웨어적으로 디지털필터를 설계할 경우 임출력신호, 시프트레지스터 그리고 필터의 계수 등이 유한한 비트수로 표현되고 연산되기 때문에 유한어장에 기인하는 특성열화를 고려해야 한다. 물론 어장(word length)을 길게 하면 특성열화는 줄어들지만 하드웨어의 규모가 증대하거나 처리의 속도가 늦어진다 [6],[7]. 따라서 위와 같은 양자화 오류를 고려하여 원하는 필터의 성능을 구현하기 위한 보간 필터의 사양은 표 1과 같이 저지 대역(stop-band)에서의 많은 감쇠(attenuation)값을 갖는다.

FIR 필터의 동작은 현재 및 과거의 입력들이 임펄스 응답(impulse response) 즉, 필터의 특성을 결정짓는 계수(coefficient)와의 곱셈으로 이루어진다[8]. 각 보간 FIR 필터의 내부 동작 블록도는 그림 6과 같다. 필터의 입력은 우선 Zero-Stuffing('0' 삽입)을 통해 입력 주파수인 f_s 의 2배 높은 $2f_s$ 출력을 갖는다.

이처럼 Up-sampling된 출력은 FIR 필터의 입력이 되어

표 1 FIR 필터 사양(일반 CD용 보간 필터)

Table 1 Specification of FIR filter(Interpolation filter for CD)

사양 단계	Wpass	Wstop	Apass	Astop	차수
	(Normalized)		(dB)		
1 st FIR	0.487	0.5765	0.05	140	122
2 nd FIR	0.487	0.636	0.05	80	48
3 rd FIR	0.487	0.767	0.05	40	16
4 th FIR	0.487	0.767	0.05	40	16
5 th FIR	0.487	0.767	0.05	40	16

그림 6 Transversal 구조를 가지는 보간 FIR 필터

Fig. 6 Interpolation FIR filter with Transversal structure

각 보간 FIR는 $2f_s$ 씩 오버샘플링을 수행한다. 그림 6은 Transversal 구조로서, 탭(Tap) 수와 동일한 곱셈기의 수를 갖는다.

표 1에서처럼 각 보간 FIR 필터단은 짝수 탭을 가지며, 이는 좌우 대칭의 대칭(symmetric) 임펄스 응답을 갖는다. 그러므로 그림 6에서 계수는 $h(0)=h(n)$, $h(1)=h(n-1)$ 과 같은 관계가 있으며, 출력신호는 아래와 같이 나타낼 수 있다.

$$y(n) = x(1) \cdot h(1) + x(2) \cdot h(2) + \dots + x(n-1) \cdot h(n-1) + x(n) \cdot h(n) \quad (3)$$

위와 같이 표현되는 출력 결과를 대칭형인 계수 특성을 이용하면 다음과 같다.

$$y(n) = \{x(1) + x(n)\} \cdot h(1) + \{x(2) + x(n-1)\} \cdot h(2) + \dots \quad (4)$$

식 (4)와 같이 각 탭의 덧셈 후, 같은 대칭 값을 가지는 계수와의 곱으로 나타낼 수 있다. 이는 Transversal 구조와 비교하여 곱셈기의 수를 1/2로 줄일 수 있는 장점이 있다. 이의 특성을 활용하여 구현한 Transversal의 블록도는 그림 7과 같다.

본 논문에서 제안 설계한 보간 FIR 필터는 Up-sampling을 위해 각 입력 사이마다 0(zero)의 값을 삽입(stuffing) 해주며, 이는 그림 7과 같은 대칭(symmetric)구조에서 각 탭마다 입력 $x(n)$ 과 0이 쌍으로 전개가 이루어진다. 따라서 식 (4)에서 계수와의 곱 이전의 덧셈에서 둘 중 하나의 탭은 반드시 '0'의 값을 가짐으로 이를 위한 덧셈기가 불필요하게 되어 곱셈기와 더불어 회로 면적(circuit area)을 줄일 수 있는 장점이 있다.

아울러 본 논문에서는 DVD-Audio의 비트 길이(Bit-depth)를

그림 7 설계한 고효율 FIR 필터
Fig. 7 Designed FIR filter with high-efficiency

처리하기 위해 Signed 24bit을 갖는 보간필터를 설계하였다. 앞서 표 1에서 나타난 필터 사양은 일반 CD를 위한 것으로 Bit-Depth를 위해 Signed 16bit을 갖도록 설계하였으나 DVD-Audio의 보간 필터의 사양은 표 2와 같이 더 높은 필터 성능을 위해 통과 대역(pass-band)과 저지 대역(stop-band)사이의 간격을 좁혔다. 이러한 결과 표 2와 비교하여 약간의 탭 수가 증가하였다. 또한, 데이터의 비트 길이가 증가하여 보간 FIR에서의 많은 부분을 차지하고 있는 곱셈기에서 Signed 24bit $\times$ Signed 16bit와 같은 형태가 요구됨으로 보간 FIR 필터단을 대칭 구조로 구현하면 많은 회로 면적을 필요로 하게 된다. 따라서 보간 필터 면적을 줄이기 위해서 그림 8 및 그림 9와 같은 재사용 방식(Reuse Methodology)을 적용하여 설계하였다.

표 2 FIR 필터 사양(DVD-Audio의 보간 필터)

Table 2 Specification of FIR filter(Interpolation filter for DVD-Audio)

사양 단계	Wpass	Wstop	Apass	Astop	차수
	(Normalized)		(dB)		
1 st FIR	0.487	0.5725	0.05	140	128
2 nd FIR	0.487	0.636	0.05	80	48
3 rd FIR	0.487	0.767	0.05	40	16
4 th FIR	0.487	0.767	0.05	40	16
5 th FIR	0.487	0.767	0.05	40	16

그림 8 에서와 같이 각 IFIR 필터단은 요구되는 오버 샘플링율(oversampling ratio)에 따라 전체 시스템 클럭(clock)을 나누어 사용하게 된다. 그러나 대칭 구조(symmetric structure)에서와는 달리, 각 필터 단은 곱셈기와 덧셈기의 재사용(reuse)을 위해 동기화된 가장 빠른 클럭인 시스템 클럭도 입력으로 사용한다.

각 보간 FIR필터 단의 입력 분할 클럭(divided clock)의 주기는 ϕ_0 이며, 이보다 빠른 시스템 클럭은 ϕ_0 동안 n 번 동작하게 된다. 각 필터단의 분할 클럭은 시스템 클럭으로부터 분주된 것으로 두 클럭은 동기화되어 동작한다.

그림 9와 같이 Up-sampling 데이터는 지연레지스터에 따라 ϕ_0 마다 다음 탭으로 이동을 하게되며, 기존 대칭 구조(symmetric structure)에서도 ϕ_0 마다 곱셈기는 탭의 데이터와 각 탭에 대응하는 계수와의 곱셈을 수행하였다. 이와 같은 경우, m -th order 보간 FIR 필터는 $1/m$ 만큼의 곱셈기가

그림 8 FIR filter의 클럭 분할 구조도(Reuse Methodology)
Fig. 8 Clock division structure of FIR filter(Reuse Methodology)

그림 9 설계한 클럭 및 FIR 필터 회로 동작도

Fig. 9 Designed clock and operational diagram of FIR filter circuit

요구되므로, Signed 24 bit의 Bit-depth의 보간 필터를 설계할 경우, 증가되는 회로 면적이 커지게 된다. 그러므로 빠른 시스템 클럭을 이용하여 지연레지스터의 데이터가 존재하는 ϕ_0 마다 분할 클럭과 시스템 클럭과의 비율(ratio)을 적용하여 적은 곱셈기로 미리 빠르게 곱셈을 연산하도록 설계하였다. 시스템 클럭의 주기인 $\phi_1, \phi_2, \dots, \phi_n$ 마다 멀티플렉서(multiplexer)를 이용하여 탭의 데이터와 계수를 곱셈기의 입력으로 하여 곱셈기가 연산되도록 하며, 그림 9에서처럼 출력을 위한 각 곱셈기 결과의 합들은 누적기(accumulator)를 사용하여 곱셈의 연산과 함께 축적되도록 하여 적은 수의 곱셈기와 덧셈기로 보간 FIR필터가 동작하도록 설계하였다.

3. Sigma-Delta Modulator(SDM) 설계

SDM(Sigma-Delta Modulation)는 신호 성분은 적분하고 미분하여 그대로 출력하고 잡음 성분은 미분하는 기법으로서, 잡음변형을 하는 방법 중 가장 효과적인 방법이다 [9],[10]. 그림 10(a)는 SDM의 구조이다. $H(z) = V(z)/U(z)$ 는 잡음을 변형시키는 필터의 전달함수이다. 실제 SDM은 비선형 시스템이지만, 분석을 위하여 그림 10(b)와 같은 선형모델로 가정하였다. 따라서 ADC(Analog to Digital Converter)를 위한 양자화기는 양자화 오차($E(z)$)가 더해지는 형태로 모델링하였다. 입력신호, $X(z)$ 에 대한 전달함수, $H_s(z)$ 와 양자화 잡음, $E(z)$ 에 대한 전달함수, $H_N(z)$ 는 각각 다음과 같다.

$$H_S(z) = \frac{Y(z)}{X(z)} = \frac{H(z)}{1+H(z)} \quad (5)$$

$$H_N(z) = \frac{Y(z)}{E(z)} = \frac{1}{1+H(z)} \quad (6)$$

따라서 출력신호는 입력신호 및 양자화 잡음에 대하여 다음과 같이 쓸 수 있다.

$$Y(z) = H_S(z)X(z) + H_N(z)E(z) \quad (7)$$

식 (7)에서 $H(z)$ 가 저역통과(low-pass) 필터라면 신호의 전달함수, $H_S(z)$ 는 저역통과 필터이고, 양자화 잡음에 대한 전달함수, $H_N(z)$ 는 고역통과(high-pass) 필터이다. 따라서 신호 대역에서는 양자화 잡음이 현저히 감소하며, 고주파 대역으로 갈수록 양자화 잡음의 양이 증가하는 형태로 변형된다. L 차 필터를 사용하여 SDM을 구현할 경우, 양자화 잡음에 대한 전달함수는 다음과 같다.

$$H_N(z) = (1 - z^{-1})^L \quad (8)$$

(a) 구조도

(b) 선형모델

그림 10 SDM 구조도

Fig. 10 SDM structure

따라서 신호대역내의 양자화 잡음 전력은 다음과 같이 구할 수 있다.

$$P_{Q,\Sigma-\Delta} = \int_{-f_0}^{f_0} \frac{P_{Q,Nyquist}}{OSR} df = \frac{P_{Q,Nyquist}}{OSR^{2L+1}} \frac{\pi^{2L}}{2L+1} \left(\frac{1}{OSR} \right)^{2L+1} \quad (9)$$

이다. 위의 결과에 따라 L 차 $\Sigma-\Delta$ 변조기의 SNR는 다음과 같다.

$$SNR = \frac{P_S}{P_{Q,\Delta-\Sigma}} = 10 \log \left[\frac{3}{2} (2^B - 1)^2 \frac{2L+1}{\pi^{2L}} OSR^{2L+1} \right] \quad (10)$$

즉, L 차 SDM은 샘플링 주파수 또는 OSR(Over Sampling Rate)을 2배 증가시킬 때마다 $3(2L+1)$ dB의 SNR 성능향상을 얻을 수 있으며, 이는 등가적으로 양자화기의 비

트수를 $0.5(2L+1)$ 씩 증가시키는 효과를 가지게 됨을 알 수 있다. 본 논문에서는 디지털 소형 스피커에 사용되는 드라이버단 개발을 위해서 저전력, 고출력 특성을 가지는 1-bit SDM(Sigma-Delta Modulator)을 설계하였다[1]~[3].

전체 시스템에 요구되는 설계 사양인 SNR > 100dB 이상을 만족시키기 위해, 1-bit SDM의 스펙은 3차의 OSR = 128을 적용하였다. 그리고 구조는 소형 디지털 오디오용 DAC에 적합한 CIB(Cascade of Integrators, FeedBack)를 사용하였다. CIB 구조의 블록 다이어그램은 그림 11과 같다.

그림 11 CIB의 구조 블록도

Fig. 11 Structure of CIB

그림 11에서 SDM은 세 개의 누적기(accumulator)로 구성되어 있고, a1, a2, a3, b1, c1, c2, c3는 CIB 구조의 계수가 적용된다. 이 계수들은 NTF(Noise Transfer Function)의 특성을 결정하게 되고, Matlab 코드를 통해 계산된다[4]. 이를 통해 얻은 계수값은 표 3의 원래 값(original value)과 같다.

표 3 SDM 계수

Table 3 SDM coefficients

계수	원래 값 (original value)	변환된 값 (transformed value)	양자화 값 (quantized value)
$a1 = b1$	0.1369	1/8	1/8
$a2$	0.2584	0.2047	1/8+1/16
$a3$	0.2033	0.1429	1/8+1/64
$c1$	0.2881	1/4	1/4
$c2$	0.2835	1/4	1/4
$c3$	3.9339	5.630	5

여기서 원래 값을 실제 시스템에 그대로 적용할 경우 곱셈 과정에서 복잡도가 증가하게 때문에, 모든 계수를 2의 지수 승으로 변환해 줄 필요가 있다. 모든 곱셈이 쉬프트 레지스터(shift register)만으로 구현될 수 있도록 하는 스케일링 과정을 거쳐 최종으로 얻어진 CIB 구조의 계수값은 표 3의 양자화값(quantized value)과 같다. 이 때 원래 값과 양자화 값 사이의 오차는 그림 12와 같이 각각의 폴(pole)을 비교해본 결과, 스케일링 과정에서 약간의 성능 감소가 발생하지만, 큰 오차는 존재하지 않았다.

표 3의 계수가 구해지면, 다음으로 변조기 루프(loop) 누적기(accumulator)의 내부 비트(bit) 수를 결정해야 한다. 실질적으로 SDM 전체 성능을 감소시키지 않는 범위 내에서, 내부 블록들의 비트수를 최적화 시켜야 한다. 첫 번째 누적기의 입력 참조(input-referred) 인밴드 잡음 전력(in-band

그림 12 3차 SDM의 양자화 안정도 분석
Fig. 12 Stability analysis of 3-th order SDM

noise power)은 식 (11)과 같이 결정된다. 식 (11)에서 N_1 은 첫 번째 누적기의 유한한 비트수를 의미한다.

$$\frac{1}{a_1^2} \cdot \frac{(2^{-N_1})^2}{3} \cdot \frac{1}{OSR} \quad (11)$$

여기서 요구되는 유한한 비트수에 따른 노이즈 레벨을 -130 dB고 가정한다면, 식 (12)와 같은 조건을 구할 수 있다.

$$\frac{1}{a_1^2} \cdot \frac{(2^{-N_1})^2}{3} \cdot \frac{1}{OSR} < \frac{10^{-13}}{2} \quad (12)$$

식 (12)에서 N_1 은 식 (13)과 같이 표현된다.

$$N_1 > -\log_2(a_1 \sqrt{1.5 \cdot 10^{-13} \cdot OSR}) \quad (13)$$

식 (13)을 주어진 조건에 의해 계산해 보면, N_1 은 약 21이 얻어진다. 이는 첫 번째 누적기의 비트수를 21 비트수로 설계하면, 유한한 비트수에 의한 노이즈 레벨이 -130dB 이하를 충족함을 의미한다. 두 번째와 세 번째 누적기의 유한한 비트수도 동일한 과정을 거쳐 계산된다.

이러한 계산 결과를 바탕으로 전체 성능에 영향을 주지 않는 누적기들의 유한한 비트수가 최초 결정되고, 시뮬레이션을 통해 이들 유한한 비트수를 확정하였다. 최종 확정된 각 누적기 단의 내부 비트수는 표 4와 같다.

이와 같은 과정을 바탕으로 Verilog HDL을 이용하여 1-bit SDM을 설계하였다. Verilog HDL로 SDM 설계 시 내부 루프에 표 4와 같은 유한한 비트수를 적용하였다. 1-bit SDM을 VHDL로 구현하기 위해 설계된 1-bit SDM RTL (Register Transister Logic) 블록도는 그림 13과 같다.

표 4 계산된 누적기의 워드 길이

Table 4 Word lengths of calculated accumulator

Accumulator 단	유한한 내부 bit 수
1st	21bit
2nd	18bit
3rd	12bit

그림 13 1-bit SDM RTL 블록도
Fig. 13 RTL block diagram of 1-bit SDM

4. 시뮬레이션 결과

이 장에서는 설계된 전 디지털 증폭기(fully digital amplifier)의 시뮬레이션을 수행하였다. 여기서 수행된 시뮬레이션 조건은 다음과 같다.

- ▶ 인터페이스를 위한 I2S 블록 구현함.
- ▶ CMOS Buffer를 이상적 환경으로 적용함.
- ▶ 유닛 스피커간에 불일치(mismatch) 존재하지 않음.
- ▶ 유닛 스피커와 사람의 가청 주파수에 의해, SDM 출력이 20kHz를 Pass-Band 로 Low Pass Filtering 된다고 가정함.
- ▶ FFT 는 FPGA 에 구현된 SDM의 한 개 출력에 대해 실시함.

시뮬레이션에서는 이상적인 보간필터를 거친 부호화된 (Signed) 21 bit의 데이터를 입력으로 하였다. 덧셈은 누적기를 나타내는 것으로 이는 지연 레지스터를 사용하였으며, 그 외의 블록은 곱셈 및 나눗셈을 나타내는 것으로, 쉬프트 레지스터를 이용하여 구현하였다. 최종 출력은 Signed bit와 최상위 bit만 출력되도록 양자화 되었다. 그러므로 최종출력은 유닛 스피커를 구동하기 위한 Signed 1bit의 형태를 갖는다.

각 필터단과 최종 1-bit SDM의 출력은 그림 14와 같다.

그림 14 Verilog_HDL 시뮬레이션 결과 - 1.034kHz Input
Fig. 14 Verilog_HDL simulation results - 1.034kHz Input

위의 결과를 통해 긍정적인 동작을 확인할 수 있다. 입력 신호가 최대값에 근접할수록 SDM의 출력은 +1이 많아지게

된다. 반대로 입력 신호가 최소값에 가까워질수록 SDM의 출력은 -1이 많아지게 된다. 그리고 입력 신호가 0에 가까워질수록 SDM의 출력은 +1, -1을 계속 적으로 반복하게 된다.

지금까지 설계된 FIR필터(5-stage), Sine 함수, 그리고 SDM(Sigma-delta Modulation) 블록으로 시스템을 구성하고 FPGA검증을 하였다. FPGA검증을 위한 Sine 입력에 대한 시스템의 전체 블록도는 그림 15와 같다.

그림 15 제안 시스템의 FPGA 블록도

Fig. 15 FPGA block diagram of the proposed system

마지막으로 Verilog HDL로 설계 완료 후, Modulator의 출력을 바탕으로 FFT를 실시하였으며, 결과는 그림 16과 같다. 여기서 입력 신호 주파수는 17.5 kHz로 하고 샘플링 주파수는 11.29 MHz로 수행하였다.

그림 16 FPGA(Cyclone II) 출력신호에 대한 FFT 결과

Fig. 16 FFT result of FPGA(Cyclone II) output signal

FFT 결과, SNR이 101.4dB로 원하는 스펙(100 dB 이상)을 만족함을 확인할 수 있다. 그러나 무한어장을 이용한 이상적인 성능 시뮬레이션 대비 4.6dB의 SNR 감소가 발생하였다. 이는 Verilog HDL로 SDM 구현 시, 내부적으로 연산에 사용되는 비트수의 차이에서 발생하는 것으로 분석된다. 그림 13의 첫 번째 누적기를 예로 들면, 무한어장으로 모델링된 SDM의 경우 나눗셈과 덧셈은 매우 정밀한 값을 가지고

계산된 후, 앞서 정한 유한한 21 bit로 결과값이 절삭(truncation) 되는 반면, Verilog HDL로 설계된 SDM의 경우 나눗셈과 덧셈 연산 모두 21 bit의 유한 범위 내에서만 계산이 이루어지며, 나눗셈도 쉬프트 레지스터에 의해 수행되어 Matlab의 이상적인 나눗셈 상황과 달라지게 된다. 이 과정에서 일종의 양자화 오류(quantized error)가 발생하게 되어 SNR의 감소를 가져 오는 것으로 분석된다.

5. 결 론

본 논문에서는 모바일용 디지털 스피커를 구동하기 위한 드라이버단을 설계하였다. 설계된 보간필터(interpolation filter)와 1-bit SDM이 적용된 드라이버의 SNR은, 시뮬레이션 레벨 측정결과, 목표로 하던 SNR > 100dB 이상을 만족하였다. 또한 동작 모델링(behavioral modeling)과 시뮬레이션을 통해 시스템 성능을 검증해본 결과, 제안한 드라이버단은 모든 신호가 디지털 상태에서 처리되어, 기존 아날로그 오디오용 드라이버단 대비, 높은 SNR 확보가 가능함을 알 수 있었다. 이는 낮은 비용으로 높은 성능을 얻을 수 있음을 의미한다. 또한 4개의 유닛 스피커를 동시에 구동하여, 상대적으로 낮은 CMOS의 전원전압으로 고출력을 낼 수 있어 저전압으로 높은 출력을 내야 하는 모바일용 전자기기나 저전력 시스템에서 큰 장점이 될 것이다. 그리고 유닛 스피커 열화 정도의 차이에 의해 발생하는 불일치(mismatch)에 강한 장점을 가짐을 확인할 수 있었다. 그러나 본 논문에서는 유닛 스피커간의 불일치가 존재하지 않는 것으로 가정하였고, 스피커와 공간을 선형 시스템으로 가정하였으므로 향후에는 시스템의 보다 정확한 성능 및 장점을 검증하기 위해서 유닛 스피커간의 불일치가 존재하고, 스피커와 공간이 현실적인 상황에 적합한 비선형 시스템으로 모델링하는 연구도 필요할 것이다. 이를 바탕으로 비이상적인 요소들이 시스템의 성능 저하에 미치는 영향 분석하고, 이를 극복 및 개선하기 위한 연구도 진행되어야 것이다.

참 고 문 헌

- [1] Ryota Saito, Akira Yasuda, and Naoto Shinkawa, A Digitally Direct Driven Dynamic-type Loudspeaker, AES 124th Convention, 2008.
- [2] Hajime Ueno, Tsuyoshi Soga, and Akira Yasuda, Digital-driven Piezoelectric Speaker using Multi-bit Delta-sigma Modulation, AES 121th Convention, 2006.
- [3] Li Tan, "Finite impulse response filter design," in Digital Signal Processing : Fundamentals and Applications, Ed. Boston : Academic Press, 2008.
- [4] Samuel D. Sterns and Don R. Rush, "Reconstruction Using Digital Interpolation," in Digital Signal Analysis, 2nd Ed., New Jersey : Prentice Hall, 1990, pp. 80-85.
- [5] Ashok Ambardar, "The Chebyshev Approximation, in Analog and Digital Signal Processing," 2nd Ed., Pacific Grove : Brooks/Cole, 1999.
- [6] Udo Zolzer, "Quantization effects," in Digital Audio

- Signal Processing, Ed. New York : Wiley, 1997.
- [7] Altera document "AN 73 : Implementing FIR Filters in FLEX Devices.pdf"
- [8] Jonathan Y.Stein, "FIR structures," in Digital signal processing : A computer science perspective, Ed. New York : Wiley, 2000.
- [9] Richard schreier, Gabor C. Temes, Understanding Delta-Sigma Data Converters, 2001, IEEE Press.
- [10] Rudy van de Plassche, CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters, Kluwer Academic Publishers, 2003.

저 자 소 개

김 용 석(金 容 哲)

1959년생, 1983년 성균관대학교 전자공학과 학사 졸업, 1983년 1월 ~ 1997년 7월 삼성전자 종합연구소, 1998년 1월 ~ 현재, 삼성전자 통신연구소, 2004년 1월 ~ 현재 삼성전자 통신연구소/무선사업부, 상무

Tel : (031) 301-5300

Fax : (031) 279-7662

E-mail : yskimasi@samsung.com

임 민 중(任 敏 中)

1965년생, 1987년 서울대학교 전자공학과 학사 졸업, University of Wisconsin-Madison, ECE 졸업(박사), 1993년 ~ 2000년 삼성전자 선임연구원, 2000년 ~ 현재 동국대학교 정보통신공학과 교수

Tel : (02) 2260-3595

Fax : (02) 2285-3343

E-mail : minjoong@dongkuk.edu