카운터 기반 디지털 보상 기법을 이용한 위상 고정 루프

논 문

60-2-14

Phase-Locked Loops using Digital Calibration Technique with counter

정 찬 희* · Ammar Abdullah** · 이 관 주** · 김 훈 기** · 김 수 원*

(Chan-Hui Jeong · Ammar Abdullah · Kwan-Joo Lee · Hoon-Ki Kim · Soo-Won Kim)

Abstract - A digital technique is adopted to calibrate the current mismatch of the charge pump (CP) in phase-locked loops. A 2 GHz charge pump PLL (CPPLL) is used to justify the proposed calibration technique. The proposed digital calibration technique is implemented simply using a counter. The proposed calibration technique reduces the calibration time by up to a maximum of 50% compared other with techniques. Also by using a dual-mode CP, good current matching characteristics can be achieved to compensate 0.5μA current mismatch in CP. It was designed in a standard 0.13μm CMOS technology. The maximum calibration time is 33.6μs and the average power is 18.38mW with 1.5V power supply and effective area is 0.1804mm².

Key Words : Charge pump(CP) mismatch, Digital calibration, Charge pump phase-locked loop(CPPLL)

1. 서 론

전하 펌프(Charge pumps)는 아날로그 회로에서 위상 고정 루프(Phase-Locked Loop: PLL), 지연 고정 루프(Delay-Locked Loop: DLL), 그리고 클럭 데이터 복원 회로(Clock and Data Recovery: CDR)에서 널리 사용되고 있는 회로이다 [1]. 이러한 전하 펌프는 선형 위상 검출기에서 발생하는 위상 차이에 비례하여 컨트롤 전압(V_{ctrl})을 증가시키거나 감소시키는 역할을 한다. 그림 1은 일반적으로 전하 펌프를 포함하여 사용하는 구조를 나타낸 것이다. 위상-주파수 검출기(Phase-Frequency Detector: PFD)는 Ref 신호와 Clk 신호 사이의 위상 차이를 검출 하고, 루프 필터(Loop Filter: LF)는 컨트롤 전압에서 발생하는 AC signal을 제거한다.

그러나, 전하 펌프에서 I_{UP} 와 I_{DN} 의 크기가 다를 경우, 전압의 변화가 비 선형하게 나타난다. 그림 2(a)는 전하 펌프의 I_{UP} 와 I_{DN} 의 전류 크기가 일치한 경우, 그림 2(b)는 I_{UP} 와 I_{DN} 의 크기가 10% 일치하지 않는 경우를 보여 준다. 전류가 불일치할 경우, UP 신호와 DN 신호는 불일치한 크기에 비례하여 위상 차이가 발생하고, 이러한 위상 차이는 V_{ctrl} 에 전류 차이만큼 리플 전압(ripple voltage)을 발생시킨다. 이러한 리플 전압은 reference spur와 위상 잡음을 증가시키는

원인이 된다. 전류 차이와 위상 잡음, reference spur의 관계를 구하면 다음과 같다[2],[3].

$$L = 20\log_{10}\frac{\sqrt{2\Delta T}\pi i_n}{I_{CP}} + 10\log_{10}f \quad (1)$$

$$P_{spur} = 20\log_{10}\left[\frac{I_{CP}R_2K_{VCO}T_d}{\sqrt{2}} \cdot \frac{\Delta I}{I_{CP}}\right] - 20\log_{10}\left(\frac{f_{ref}}{f_{p1}}\right) \quad (2)$$

여기서 ΔT 는 전류 차이 때문에 발생하는 UP, DN신호 크기 차이를 나타내고, T_s 는 위상 검출기의 샘플 주기를 나타낸다. i_n 은 노이즈 전류 밀도, f_{ref} 는 기준 클럭, I_{CP} 는 전하 펌프 전류이다. R_1 는 루프 필터의 저항이고, f_{p1} 는 루프 필터의 pole을 의미한다.

그림 1 일반적인 위상-주파수 검출기, 전하 펌프, 루프 필터
Fig. 1 Conventional PFD, CP and LF

* 비 회 원 : 고려대 공과대 나노반도체학과 박사과정

** 비 회 원 : 고려대 공과대 전자전기공학과 석사과정

*** 비 회 원 : 고려대 공과대 전자전기공학과 박사과정

† 교신저자, 정회원 : 고려대 전자전기공학과 교수

E-mail : swkim@korea.ac.kr

접수일자 : 2010년 12월 16일

최종완료 : 2011년 1월 24일

그림 2 ICP와 IDN 전류가 다를 때의 영향 (a) 두 전류가 일치하는 경우 (b) 두 전류가 일치하지 않는 경우

Fig. 2 Effect of current mismatch between ICP and IDN (a) when two currents are matched (b) when two current are mismatched

전하 펌프 전류 차이를 줄이기 위한 방법으로 여러 가지 방법이 소개되고 있다. 아웃풋 저항을 높이는 방법[4], 공통 모드 피드백(common mode feedback: CMFB)을 이용하여 보상해 주는 방법[5], 디지털 보상 기법[6]등을 사용하고 있다. 그러나 아웃풋 저항을 높이는 방법은 정확하게 전류 차이를 보상하기 힘들고, voltage headroom 문제를 가진다. 공통모드 피드백을 이용하여 보상하는 방법은 증폭기를 사용하여 전류 차이를 보상하지만, 증폭기에 따른 안정화 문제를 가진다. 디지털 보상 기법은 정확한 보상이 가능하지만, resolution 문제와 보상 시간이 길다는 단점을 가진다. 이에 본 논문에서는 높은 전류 차이 보상 기능을 가지면서, 보상 시간을 줄이는 디지털 보상 기법을 제안하였다.

논문의 구성은 다음과 같다. II장에서는 제안한 디지털 보상 기법을 소개하고, III장에서는 제안한 방법을 검증하도록 한다. 마지막으로 IV장에서는 결론을 도출하도록 한다.

2. 제안한 카운터를 이용한 디지털 보상 기법

그림 3은 제안한 카운터를 이용한 디지털 보상 기법을 보여 준다. 이 구조는 일반적인 전하 펌프 위상 고정 루프에 멀티 모드 전하 펌프(Dual-mode CP), 위상 검출기(Phase detector: PD), 3-bit 카운터, lock 검출기(lock detector: LD)를 추가하여 구성한다. Lock 검출기는 F_{ref} 와 F_{div} 를 비교하여, 위상 고정 루프가 락킹이 되었는지를 확인하는 블록으로 3-bit 카운터를 동작하도록 명령하는 역할과 모든 컨트롤 비트(B[2:0])를 초기화(111) 시키는 역할을 한다. 3-bit 카운터는 컨트롤 비트를 제공하는 회로로 멀티 모드 전하 펌프 중 보상 전하 펌프의 I_{DN} 전류를 변화시키는 역할을 한다. 멀티 모드 전하 펌프는 2개의 전하 펌프로 구성되며, 락킹되기 전까진 일반적인 전하 펌프 역할을 하다가 락킹이 된 후에는 I_{DN} 전류를 변화시켜 I_{UP} 전류와 일치하게 하여, 전하 펌프에서 발생하는 전류 차이를 보상해 주는 역할을 한다. 위상 검출기는 위상-주파수 검출기의 UP 신호, DN 신호 그리고 3-bit 카운터에서 컨트롤 비트 신호를 받아, 3-bit 카운터의 동작을 멈추는 역할을 한다.

그림 3 제안된 디지털 보상 기법의 블록도

Fig. 3 Block diagram of proposed digital calibration technique

다음은 제안된 구조의 동작 원리이다. 위상 고정 루프가 락킹이 되어 가는 중에, lock 검출기에 의해 F_{ref} 와 F_{div} 의 위상 차이가 일정 크기 이하로 들어왔을 때, CE 신호가 "0"에서 "1"로 변하게 된다. "1"로 변한 CE 신호는 3-bit 카운터를 동작시키고, 컨트롤하는 디지털 신호를 "111"로 초기화시킨다. 초기화된 컨트롤 신호는 멀티 모드 전하 펌프의 I_{DN} 값을 기존의 값에서 18μA로 변화시킨다. 변화된 I_{DN} 값은 0.5μA만큼의 전류가 증가하는 단계를 가지며 증가하게 된다. 증가된 I_{DN} 값이 I_{UP} 보다 커질 경우에 위상 검출기에 의하여 CNE 신호를 발생시킨다. 여기서 CNE 신호는 3-bit 카운터의 동작을 정지시키는 역할을 한다. 3-bit 카운터는 완료된 후에 동작을 하지 않기 때문에 전력 소모를 줄일 수 있다. 그림 4는 I_{UP} 이 20.7μA, I_{DN} 이 19.4μA를 갖고 전하 펌프 전류 차이 값이 1.3μA차이를 가졌을 때의 동작을 보여 준다. 최종 디지털 보상이 된 후에는 1.3μA이었던 전류 차이가 0.3μA까지 감소함을 보여 준다.

멀티 모드 전하 펌프를 사용할 경우에 전하 펌프 전류차이를 보상 할 수 있는 정도를 기존 방법[6]의 2μA에서 0.5μA까지 줄일 수 있다. 또한, 보상 회로 카운터의 비트 수를 줄일 수 있다. 이에 기존 Successive Approximation Register (SAR)[6]을 이용하는 것보다 카운터를 사용함으로써, 컨트롤 신호를 보다 쉽게 생성할 수 있어 보다 빠른 보상 시간을 가질 수 있다.

그림 4 제안된 디지털 보상 기법의 타이밍도

Fig. 4 Time diagram of proposed digital calibration technique

그림 5 카운터와 SAR방식의 동작 1번 보상 시간
Fig. 5 One step calibration times of counter and SAR

SAR와 카운터방식의 차이는 I_{DN} 전류가 변하는 크기에 차이가 있다. SAR의 경우에 처음의 전류 변화 크기가 이전 단계의 절반 값으로 꾸준히 감소하는 데에 비해, 카운터는 일정한 크기의 전류 변화 크기로 변하면서 원하는 I_{DN} 을 찾는 방식이다. 이때, 보상에 필요한 시간을 결정하는 것은 한 단계에 변하는 I_{DN} 변화 크기이다. 수식 (3)은 그러한 관계를 위상-주파수 검출기에서 I_{DN} 변화에 따라 발생하는 위상 차이로 표현한 수식이다.

$$\theta_{step} = \frac{\frac{I_{UP}}{I_{DN}} T_{d_{en}} - \frac{I_{UP}}{I_{DN} + \Delta I_{DN}} T_{d_{en}}}{T_{ref}} \cdot 2\pi \quad (3)$$

$T_{d_{en}}$ 는 위상-주파수 검출기에서 발생하는 reset time을 말하고, T_{ref} 는 기준 클럭을 의미한다. 수식 (3)을 통해 ΔI_{DN} 가 증가할 경우 위상 차이가 커짐을 확인할 수 있다. SAR방식의 경우, 첫 번째 단계에서 가장 큰 전류를 가지므로 위상 변화가 크고, 그에 따라 보상 시간이 길어진다. 카운터 방식의 경우에 전류 변화가 일정하기 때문에, SAR방식에 비해 보다 작은 위상 변화를 가져옴으로 보상 시간이 작다. 단, 이것은 3bit 이하인 경우에만 해당이 된다. 수식 (4)는 수식 (3)을 이용하여 한 단계 당 필요한 보상 시간을 계산한 값이다[6].

$$\theta_{error}(t) = \frac{\theta_{step}(1-\gamma)}{(3-\gamma)} e^{-\alpha_1 t} + \frac{\theta_{step}}{(3-\gamma)} e^{-\alpha_2 t} + \frac{\theta_{step}}{(3-\gamma)} e^{-\alpha_3 t} \quad (4)$$

$$\left(\begin{aligned} \gamma &= \frac{\omega_C}{\omega_Z} = \frac{\omega_P}{\omega_C}, \alpha_1 = \omega_C, \alpha_2 = \frac{\gamma - 1 - \sqrt{\gamma^2 - 2\gamma - 3}}{2}, \\ \alpha_3 &= \frac{\gamma - 1 + \sqrt{\gamma^2 - 2\gamma - 3}}{2} \end{aligned} \right)$$

ω_p, ω_z 는 전체 시스템의 pole과 zero를 의미한다.

그림 5는 매텔랩을 이용하여 카운터와 SAR의 보상 시간을 수식 (4)을 이용하여 한 step 당 필요한 보상 시간을 계산한 값이다. 전체 3 step만을 갖는 SAR의 경우 한 step 당 7.5μs를 갖게 되어, 총 보상 시간이 22.5μs를 갖는다. 반면에, 카운터의 경우 최악의 경우를 고려하였을 때에 총 8step

을 갖고 한 step에 2.5μs를 갖게 되어, 총 20μs의 크기를 갖는다. 카운터를 사용하는 경우가 기존 SAR을 사용하는 방식보다 크를 확인할 수 있다. 멀티 모드 전하 펌프를 사용함으로, 보상하는 전하 펌프 전류를 작게 결정함으로 3bit이하만을 사용하여 보상 회로를 구현할 수 있다.

3. 실험 결과

제안한 디지털 보상기법을 검증하기 위하여 1-poly 6-metal 0.13μm CMOS 공정을 사용하여 칩을 제작하였다. 패드를 제외한 전체 회로의 크기는 0.182mm²(0.325mm × 0.560mm)이다. 그림 6은 제작된 칩 사진을 보여 준다.

그림 7은 실험 결과를 보여 준다. 1.6GHz에서 디지털 보상기법을 적용한 경우, 1MHz offset에서 측정된 phase noise는 -102.9dBc/Hz이다.

표 1은 기존 보상기법과 비교한 표이다. 제안된 구조는 보상할 수 있는 최소 전류(compensation ΔI)의 경우, 전체 전류의 0.25%를 갖는 0.5μA까지 줄일 수 있다. 또한, 카운터의 최악인 경우인 MSB까지 모두 카운팅한 경우를 고려하더라도 settling time을 50% 감소시킨 33.6μs까지 줄일 수 있다.

그림 6 칩 사진
Fig. 6 Chip photo

그림 7 칩 사진
Fig. 7 Chip photo

표 1 성능 비교

Table 1 Performance comparison

	This work	JSSC 03[5]	JSSC 08[6]
Technology	CMOS 0.13 μ m	CMOS 0.12 μ m	CMOS 0.18 μ m
Calibration type	Counter(Digital)	CMFB(Analog)	SAR(Digital)
Frequency (GHz)	1.2 - 2.3	2.488 - 3.11	5.14 - 5.32
Settling time(μ s)	33.6	N/A	80
Compensation $\Delta I(\mu A)$	0.5(0.25%)	N/A	2(1%)
Total power(mW)	18.38	35	19.8

4. 결 론

본 논문에서는 카운터와 멀티 모드 전하 펌프를 사용한 디지털 보상 기법을 제안하였다. 멀티 모드 전하 펌프를 사용함으로써, 보상할 수 있는 전류(compensation ΔI)를 전체 전류의 0.25%에 해당하는 0.5 μA 까지 줄였다. 또한, 카운터를 사용함으로써 최악의 경우에 settling time이 80 μs 로 기존 논문에 비해 50%까지 settling time을 줄일 수 있었다. 제안된 디지털 보상 기법은 1.6GHz에서 1MHz offset에서 측정된 phase noise는 -102.9dBc/Hz이다. 또한, 면적은 0.182mm²을 가지며, 전력 소모는 18.38mW를 가진다.

감사의 글

본 연구는 2010년도 하이닉스-고려대 나노 반도체 학과 프로그램을 통해 개발되고, 지원에 의하여 이루어진 연구입니다.

참 고 문 헌

- [1] B. Razavi., Design of Analog CMOS Integrated Circuits, New York:Mcgraw-Hill, 2001.
- [2] T. A. D. Riley, N. M. Filiol, Q. Du, and J. Kostamovaara, "Techniques for in-band phase noise reduction in $\Sigma\Delta$ synthesizers," IEEE Transactions on Circuits and Systems-II, Analog Digital Signal Processing, vol. 50, no. 11, pp. 794-803, Nov. 2003.
- [3] W. Rhee, "Design of high-performance CMOS charge pumps in phase-locked loops," in Proceeding IEEE International Symposium on Circuits and Systems, Jun. 1999, vol. 2, pp. 545-548.
- [4] Y.-S. Choi and D.-H. Han, "Gain-boosting charge pump for current matching in phase-locked loop," IEEE Transactions on Circuits Systems.II, Express Briefs, vol. 53, no. 10, pp. 1022-1025, Sep. 2006.
- [5] N. D. Dalt and C. Sandner, "sub-picosecond jitter PLL for clock generation in 0.12 μ m digital CMOS," IEEE Journal of Solid-State Circuits, vol. 38, no. 7, pp. 1275-1278, Jul. 2003.

- [6] C.-F. Liang, S.-H. Chen and S.-I. Liu, "digital-calibration technique for charge pumps in Phase-locked systems," IEEE Journal of Solid-State Circuits, vol. 43, no. 2, pp. 390-398, Feb. 2008.

저 자 소 개

정 찬 희 (鄭贊熙)

2008년 : 고려대학교 전기전자전파공학부 학사 졸업.

2010년 : 고려대학교 전자전기공학과 석사 졸업.

2010년 9월 ~ 현재 : 고려대학교 나노반도체학과 박사과정.

<주관심분야 : High Speed CMOS Transceiver>

Ammar Abdullah

2009년 : 고려대학교 전기전자전파공학부 학사 졸업.

2010년 2월 ~ 현재 : 고려대학교 전기전자전파공학과 석사과정.

<주관심분야 : High Speed CMOS Transceiver>

이 관 주 (李官柱)

2010년 : 고려대학교 전기전자전파공학부 학사 졸업.

2010년 3월 ~ 현재 : 고려대학교 전자전기공학과 석사과정.

<주관심분야 : High Speed Digital to Analog Converter>

김 훈 기 (金勳起)

2007년 : 고려대학교 전기전자전파공학부
학사 졸업.

2007년 ~ 현재 : 고려대학교 전자전기공
학과 석박통합과정

<주관심분야 : Low Power Data
Converter, High Speed CMOS
Transceiver>

김 수 원 (金壽遠)

1974년 : 고려대학교 전자공학과 학사 졸업.

1976년 : 고려대학교 전자공학과 석사 졸업.

1983년 : Texas A&M Univ. 전자공학과
석사 졸업.

1987년 : Texas A&M Univ. 전자공학과
박사 졸업.

1987년 ~ 현재 : 고려대학교 전기전자공학부 정교수

<주관심분야 : High Speed CMOS Transceiver, Implantable
System IC, Sensor Interface IC>