새로운 구조의 Tunable 4차 SC Bandpass Sigma-Delta 변조기

논 문

60-2-34

Tunable Bandpass 4th Order SC Sigma-delta Modulator with Novel Structure

김 재 봉* · 유 남 희** · 조 성 익†
(Jae-Bung Kim · Nam-Hee Yoo · Seong-Ik Cho)

Abstract - Tunable SC(Switched Capacitor) bandpass Σ - Δ (Sigma-Delta) modulator used in wireless system receiver occurs a signal attenuation according to tuning of center frequency in signal bandwidth. In this paper, tunable bandpass 4th order SC bandpass Σ - Δ modulator with novel structure is proposed for rejection of signal attenuation in signal bandwidth. The existing structure uses a ten variable coefficient values for rejection of signal reduction in the modulator. But the proposed structure only use a two variable coefficient values for rejection of signal attenuation in the modulator. Also, an adder and comparator is replaced with a comparator having 4 inputs in the modulator. Therefore, the existing structure has one more OP-AMP. The purposed modulator was designed in 0.18 μ m CMOS technology. The resolution of the modulator within 310 kHz bandwidth and 40 MHz sampling frequency under 6.67 MHz, 10 MHz and 13.33 MHz intermediate frequency are over 10 bit.

Key Words : Sigma-delta modulator, Bandpass, Tunable, Σ - Δ modulator

1. 서 론

Σ - Δ ADC는 lowpass Σ - Δ ADC와 Bandpass Σ - Δ ADC로 나뉜다. lowpass Σ - Δ ADC는 저대역 고해상도의 데이터 변환기로 주로 센서에서 나오는 아날로그 신호를 디지털 신호로 변환하는데 사용하며, Bandpass Σ - Δ ADC는 무선 시스템 수신단에서 데이터 변환을 위해 사용한다.^[1-3]

그림 1(a)는 Bandpass Σ - Δ ADC를 이용한 일반적인 슈퍼헤테로다인 방식의 무선 시스템의 수신단으로, 가변이 가능한 국부 발진기와 고정된 중심주파수를 갖는 Bandpass Σ - Δ ADC를 사용하지만 그림 1(b)는 고정된 주파수를 갖는 국부 발진기와 중심주파수를 조절할 수 있는 Bandpass Σ - Δ ADC를 사용한다. 그러므로 그림 1(a)는 주파수 조절이 가능한 국부 발진기를 사용하므로 발진기의 설계가 어렵고 발진기의 비선형으로 인해 생기는 문제점을 갖는다. 반면에, 그림 1(b)는 고정된 주파수를 가진 국부발진기만을 사용하기에 발진기의 설계가 용이하고, 발진기로 인해 생기는 문제점을 최소화할 수 있어 시스템에 대한 신뢰성을 한 단계 높일 수 있다. 이러한 Bandpass Σ - Δ ADC는 Bandpass Σ - Δ

변조기와 Decimation 부분으로 구성된다.

그림 1과 같이 무선 시스템 수신단에서 사용하는 Bandpass Σ - Δ ADC의 SC Bandpass Σ - Δ 변조기는 신호전달함수(STF, Signal Transfer function)가 대역통과필터의 모양을 가지는데 이로 인해 신호대역 내에서 신호의 감쇄가 일어난다.

기존 구조^[4]는 신호대역에서 중심주파수를 위하여 2개의 계수값이 요구되고, 또한 신호의 감쇄를 제거하여 변조기의 신호전달함수의 이득을 항상 1이 되기 위해서는 10개의 계수 값을 조절해야 해야 하는 단점을 가지고 있다.

그러므로 본 논문에서는 이러한 단점을 개선한 중간주파수 조절이 용이한 새로운 구조의 Tunable 4차 SC Bandpass Σ - Δ 변조기를 제안한다. 제안한 구조는 2개의 계수 값만을 조절하여 중심주파수와 신호의 감쇄를 제거할 수 있고, 가산기와 비교기를 4개의 입력을 가지는 비교기로 회로를 구현함으로써 기존 구조보다 회로에 사용되는 OP-AMP가 감소되었다.

본 논문의 구성은 다음과 같다. 2장에서 신호의 감쇄를 제거한 새로운 구조의 Tunable 4차 SC Bandpass Σ - Δ 변조기를 제안고, 3장에서는 제안한 구조를 가지고 Tr. 레벨에서 설계하였다. 4장에서는 제안된 4차 SC Bandpass Σ - Δ 변조기를 0.18 μ m 1P6M CMOS 공정 파라미터를 이용하여 시뮬레이션하고 동작특성에 대하여 고찰을 하였고, 5장에서는 결론을 제시하였다.

† 교신저자, 정회원 : 전북대학교 전자공학부 부교수 공학박사
E-mail : sicho@jbnu.ac.kr

* 비 회 원 : 전북대학교 전자정보공학부 박사과정

** 비 회 원 : (주)티에스팜 기획연구이사

접수일자 : 2010년 12월 31일

최종완료 : 2011년 1월 26일

그림 1 (a) Bandpass Σ - Δ ADC를 이용한 일반적인 무선 시스템의 수신단 (b) 중심주파수를 조절할 수 있는 Bandpass Σ - Δ ADC를 이용한 무선 시스템의 수신단

Fig. 1 (a) A typical radio receiver with a bandpass Σ - Δ ADC. (b) A possible radio receiver with a bandpass Σ - Δ ADC with a tunable center frequency.

2. 제안한 구조의 Σ - Δ 변조기

그림 2는 그림 1의 이산신호 적분기를 이용한 기존 구조로 계수 g_1 과 g_2 의 값을 조절하여 잡음 전달함수의 영점을 조절하고, 이로 인하여 SC Bandpass Σ - Δ 변조기의 중심주파수를 조절할 수 있다.^[4]

기존 구조는 g_1 과 g_2 의 값을 가변하여 SC Bandpass Σ - Δ 변조기의 중심주파수를 조절할 수 있고, 중심주파수는 식 (1)과 같다.

그림 2 중심주파수 조절이 가능한 기존 구조의 블록도

Fig. 2 Block diagram of the existing tunable structure.

$$f_{1,2} = \frac{\tan^{-1} \sqrt{4c_{2,4}g_{1,2}^2 - c_{2,4}^2g_{1,2}^2}}{2\pi} \quad (1)$$

그러나 g_1 , g_2 2개의 계수 값을 가변하여 SC Bandpass Σ - Δ 변조기의 중심주파수를 조절할 수 있지만 신호의 감쇄가 없도록 신호 전달함수의 이득을 항상 1이 되도록 하기 위하여 A_1 , A_2 , A_3 , A_4 , B_1 , B_5 , C_1 , C_2 , C_3 , C_4 등 10개의

계수 값을 가변해야 한다.

만편 제안한 구조는 2개의 계수값 만으로 중심주파수를 조절할 수 있고, 신호전달함수의 이득을 항상 1이 될 수 있도록 한다.

$$STF = \frac{D_{Z1}Z^4 + D_{Z2}Z^3 + D_{Z3}Z^2 + D_{Z4}Z + D_{Z5}}{D_{P1}Z^4 + D_{P2}Z^3 + D_{P3}Z^2 + D_{P4}Z + D_{P5}}$$

$$D_{Z1} = 1$$

$$D_{Z2} = A_2 - A_3C_1 + C_0 + C_1 - 4$$

$$D_{Z3} = A_0A_2 - A_0A_3C_1 - A_1A_2C_0 + A_1A_3C_0C_1 - 3A_2 + 2A_3C_1 + A_2C_0 - A_3C_0C_2 - 2C_0 - 2C_1 + C_0C_1 + 6$$

$$D_{Z4} = A_0A_3C_1 - 2A_0A_2 + A_1A_2C_0 + 3A_2 - A_3C_1 - A_2C_0 + C_0 + C_1 - 4$$

$$D_{Z5} = A_0A_2 - A_2 + 1$$

$$D_{P1} = 1$$

$$D_{P2} = B_2 - B_3C_1 + C_0 + C_1 - 4$$

$$D_{P3} = B_0A_2 - B_0A_3C_1 - B_1A_2C_0 + B_1A_3C_0C_1 - 3B_2 + 2B_3C_1 + B_2C_0 - B_3C_0C_1 - 2C_0 - 2C_2 + C_0C_1 + 6$$

$$D_{P4} = B_0A_3C_1 - 2B_0A_2 + B_1A_2C_0 + 3B_2 - B_3C_1 - B_2C_0 + C_0 + C_1 - 4$$

$$D_{P5} = B_0A_2 - B_2 + 1$$

$$NTF = \frac{(Z^2 + (C_0 - 2)Z + 1)(Z^2 + (C_1 - 2)Z + 1)}{D_{P1}Z^4 + D_{P2}Z^3 + D_{P3}Z^2 + D_{P4}Z + D_{P5}}$$

$$D_{P1} = 1$$

$$D_{P2} = B_2 - B_3C_1 + C_0 + C_1 - 4$$

$$D_{P3} = B_0A_2 - B_0A_3C_1 - B_1A_2C_0 + B_1A_3C_0C_1 - 3B_2 + 2B_3C_1 + B_2C_0 - B_3C_0C_1 - 2C_0 - 2C_2 + C_0C_1 + 6$$

$$D_{P4} = B_0A_3C_1 - 2B_0A_2 + B_1A_2C_0 + 3B_2 - B_3C_1 - B_2C_0 + C_0 + C_1 - 4$$

$$D_{P5} = B_0A_2 - B_2 + 1$$

그림 3 제안한 4차 Bandpass Σ - Δ 변조기 블록도

Fig. 3 Block diagram of the proposed 4th order bandpass Σ - Δ modulator.

그림 3은 제안한 Tunable 4차 SC Bandpass Σ - Δ 변조기 블록도이고 식(2)는 제안한 구조의 신호전달함수, 식(3)은

제안한 구조의 잡음전달함수이다. 식(3)에서 잡음전달함수를 보면 C0와 C1의 값을 조절하면 제안한 구조의 영점이 변하고 이로 인해 중심주파수를 변한다. 식(2)의 신호전달함수에서 $A0=B0$, $A1=B1$, $A2=B2$, $A3=B3$ 가 같을 때 신호전달함수의 이득은 항상 1이 되어 신호의 감쇄를 제거한다.

표 1 제안된 4차 Tunable Bandpass Σ - Δ 변조기의 계수 값

Table 1 Coefficient values of the proposed Tunable 4th order bandpass Σ - Δ modulator.

	6.67 MHz	10 MHz	13.33 MHz
A0	0.3	0.3	0.3
A1	0.15	0.15	0.15
A2	0.2	0.2	0.2
A3	0.1	0.1	0.1
B0	0.3	0.3	0.3
B1	0.15	0.15	0.15
B2	0.2	0.2	0.2
B3	0.1	0.1	0.1
C0	1	2	3
C1	1	2	3

표 1은 제안된 회로의 계수 값으로 C0과 C1이 1이면 변조기의 중심주파수는 6.67 MHz, C0과 C1이 2이면 변조기의 중심주파수는 10 MHz, C0과 C1이 3이면 변조기의 중심주파수는 13.33 MHz이다.

표 2는 Tunable SC Bandpass Σ - Δ 변조기의 중심주파수를 3개 사용할 때 기존 구조와 제안한 구조를 비교한 것이다. 제안한 구조에서 회로 구현에 필요한 계수의 수는 그림 3에서는 10개이고, 표 2에서는 15개로 차이가 난다. 그림 3에서 설계사양에 따라 변조기의 계수 값이 항상 1이 계수는 그림 3에 표시하지 않아서 계수의 수가 차이가 난다.

기존 구조는 SC Bandpass Σ - Δ 변조기의 중심주파수를 조절하기 위하여 2개의 계수 값을 가변하고, 신호의 감쇄를 제거하기 위하여 10개의 계수 값을 가변한다. 또한 그림 2에서

표 2 기존 구조와 제안한 구조의 회로 구현에 따른 비교
Table 2 Comparison of the circuit implementation on the existing structure and the proposed structure.

	기존 구조 ^[4]	제안한 구조
회로구현에 필요한 모든 계수의 수	12	15
중심 주파수 조절에 필요한 계수의 수	2	2
중심 주파수 조절에 필요한 커패시터의 수	2×3	2×3
신호 감쇄를 제거하기 위한 계수의 수	10	0
신호 감쇄를 제거하기 위한 커패시터의 수	10×3	0
회로구현에 필요한 OP-AMP의 수	5	4
회로구현에 필요한 클락 수	2	2

가산기 부분을 OP-AMP를 이용하여 회로를 구현하기에 OP-AMP를 5개 사용하지만, 제안한 구조는 그림 3의 가산기 부분을 4개의 입력을 가지는 비교기로 구현하기에 OP-AMP를 4개 사용한다.

제안한 구조는 SC Bandpass Σ - Δ 변조기의 중심주파수를 조절하기 위하여 2개의 계수 값을 가변하고, 신호의 감쇄를 제거하기 위해 사용하는 가변하는 계수 값은 없다.

3. 회로 설계

제안한 구조를 이용하여 구현한 Tunable 4차 SC Bandpass Σ - Δ 변조기의 회로는 그림 4와 같다. 구현한 회로는 4개의 공진기(Resonator)와 1bit 비교기로 구성되며, 기본적인 비중첩 클록을 사용하여 설계했다.

식(4)는 4개의 입력을 가지는 1bit 비교기를 수식으로 수식을 변형하면 식(5)와 같으며, 이는 2개의 신호를 더하고

그림 4 제안한 구조의 Tunable SC Bandpass Σ - Δ 회로

Fig. 4 Tunable 4th order SC Bandpass Σ - Δ circuit implementation using the proposed structure.

나서 비교하는 것을 의미한다. 즉 그림 3의 가산기를 구현할 때 OP-AMP를 사용하여 회로를 구현하지 않고, 4개의 입력을 가지는 1bit 비교기를 이용하여 가산기와 비교기를 구현할 수 있음을 의미한다. 그러므로 그림 3의 가산기와 1bit 비교기를 4개의 입력을 가지는 1bit 비교기를 이용하여 회로로 구현하였다.

$$(V_{IN}^{+} - V_{IN}^{-}) - (V_{REF}^{+} - V_{REF}^{-}) > 0 \quad (4)$$

$$V_{IN}^{+} + V_{REF}^{-} > V_{IN}^{-} + V_{REF}^{+} \quad (5)$$

그림 5는 회로에 그림 4에 사용된 비중첩 클럭이고, 표 3은 적분기에 사용된 OP-AMP의 특성을 정리한 것이다.

그림 5 회로에 사용된 클럭

Fig. 5 Used clock in the circuit.

표 3 Folded cascode OP-AMP의 특성

Table 3 Performance of folded cascode OP-AMP.

DC Gain	65 dB
Unity Gain Frequency	170 MHz
Phase Margin	74°
Slew Rate	31 V/ μ s
Load capacitance	4 pF

4. 모의실험 결과 및 고찰

모의실험은 0.18 μ m CMOS 공정의 파라미터를 이용하여 샘플링 주파수 40 MHz, 중심주파수 6.67 MHz, 10 MHz, 13.33 MHz, 대역폭을 310 kHz의 조건으로 실행 하였다. 위의 조건에서의 동작특성은 표 4과 같고, 파워스펙트럼(PSD) 시뮬레이션 결과는 그림 6과 같다.

표 4 제안한 4차 SC Bandpass Σ - Δ 의 동작특성

Table 4 Performance of proposed 4th order SC bandpass Σ - Δ modulator.

중심주파수	6.67 MHz	10 MHz	13.33 MHz
샘플링 주파수	40 MHz	40 MHz	40 MHz
신호대역	310 kHz	310 kHz	310 kHz
SNR	62.8 dB	68.1 dB	62.2 dB
다이내믹 레인지	65 dB	70 dB	65 dB
전력소모	8.2 mW	8.2 mW	8.2 mW

(a) 중심주파수가 10 MHz일 때 PSD

(b) 중심주파수가 13.33 MHz일 때 PSD

그림 6 파워스펙트럼(PSD) 시뮬레이션 결과

Fig. 6 Result of power spectral density simulation.

제안한 중간주파수 조절이 가능한 4차 SC Bandpass Σ - Δ 변조기는 중심주파수가 6.67 MHz일 때 SNR은 62.8 dB, 중심주파수가 10 MHz일 때 SNR은 68.1 dB, 중심주파수가 13.33 MHz일 때 SNR은 62.2 dB의 특성을 보인다. C0과 C1의 계수 값에 의해 4차 SC Bandpass Σ - Δ 변조기의 중심주파수가 6.67 MHz에서 13.33 MHz로 변하며 SNR은 약간의 차이가 있지만 중심주파수가 변해도 거의 비슷한 특성이 나오는 것을 볼 수 있다.

표 4 제안한 4차 SC Bandpass Σ - Δ 의 동작특성

Table 4 Performance of proposed 4th order SC bandpass Σ - Δ modulator.

중심주파수	6.67 MHz	10 MHz	13.33 MHz
샘플링 주파수	40 MHz	40 MHz	40 MHz
신호대역	310 kHz	310 kHz	310 kHz
SNR	62.8 dB	68.1 dB	62.2 dB
다이내믹 레인지	65 dB	70 dB	65 dB
전력소모	8.2 mW	8.2 mW	8.2 mW

5. 결 론

본 논문에서는 신호의 감쇄를 제거한 새로운 구조를 갖는 Tunable 4차 SC Bandpass Σ - Δ 변조기를 제안하였다. 제안한 구조는 기존 구조와 같이 2개의 계수 값을 조절하여 변조기의 중심주파수를 조절한다는 점에서는 같다. 하지만 기

존 구조는 신호의 감쇄를 제거하고자 10개의 계수 값을 조절하여야 하지만 제안한 구조는 신호의 감쇄를 제거하기 위하여 조절하는 계수 값이 없다. 이에 따라 가변해야 되는 커패시터의 수가 제안한 구조가 훨씬 적다. 또한, 변조기에 사용되는 가산기와 비교기를 하나의 회로로 구현함으로써 기존 구조에 비해 OP AMP가 1개 적어 회로 설계가 용이하지만 C0과 C1의 계수 값에 변조기의 중심주파수가 변하기 때문에 정확한 커패시터의 정합이 요구된다.

제안한 신호의 감쇄를 제거한 새로운 구조를 갖는 4차 SC Bandpass Σ - Δ 변조기는 샘플링 주파수 40 MHz, 신호 대역폭 310 kHz에서 각각의 중심 주파수에서 10 bit 이상의 해상도를 가진다. 제안한 Bandpass Σ - Δ 변조기 구조를 이용하면 신호의 감쇄를 제거하면서도 중심주파수 조절이 용이하기 때문에 저대역 중간 주파수를 사용하는 슈퍼 헤테로 다인 방식의 무선 시스템에서 데이터 변환을 효율적으로 할 수 있으리라 사료된다.

참 고 문 헌

- [1] G.Yin and W. Sansen, "A high-frequency and high-resolution fourth order sigma-delta A/D converter in BiCMOS technology" IEEE J. Solid State Circuits, vol.29, pp. 857-865, Aug. 1994.
- [2] G.Yin and W. Sansen, "A high-frequency and high-resolution fourthorder sigma-delta A/D converter in BiCMOS technology" IEEE J. Solid State Circuits, vol.29, pp. 857-865, Aug. 1994.
- [3] M. A. El-Nozahi, M. Dessouky, and H. F. Ragai, "Tunable bandpass sigma delta modulators" in Proc. 46th IEEE Int. Midwest Symp. Circuits and Systems, 2003, pp. 229-232.
- [4] Kentaro Yamamoto, Anthony Chan Carusone, and Francis P. Dawson, "A Delta-Sigma Modulator With a Widely Programmable Center Frequency and 82-dB Peak SNDR", IEEE Journal of solid-state Circuits, vol. 43, no. 8, AUGUST 2008

저 자 소 개

김 재 봉 (金 載 鵬)

2006년 전북대학교 전자정보공학부 학사 졸업.

2009년 전북대학교 전자정보공학부 석사 졸업.

2011년~현재 전북대학교 전자정보공학부 박사과정

<주관심분야 : Low-voltage Low-power analog circuit, ADC/DAC>

유 남 희 (柳 南 熙)

1991년 전북대학교 농학과 학사 졸업.

1993년 전북대학교 대학원 농학과 농학 석사

1997년 전북대학교 대학원 농학과 농학 박사

1997년~2000년 (주)신젠타종묘 기술연구

소 연구원

2002년~현재 전북대학교 바이오식품소재개발 및 산업화 연구센터 산학협동조교수.

2007년~현재 (주)티에스팜 기획연구이사

<주관심분야: crop breeding, environmental agriculture, Bio-food, Glass house & rotating apparatus for crop production >

조 성 익 (趙 成 翊)

1987년 전북대학교 전기공학과 학사 졸업.

1989년 전북대학교 전기공학과 석사 졸업.

1994년 전북대학교 전기공학과 박사 졸업.

1996년~2004년 Hynix 반도체 메모리 연구소 책임연구원

2004년~현재 전북대학교 전자공학부 부

교수.

주관심분야: 저전압/고속 Graphic DRAM, Low-voltage Low-power analog circuit, High speed data Interface circuit, ADC/DAC, Filter, PLL/DLL

E-mail : sicho@jbnu.ac.kr