Mg_{0.1}Zn_{0.9}O/ZnO 활성층 구조의 박막트랜지스터 연구

이종훈¹, 김홍승^{1,a}, 장낙원², 윤 영³

¹ 한국해양대학교 나노반도체공학과

² 한국해양대학교 전기전자공학부

³ 한국해양대학교 전파공학과

A Study of Thin-Film Transistor with Mg_{0.1}Zn_{0.9}O/ZnO Active Structure

Jong Hoon Lee¹, Hong Seung Kim^{1,a}, Nak Won Jang², and Young Yun³

¹ Department of Nano Semiconductor Engineering, Korea Maritime and Ocean University, Busan 606-791, Korea

² Division of Electrical and Electronics Engineering, Korea Maritime and Ocean University, Busan 606-791, Korea

³ Department of Radio Communication Engineering, Korea Maritime and Ocean University, Busan 606-791, Korea

(Received December 30, 2013; Revised April 2, 2014; Accepted June 23, 2014)

Abstract: We report the characteristics of thin-film transistor (TFT) to make the bi-channel structure with stacked Mg_{0.1}Zn_{0.9}O (Mg= 10 at.%) and ZnO. The ZnO and Mg_{0.1}Zn_{0.9}O thin films were deposited by radio frequency (RF) co-sputter system onto the thermally oxidized silicon substrate. A total thickness of active layer was 50 nm. Firstly, the ZnO thin films were deposited to control the thickness from 5 nm to 30 nm. Sequentially, the Mg_{0.1}Zn_{0.9}O thin films were deposited to change from 45 nm to 20 nm. The bi-layer TFT shows more improved properties than the single layer TFT. The field effect mobility and subthreshold slope for Mg_{0.1}Zn_{0.9}O/ZnO-TFT are 7.40 cm²V⁻¹s⁻¹ and 0.24 V/decade at the ZnO thickness of 10 nm, respectively.

Keywords: ZnO, MgZnO, Heterostructure, I-V

1. 서 론

최근 산화물반도체 재료를 이용한 차세대 평판형 디스플레이 소자를 개발하기 위한 연구가 활발히 진행되고 있다 [1,2]. 그 중 ZnO (zinc oxide) 기반의 산화물 반도체에 관한 관심이 집중되고 있으며,

이와 같은 이유는 저온에서 쉽게 다결정으로 성장이 가능하며, 투명하며, 기존의 비정질 실리콘 TFT 보다 높은 전계 효과 이동도 (field effect mobility)를 가지는 박막형 트랜지스터 제작이 가능하기 때문이다 [3]. 평판형 디스플레이 소자는 대면적화 및 해상도 증가에 따라 높은 이동도 특성이 요구되고 있다. 이를 위해 전계효과 이동도의 증가 및 소자의 신뢰성을 개선하기 위한 많은 연구가 진행되고 있다 [4,5].

본 연구에서는 이중 구조의 Mg_{0.1}Zn_{0.9}O/ZnO 활성층 구조를 가지는 산화물 트랜지스터를 제작하였고, 단일 ZnO 활성층 구조를 가지는 트랜지스터 소자와

a. Corresponding author; hongseung@kmou.ac.kr

비교함으로써 트랜지스터 특성을 평가하였다. 일부 다른 논문에서는 적층 순서가 다른 ZnO/MgZnO 이중 활성층 구조의 TFT가 보고되었으며, MgZnO 위에 성장한 ZnO 박막은 큰 결정립이 형성됨에 따라 이동도의 증가를 가져왔다고 보고하였다 [6]. 하지만 본 논문에서는 ZnO와 MgZnO 이중접합을 통한 밴드 갭 형성에 따른 TFT 소자의 특성을 분석하고자 한다. ZnO에 Mg이 첨가되면 밴드 갭 (band gap)은 증가하게 된다. ZnO와 MgZnO이 접합을 하게 될 경우 전도대역 차이 (conduction band offset)에 의해 전도대역에서 전위우물이 형성된다 [7].

이와 같이 접합면에서는 polarization effect에 의해 다수의 전자들이 존재할 수 있게 된다. 이와 같은 전자들은 결정에서의 결함이나 다결정의 경계에 존재하고 있는 결함들을 가림 (screening)으로써 다결정 박막에서도 전기적 특성 향상을 가져올 수 있다고 보고되고 있다 [8,9]. 하지만 박막형 트랜지스터에 관한 연구들은 보고가 드물기 때문에 본 연구에서는 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ 이중 활성층 구조의 박막형 트랜지스터를 제작하여 그 특성을 보고하고자 한다.

2. 실험 방법

본 연구에서는 RF co-sputter 장비를 이용하여 ZnO 및 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ 박막을 성장하였다. 우선 $0.005 \Omega \cdot \text{cm}$ 비저항을 가진 n^+ -Si 실리콘 기판을 수평형 열 산화로에 넣고 900°C 온도에서 산소를 주입하여 SiO_2 를 형성하였다. 이때 SiO_2 두께는 40 nm를 가진다. 열 산화 공정 후 SiO_2/Si 기판을 sputter 챔버 (chamber)에 넣고, 10^{-5} Torr 이하로 배기하였다. 고진공에서 아르곤 가스 20 sccm을 주입하여 5 mTorr의 챔버 압력을 유지시켜 박막을 증착하였다. 증착온도는 300°C 이다.

$\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ 다층 박막을 제조하기 위해 우선 ZnO 박막을 증착하였다. 이때 사용된 타겟 크기는 4인치 직경이며, RF 파워는 100 W이다. ZnO 증착이 끝난 후, 연속적으로 $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ ($x = 30 \text{ at.}\%$) 타겟과 ZnO 타겟을 co-sputtering하여 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}$ 박막을 형성하였다. 이때 사용된 RF 파워는 각각 100 W이다. $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}$ 박막의 Mg의 조성비는 선행 연구에서 약 10 at.%를 가지며, 밴드 갭은 약 3.52 eV인 것을 확인하였다 [10].

그림 1에는 단일 활성층을 가지는 ZnO-TFT와 이중

Fig. 1. Schematic diagrams of (a) ZnO-TFT and (b) $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ -TFT.

활성층을 가지는 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ -TFT의 구조를 나타낸 단면도이다. 각 채널의 두께는 약 50 nm를 가지도록 증착 시간을 조절하여 ZnO와 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ 박막을 증착하였다. 이중 활성층 TFT에서 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}$ (y nm)/ZnO (x nm)의 두께는 45/5, 40/10, 30/20, 20/30을 가진다. 포토리소그래픽 공정을 통해 ZnO와 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ 활성층을 습식에칭을 하였다. Ti/Au 금속을 약 10 nm/50 nm의 두께로 e-beam 증착기로 금속을 증착한 후 lift-off 방법으로 전극을 형성하였다. 전기적인 특성은 반도체 파라미터 분석기인 HP-4145B로 측정되었다. $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ 활성층 구조에서 ZnO가 x nm인 샘플들을 HS-ZnO(x nm)로 편의상 명명하였다.

3. 결과 및 고찰

그림 2는 ZnO-TFT 및 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ -TFT의 출력 특성 그래프이다. V_{GS} 가 0 V에서 20 V까지 증가함에 따라 포화된 I_{DS} 전류는 증가한다. 이는 활성층에서 전자에 의한 전기적 흐름이 나타나는 전형적인 n-형 TFT 특성을 보이고 있다. 이중 활성층 TFT에서 ZnO 두께가 증가함에 따라 동일한 V_{GS} 와 V_{DS} 에서의 포화된 I_{DS} 전류값은 증가하였다. 일반적으로 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}$ 박막은 ZnO 보다 상온에서 낮은 전자 캐리어를 가지게 되는데 이는 밴드 갭의 증가로 인해 전자가 전도대까지 여기 (excitation)되기 위해 필요한

Fig. 2. Output plots for (a) ZnO-TFT and (b~e) $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ -TFTs.

활성화 에너지가 증가하기 때문이다. 활성층 두께는 약 50 nm로 동일하기 때문에 ZnO 두께가 증가하면 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}$ 두께는 감소하기 때문에 ZnO 두께가 증가됨에 따라 활성화된 캐리어의 수가 증가할 것으로 예상할 수 있으며, 이로 인하여 포화된 I_{DS} 가 증가한 것으로 판단된다.

그림 3은 ZnO-TFT와 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ -TFT의 전도특성 그래프이다. V_{DS} 는 각각 0.5 V와 10.5 V를 주었고 V_{GS} 는 -10 V에서 20 V까지 전압을 변화시켰다. $V_{DS} = 0.5$ V에서 다음과 같은 수식으로 전계 효과 이동도 (μ_{FE})를 결정하였다.

$$\mu_{FE} = \frac{Lg_m}{WC_i V_{DS}} \quad (1)$$

g_m 은 최대 transconductance이며, W 는 채널 폭, L 은 채널 길이, C_i 는 절연막의 전하량이다. ZnO-TFT의 μ_{FE} 는 $5.74 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 이며, $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ TFT는 2.24에서 $7.40 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 까지 값을 보였다. 가장 높은 이동도를 가진 소자는 ZnO 10 nm일 때이며, ZnO 5 nm일 때 가장 낮은 값을 가졌다. 하지만 ZnO 20 nm와 30 nm의 소자는 ZnO-TFT와 비슷한 이동도를 보였다.

Fig. 3. Transfer semi-log plots of $I_{DS} - V_{GS}$ for (a) ZnO-TFT and (b~e) $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ -TFTs.

또한, 다음과 같은 수식으로 문턱전압 이하에서의 기울기 (S)를 구하였다.

$$S = \frac{dV_{GS}}{d(\log I_{DS})} \quad (2)$$

ZnO-TFT는 S 값이 약 0.44 V/decade를 보였으나, ZnO 5 nm 소자는 증가한 0.72 V/decade 값을 보였다. 하지만 ZnO 20 nm 소자의 경우 0.22 V/decade로 ZnO에 비해 절반가량 감소한 특성을 보였다. ZnO 층이 5 nm인 TFT 소자는 전기적 특성이 저하되었으며, 이는 strain effect를 고려해야 한다. $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}$ 경우 a-축 격자상수는 ZnO에 비해 증가를 하게 되고, 두께가 얇은 ZnO 결정에 높은 tensile strain이 형성된다.

본 실험에서 ZnO층이 5 nm일 때 가장 큰 strain이 생성될 것이며, 이로 인해 소자의 특성의 저하를 유발하였다. 하지만, ZnO 두께가 10 nm인 이중 활성층 TFT 소자에서는 ZnO-TFT에 비해 이동도의 증가와 문턱전압 이하에서의 기울기 값이 감소하였다. 이와 같은 변화는 활성층에서 전자포획 같은 현상이 상당히 감소한 것으로 판단되며, 이를 확인하기 위해 소자의 이력 특성 (hysteresis behavior)을 측정하였다.

Fig. 4. Hysteresis behavior of (a) ZnO-TFT and (b~e) $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ -TFT devices.

그림 4는 ZnO와 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ TFT의 이력곡선을 나타낸다. V_{GS} 에서 음의 전압에서 양의 전압으로 변화를 준 뒤 다시 양의 전압에서 음의 전압으로 변화를 주면서 I_{DS} 를 측정하였다. 사용된 V_{DS} 전압은 0.5 V이다. 10^{-10} A에서 ΔV_{GS} 의 폭을 결정하였다. ZnO-TFT에서는 약 2.17 V의 차이를 보였으나, ZnO 10 nm 소자에서는 가장 작은 1.05 V의 값을 보였다. 이와 같은 시계방향의 이력특성은 음의 전하가 반도체 및 반도체-절연체 경계에서 전자포획에 의한 것으로 알려져 있다 [11]. 본 실험에서 ΔV_{GS} 값의 감소는 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ 경계에서 전류 흐름이 발생할 수 있기 때문에 전자포획이 감소한 것으로 판단된다.

이를 위해 다음과 같은 모델을 그림 5에 제시하였다. 사용된 게이트 전극은 n^+ -Si이 사용되었으며, 전자친화력(χ_{Si})은 4.15 eV 값을 가진다. ZnO의 전자친화력(χ_{ZnO})은 4.2 eV, SiO_2 의 전자친화력은 0.9 eV이다. Mg이 ZnO에 첨가될 경우 밴드 갭과 conduction band offset(ΔE_C)은 증가하게 된다.

Fig. 5. A model for current path at $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ band diagram.

선행 연구에서 ZnO의 밴드 갭 에너지(E_g)는 3.27 eV, $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}$ 의 경우 3.52 eV이며, 이때 두 물질의 밴드 갭 에너지 차이는 0.25 eV의 값을 가진다. $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ 이중접합에서 conduction band offset와 valence band offset(ΔE_V)의 비율은 3:2 정도로 알려져 있으므로 [12], ΔE_C 는 0.15 eV, ΔE_V 는 0.1 eV이다. $V_G > V_T$ 이상에서 그림 5와 같이 밴드 다이어그램을 나타낼 수 있다. 전자들은 ZnO와 SiO_2 계면에 전자들이 축적이 될 것이며, 또한 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ 경계에서도 게이트 전계와 polarization effect에 의해 전자들이 축적될 것으로 예상할 수 있다. ZnO 단일 활성층 TFT에서는 게이트 전압에 의해 다수의 캐리어가 반도체와 절연체 경계에 채널이 형성이 되어 전류 흐름에 기여를 한다. 하지만 이중 활성층을 가지는 경우 반도체와 절연체 경계뿐만 아니라 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}$ 와 ZnO와 경계에 형성된 전도대역 차이에 의해 생성된 전위우물을 통해서도 전류 흐름이 발생할 수 있으며, 이 경우 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}/\text{ZnO}$ 경계에서 흐르는 전류는 낮은 전자 산란을 가지기 때문에 이동도의 향상과 낮은 전자포획 밀도 (electron trap density)에 의한 문턱전압 이하에서의 기울기 값의 감소를 가져온 것으로 판단된다.

본 실험에서 ZnO 두께가 10 nm인 이중 활성층 TFT에서 가장 높은 이동도인 $7.40 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 보였다. 선행 연구에서 단일 채널층으로 형성된 ZnO와 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}$ 의 경우, Mg이 첨가된 트랜지스터는 낮은 이동도를 가지고 있었으며, 이는 $\text{Mg}_{0.1}\text{Zn}_{0.9}\text{O}$ 단일 TFT 경우 반도체와 금속의 높은 접촉저항으로 인하여

Table 1. Threshold voltage (V_T), field effect mobility (μ_{FE}), subthreshold slop (S), and I_{ON}/I_{OFF} ratio in the ZnO and the $Mg_{0.1}Zn_{0.9}O/ZnO$ TFTs.

	$V_T(V)$	μ_{FE} ($cm^2V^{-1}s^{-1}$)	S (V/decade)	I_{ON}/I_{OFF}
ZnO	7.4	5.74	0.44	$\sim 10^8$
HS-ZnO (5 nm)	9.3	2.24	0.72	$\sim 10^7$
HS-ZnO (10 nm)	7.2	7.40	0.24	$\sim 10^8$
HS-ZnO (20 nm)	7.2	4.35	0.22	$\sim 10^8$
HS-ZnO (30 nm)	7.7	5.04	0.27	$\sim 10^8$

박막에 캐리어가 주입되는 속도를 감소로 인해 이동도의 저하를 유발하게 된다 [10].

이중 활성층 TFT의 경우 동일하게 $Mg_{0.1}Zn_{0.9}O$ 와 금속과 오믹접합이 형성이 되어 있으나, 이동도 향상 결과는 앞선 모델과 같은 이유로 추정할 수 있다. 하지만 ZnO 두께가 20 nm와 30 nm 샘플에서는 이동도가 조금 감소하는 결과가 보였다. 이와 같은 이유는 게이트 전압에 의해 생성되는 전계에서 $Mg_{0.1}Zn_{0.9}O/ZnO$ 접합 경계면이 거리가 멀어짐에 따라 게이트 전압 강하가 커지며 결국 $Mg_{0.1}Zn_{0.9}O/ZnO$ 접합 경계에 축적되는 전하 양이 감소에 의해 $Mg_{0.1}Zn_{0.9}O/ZnO$ 경계에서 전류 흐름이 미비한 것으로 생각할 수 있으며, 오히려 $Mg_{0.1}Zn_{0.9}O$ 와 금속의 접촉 저항 증가로 인해 이동도가 낮아지는 것으로 판단된다. 표 1에는 제작된 TFT 소자 파라미터를 요약하였다.

4. 결 론

본 논문에서는 $Mg_{0.1}Zn_{0.9}O/ZnO$ 이중 활성층을 가지는 박막형 트랜지스터를 제작하여 그 특성을 보고하였다. 채널의 두께는 약 50 nm로 고정하였고, $Mg_{0.1}Zn_{0.9}O$ 와 ZnO의 두께의 변화에 따른 트랜지스터의 성능을 평가하였으며, $Mg_{0.1}Zn_{0.9}O$ 40 nm/ZnO 10 nm의 두께를 가지는 트랜지스터가 가장 우수한 소자 특성을 보였다.

이 소자는 약 $7.40\text{ cm}^2V^{-1}s^{-1}$ 의 전계효과 이동도를 보였으며, 0.24 V/decade의 문턱전압 이하에서의 기울기를 보였다.

감사의 글

본 연구는 지식경제부와 한국 산업기술진흥원의 전략기술인력양성사업 및 2013년도 정부 (교육과학기술부)의 재원으로 한국연구재단의 기초연구사업 일반연구지원을 받아 수행된 것임 (2013076256).

REFERENCES

- [1] J. Park, J. K. Jeong, Y. Mo, H. D. Kim, and C. Kim, *Appl. Phys. Lett.*, **93**, 033513 (2008).
- [2] J. Raja, K. Jang, H. H. Nguyen, T. T. Trinh, W. Choi, and J. Yi, *Curr. Appl. Phys.*, **13**, 246 (2013).
- [3] T. Kamiya, K. Nomura, and H. Hosono, *Sci. Technol. Adv. Mater.*, **11**, 044305 (2010).
- [4] C. Ku, Z. Duan, P. I. Reyes, Y. Lu, Y. Xu, C. Hsueh, and E. Garfunkel, *Appl. Phys. Lett.*, **98**, 123511 (2011).
- [5] S. Seo, J. H. Jeon, Y. H. Hwang, and B. Bae, *Appl. Phys. Lett.*, **99**, 152102 (2011).
- [6] K. Remashan, Y. S. Choi, S. J. Park, and J. H. Jang, *J. Electrochem. Soc.*, **157**, H1121 (2010).
- [7] H. Tampo, K. Matsubara, A. Yamada, H. Shibata, P. Fons, M. Yamagata, H. Kanie, and S. Niki, *J. Cryst. Growth*, **301-302**, 358 (2007).
- [8] C. Huang, H. Chin, Y. Wu, I. Cheng, J. Z. Chen, K. Chiu, and T. Lin, *IEEE Trans. Elec. Dev.*, **57**, 696 (2010).
- [9] H. Chin, I. Cheng, C. Li, Y. Wu, J. Z. Chen, W. Lu, and W. Lee, *J. Phys. D: Appl. Phys.*, **44**, 455101 (2011).
- [10] J. H. Lee, C. H. Kim, H. S. Kim, N. W. Jang, Y. Yun, L. M. Do, and K. H. Baek, *J. Korean Phys. Soc.*, **62**, 937 (2013).
- [11] M. Furuta, T. Kawaharamura, D. Wang, T. Toda, and T. Hirao, *IEEE Trans. Elec. Dev.*, **33**, 851 (2012).
- [12] G. Coli and K. K. Bajaj, *Appl. Phys. Lett.*, **78**, 2861 (2001).