

대용량 EEPROM 메모리 셀 검증용 모듈 회로 설계

박헌 · 김일준 · 하판봉 · 김영희*

Design of a Cell Verification Module for Large-density EEPROM Memories

Heon Park · RiJun Jin · Pan-Bong Ha · Young-Hee Kim*

요약 대용량 EEPROM 메모리를 테스트하는 경우 erase time과 program time이 많이 걸리는 문제가 있다. 또한 신뢰성 테스트를 진행하면서 각 스텝마다 EEPROM 셀의 문턱전압 VT를 테스트할 필요가 있다. 본 논문에서는 512kb EEPROM 셀 검증용 모듈 회로를 설계하였으며, negative VTE를 갖는 split gate EEPROM의 VT 측정을 위한 CG (Control Gate) 구동회로를 제안하였다. 제안된 CG 구동회로는 erase VT를 측정하기 위해 -3V~0V의 negative 전압이 인가될 수 있도록 asymmetric isolated HV (High-Voltage) NMOS 소자를 사용하였다. 그리고 test time reduction 모드에서는 even page, odd page, chip 단위로 erase나 program 수행이 가능하도록 회로를 설계하므로 512Kb EEPROM 전체 메모리를 erase하거나 program할 때 시간을 even page와 odd page를 이용하는 경우는 4ms, chip 전체로 하는 경우는 2ms로 테스트 시간을 줄일 수 있었다.

Abstract There is a problem of long erase and program times in testing large-density memories. Also, there is a need of testing the VT voltages of EEPROM cells at each step during the reliability test. In this paper, a cell verification module is designed for a 512kb EEPROM and a CG (control gate) driver is proposed for measuring the VT voltages of a split gate EEPROM having negative erase VT voltages. In the proposed cell verification module, asymmetric isolated HV (high-voltage) NMOS devices are used to apply negative voltages of -3V to 0V in measuring erase VT voltages. Since erasing and programming can be done in units of even pages, odd pages, or a chip in the test time reduction mode, test time can be reduced to 2ms in testing the chip from 4ms in testing the even and the odd pages.

Key Words : CG driver, EEPROM, High-voltage device, Threshold voltage, Test time

1. 서론

비휘발성 메모리 IP는 스마트 카드와 비접촉 카드, 스마트 폰, 자동차 응용제품의 MCU 등에서 광범위한 분야에 사용되고 있으며 고속의 읽기와 쓰기 동작 및 저 전력 소비의 특성을 가진 비휘발성 메모리가 요구되고 있다[1][2]. 실시간 정보 갱신, 보안 데이터 저장, 명령코드 저장 등의 기능을 하는 MCU (Micro Controller Unit)용 내장형 비휘

발성 메모리로 1Mb 이하의 비휘발성 메모리로는 EEPROM IP가 주로 사용되고 있다[3][4].

비휘발성 메모리인 EEPROM IP는 JEDEC (Joint Electronic Device Engineering Council) 스펙인 신뢰성 테스트를 통과한 뒤 IP 공급이 이루어지며, 대부분의 논문의 IP에 관한 것들이다. 그런데 64kB EEPROM 메모리를 테스트하는 경우 한번 erase와 program하는 경우 262.14s (=64 × 8

This work was partially supported by the Industrial Core Technology Development Program(10049095, "Development of Fusion Power Management Platforms and Solutions for Smart Connected Devices") funded By the Ministry of Trade, Industry & Energy

*Corresponding Author : Department of Electronic Engineering, Changwon National University (youngkim@changwon.ac.kr)

Received April 01, 2017

Revised April 13, 2017

Accepted April 14, 2017

$\times 128 \times (t_{ERS} + t_{PGM})$ 정도 걸리는 문제가 있다. 또한 신뢰성 테스트를 진행하면서 각 스텝마다 EEPROM 셀의 문턱전압(threshold voltage) VT를 테스트할 필요가 있다.

본 논문에서는 512Kb EEPROM 셀 검증용 모듈 회로를 설계하였으며, negative VTE (Erase VT)를 갖는 split gate EEPROM의 VT 측정을 위한 CG (Control Gate) 구동회로를 제안하였다. 제안된 CG 구동회로는 대부분의 메모리 동작에서는 CG에 positive의 전압을 공급하지만, erase VT를 측정하는 모드에서는 asymmetric isolated HV NMOS 소자를 사용하여 $-3V \sim 0V$ 의 negative 전압이 인가될 수 있도록 하였다. 그리고 test time reduction 모드에서는 even page, odd page, chip 단위로 erase나 program 수행이 가능하도록 회로를 설계하였다. 이렇게 하므로 512kb EEPROM 전체 메모리를 erase하거나 program할 때 시간을 even page와 odd page를 이용하는 경우는 4ms, chip 전체로 하는 경우는 2ms에 끝낼 수 있으므로 테스트 시간 (test time)을 줄일 수 있다. 한편 설계된 512kb EEPROM은 $0.13\mu m$ CMOS 공정을 기반으로 하고 있으며, 레이아웃 면적은 $1,508.64\mu m \times 1492.9\mu m (=2.252mm^2)$ 이다.

2. 회로설계

$0.13\mu m$ CMOS 공정을 사용하여 설계된 512kb EEPROM 메모리의 주요 특징은 표 1과 같다. EEPROM 셀은 split gate EEPROM 셀을 사용하고 있으며, 행(row) 방향으로 CG (Control Gate)와 SG (Select Gate)가 라우팅 되어 있으며, 열(column) 방향으로 BL (Bit-Line)과 SL (Source Line)이 라우팅 되어 있다. EEPROM 셀에서 floating gate에 전자 (electron)를 주입시켜 VT가 VRD (Read Voltage) 이상으로 높아진 상태를 program된 상태라고 부르고, FG (Floating Gate)에 주입된 전자가 빠져 나와 VT가 VRD 전압 이하가 되는 상태를 erase된 상태라 부른다. 그런데 플로팅 게이트 (floating gate) 트랜지스터가

over-erase되면 VT는 negative voltage가 될 수도 있다. 한편 EEPROM에서는 특정 셀을 program하려면 program을 수행하기 이전에 해당되는 셀을 먼저 erase해야 한다[5]. 사용되는 VDD 전압은 $5V \pm 10\%$ 이고, 온도 범위는 $-40^\circ C \sim 125^\circ C$ 이다. 동작 모드는 normal 모드로 read, page erase, program이 있으며, write-verify-read mode로 erase-verify-read와 program-verify-read 모드가 있다. Page erase는 1kb 단위로 수행되고, program과 read 동작은 8bit 단위로 수행된다. Test time reduction 모드에서는 even page erase, odd page erase, chip erase와 even page program, odd page program, chip program 단위로 erase나 program 수행이 각각 가능하다. EEPROM 셀 VT measuring 모드는 DOUT 핀을 통해서 EEPROM 셀의 VTE (Erase VT)와 VTP (Program VT) 측정이 가능하다.

EEPROM 셀을 erase하는 경우는 표 2에서 보는 바와 같이 EEPROM 셀의 BL 노드를 플로팅 시키고 CG 노드는 0V를 인가하고 SG와 SL 노드에 각각 VINH(Inhibit Voltage), VPP(Boosed Voltage) 전압을 인가한다. 이 경우 tunnel oxide를 통하여 FN tunneling 전류가 흘러 FG에 저장된 전자가 플로팅 게이트 트랜지스터의 SL 노드로 빠져 나온다. 이런 과정으로 CG에 대한 EEPROM 셀 트랜지스터의 VT는 VRD 이하로 떨어지면서 erase 동작이 이루어진다. EEPROM 셀을 program하는 경우 EEPROM 셀의 BL 노드는 플로팅 시키고 SL 노드에 0V에 연결되어 있으며, CG 노드에 VPP의 고전압 펄스를 인가한다. 이 경우 FG와 CG 사이에 있는 ONO (Oxide-Nitride-Oxide) 커패시터의 capacitive coupling에 의해 FG 전압도 CG 전압에 따라서 증가하게 된다. Tunnel oxide 양단의 전기장 (electric field)의 세기가 10MV/cm 이상 걸리면 FN tunneling에 의해 플로팅 게이트 트랜지스터의 tunnel oxide 아래에 위치한 n+ 소스 영역으로부터 전자들이 tunnel oxide를 통하여 FG로 주입된다. FG에 전자들이 모이게 되면 EEPROM 셀 트랜지스터의 VT는 VRD 이상이 된다.

표 1. 512kb EEPROM의 주요특징

Table 1. Major specifications of 512kb EEPROM

Items		Main Features
VDD		4.5V ~ 5.5V
Function	Normal Mode	Read / Page Erase / Program
	Write-Verify-Read	Erase-Verify-Read / Program-Verify-Read
	Others	Test Time Reduction / Cell V_T Measuring
Memory Density		512Kb
Cell Array		512Rows x 1024Columns
Separate I/O		8bit
Temperature Range		-40~125℃
Erase Time		2ms
Program Time		2ms
Endurance		10K Cycles
Data Retention		10Years

표 2. 동작 모드별 셀 바이어스 조건

Table 2. Major specifications of 512kb EEPROM

Mode	CG	SG	BL	SL
Erase	0V	VINH	Floating	VPP
Program	VPP	3.3V	Floating	0V
Read	VRD	3.3V	0.6V	0V

설계된 512Kb EEPROM는 그림 1의 블록도에서 보는 바와 같이 512행 × 1,024열의 셀 어레이, 행 디코더 (row decoder), SL 구동회로, BL 스위치 회로와 DOUT 버퍼 회로, DC-DC 변환기와 컨트롤 로직 회로로 구성되어 있다. Row decoder는 row address A[15:7]를 디코딩하여 512개 행 중 한 행을 활성화 (activation) 시킨다. Page erase 모드는 A[15:7]의 행 어드레스의 디코딩에 의해 선택된 CG는 0V를 구동하고 한 행에 있는 1,024개의 셀을 동시에 erase하기 위해 SL[1,023:0]는 동시에 VPP를 구동한다. 한편 program 모드에서는 A[15:7]의 행 어드레스의 디코딩에 의해 선택된 CG는 VPP를 구동하고 A[6:0]의 열 어드레스의 디코딩에 의해 128byte 중 한 byte가 선택된다. 선택된 byte중 DIN이 '1'인 경우는 SL을 0V를 구동하여 FN tunneling에 의해 해당되는 셀의 FG에 전자를 주입시킨다. 반면 DIN이 '0'인 경우는 SL을

VINH를 구동하므로 FN tunneling이 일어나는 것을 방지하여 선택된 셀은 이전에 erase한 데이터인 '0'를 유지하도록 한다. 그리고 read 모드에서는 모든 CG는 VRD(=1.2V) 전압이 인가된 상태에서 A[15:7]의 행 어드레스의 디코딩에 의해 선택된 SG는 3.3V를 인가하면서 512개 행 중 한 행에 있는 EEPROM 셀이 선택되며, A[6:0]의 디코딩에 의해 128byte중 한 byte의 read 데이터가 BL 스위치 회로를 통해 BL S/A (Sense Amplifier) 회로로 전달된다. 전달된 EEPROM 셀의 데이터는 센싱 후 DOUT 핀으로 출력된다.

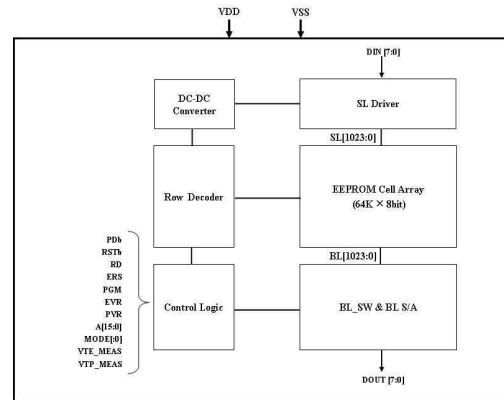


그림 1. 512kb EEPROM의 블록도

Fig. 1. Block diagram of 512Kb EEPROM

EEPROM 셀의 VTE가 positive 전압을 갖는 경우는 그림 2의 row 구동회로로 구현이 가능하다. 이 경우는 HV (High Voltage) PMOS와 HV NMOS 트랜지스터가 있으면 된다. 그런데 VTE가 negative 전압을 가지고 있으면 그림 2의 회로는 negative 전압을 CG에 인가할 수가 없다. 그래서 그림 3의 제안된 row 구동회로가 필요하다. Negative VTE를 측정하기 위한 row 구동회로를 대부분의 메모리 동작에서는 CG에 positive의 전압을 공급하지만, erase VT를 측정하는 모드에서는 symmetric isolated HV NMOS 소자를 사용하여 -3V~0V의 negative 전압이 인가될 수 있도록 하였다.

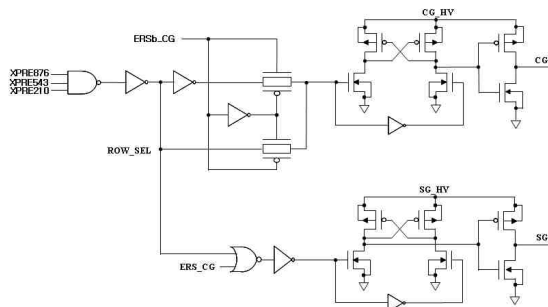


그림 2. Positive VTE 측정이 가능한 row 구동회로
Fig. 2. Row driver of being able to measure positive VTE voltages

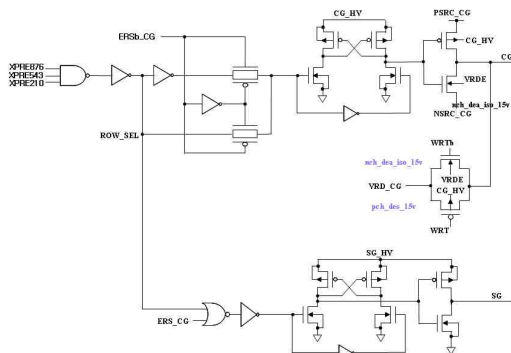


그림 3. Negative VTE 측정이 가능한 row 구동회로
Fig. 3. Row driver of being able to measure negative VTE voltages

Program 모드에서는 표 3에서 보여지는 VPP의 PSRC_CG와 VINHP_CG의 NSRC_CG의 HV 스위칭 파워를 이용하여 선택되는 CG는 MP1을 통해 VPP, 선택되지 않은 CG는 MN1을 통해 VINHP_CG를 공급한다. 그리고 erase 모드에서는 선택된 CG는 MN1을 통해 0V, 선택되지 않은 CG는 MP1을 통해 VINHE_CG를 공급한다. Program 모드와 erase 모드에서 MP2와 MN2는 OFF 상태를 유지한다. Erase VT와 program VT를 측정하는 모드에서는 PSRC_CG와 NSRC_CG가 Hi-Z 상태가 되고 HV CMOS transmission 게이트인 MP2와 MN2는 ON 상태가 된다. Erase VT 측정 모드에서는 $-3V \sim 0V$ 의 negative 전압인 VTE 전압이 CG에 전달되고, program VT 측정 모드에서는 VTP 전압이 CG에 전달된다. 한편 erase VT를

측정하는 모드에서는 asymmetric isolated HV NMOS 소자를 사용하여 $-3V \sim 0V$ 의 negative 전압이 인가될 수 있도록 하였다. 만약 isolated HV NMOS 트랜지스터가 아니면 p-substrate가 0V인 경우는 소스-바디 사이에 형성되어 있는 기생하는 pn 접합 다이오드가 ON되는 문제점이 있다.

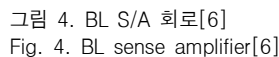
Read 모드에서는 CG는 VRD ($=1.2V$)가 ON 상태에 있는 MP2와 MN2를 통해 전달된다.

EEPROM TEG 모듈에서 각 셀의 VT를 측정하는 방법은 그림 3의 row 구동회로를 이용하여 선택되는 CG에 테스트 전압을 인가한 뒤 EEPROM 셀 전류를 DOUT 핀에서 측정하여 판단한다. DOUT 핀에서 전류를 측정하도록 그림 4에서 보는바와 같이 BL 스위치를 거친 DL (Data Line)에 MN3 트랜지스터를 추가하였으며, VT measure 모드에서는 DOUT 핀에 0.6V를 인가하여 MN3를 통해 EEPROM 셀로 흘러 들어가는 전류를 측정하면 된다. 그림 4는 DL 데이터를 래치하는 BL S/A 회로도를 보여주고 있다.

표 3. 동작 모드에 따른 HV 스위칭 파워의 전압

Table 3. HV switching power voltages according to the operational modes

Functions	CG_HV	SG_HV	PSRC_CG	NSRC_CG	VRD_CG
Read	VDD	3.3V	Hi-Z	Hi-Z	1.2V
Program	VPP	3.3V	VPP	VINHP_CG	1.2V
Page Erase	VINHE_CG	VINHE_SG	VINHE_CG	0V	1.2V
EVR	VDD	3.3V	Hi-Z	Hi-Z	0V
PVR	VDD	3.3V	Hi-Z	Hi-Z	2.8V
VTE	VDD	3.3V	Hi-Z	Hi-Z	VTE
VTP	VDD	3.3V	Hi-Z	Hi-Z	VTP
Odd Page Erase	VINHE_CG	VINHE_SG	VINHE_CG	0V	1.2V
Odd Page Program	VPP	3.3V	VPP	VINHP_CG	1.2V
Even Page Erase	VINHE_CG	VINHE_SG	VINHE_CG	0V	1.2V
Even Page Program	VPP	3.3V	VPP	VINHP_CG	1.2V
Chip Erase	VINHE_CG	VINHE_SG	VINHE_CG	0V	1.2V
Chip Program	VPP	3.3V	VPP	VINHP_CG	1.2V



웨이퍼 테스트시 page erase 모드를 이용하여 512Kb EEPROM을 erase하기 위한 시간은 1.024s (=512행 × tERS) 걸리고, byte program하는 데는 131.072s (=512행 × 128byte × tPGM) 걸려서 테스트 시간이 문제가 된다. 그래서 본 논문에서는 test time reduction 모드를 두어 even page, odd page, chip 단위로 erase나 program 수행이 가능하도록 회로를 설계하였다. Test time reduction 모드는 even page erase, odd page erase, chip erase, even page program, odd page program, chip program 모드가 지원되며, 각 모드마다 CG[511:0] 전압은 표 4에서 보는 바와 같다. Test time reduction 모드에서 512Kb EEPROM 전체 메모리를 erase하거나 program할 때 시간을 even page와 odd page를 이용하는 경우는 4ms, chip 전체로 하는 경우는 2ms에 끝낼 수 있으므로 테스트 시간(test time)을 대폭 줄일 수 있다.

Table 4. CG voltages in the test time reduction mode

Mode	Even Page Erase	Odd Page Erase	Chip Erase	Even Page Program	Odd Page Program	Chip Program
CG <0>	0V	VINHE_CG	0V	VPP	VINHP_CG	VPP
CG <1>	VINHE_CG	0V	0V	VINHP_CG	VPP	VPP
CG <2>	0V	VINHE_CG	0V	VPP	VINHP_CG	VPP
CG <3>	VINHE_CG	0V	0V	VINHP_CG	VPP	VPP
.
.
CG <508>	0V	VINHE_CG	0V	VPP	VINHP_CG	VPP
CG <509>	VINHE_CG	0V	0V	VINHP_CG	VPP	VPP
CG <510>	0V	VINHE_CG	0V	VPP	VINHP_CG	VPP
CG <511>	VINHE_CG	0V	0V	VINHP_CG	VPP	VPP

설계된 512kb EEPROM은 0.13 μ m CMOS 공정을 기반으로 하고 있으며, 레이아웃 면적은 1,508.64 μ m \times 1492.9 μ m (=2.252mm²)이다.

3. 모의실험 결과

그림 5는 cell VT를 측정하는 모의실험 결과 파형을 보여주고 있다. CG는 VT 측정 전압이 인가된 상태에서 RD 신호가 활성화되면서 행 어드레스에 의해 선택되는 SG를 3.3V로 활성화한다. VT measuring 모드에서 DOUT 핀에 0.6V의 전압을 인가하면 그림 4의 MN3를 통해 DL과 BL에 0.6V가 전달되면서 EEPROM 셀의 전류가 DOUT 핀에서 측정이 가능할 수 있다. 그림 5(a)는 VTE 측정에 대한 모의실험 결과이고, 그림 5(b)는 VTP 측정에 대한 모의실험 결과이다.



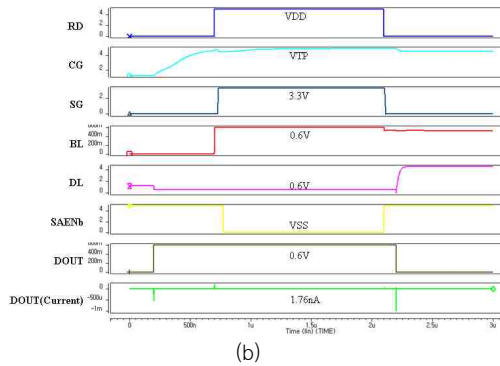


그림 5. EEPROM 셀 VT 측정 모드에서의 모의실험 결과
(a) VTE 측정 모드 (b) VTP 측정 모드

Fig. 5. Simulation results of VT measuring modes: (a) VTE measuring mode and (b) VTP measuring mode

그림 6과 그림 7은 erase 모드와 program 모드를 위한 test time reduction 모드에 대한 모의실험 결과로 even page erase, odd page erase, chip erase, even page program, odd page program, chip program 모드에 따라 CG[511:0], SG[511:0], SL[1023:0] 전압파형이 정상적으로 나오는 것을 보여주고 있다.

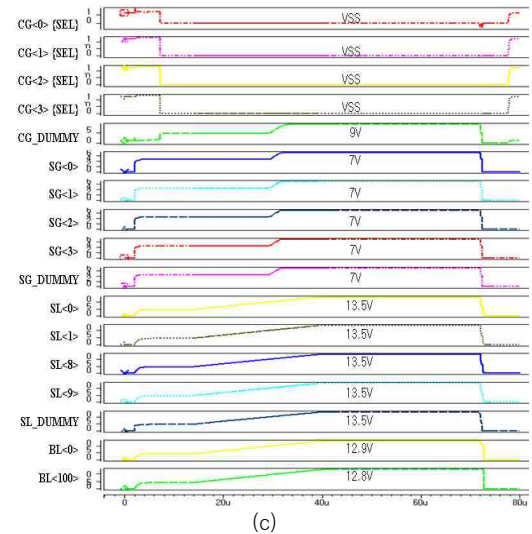
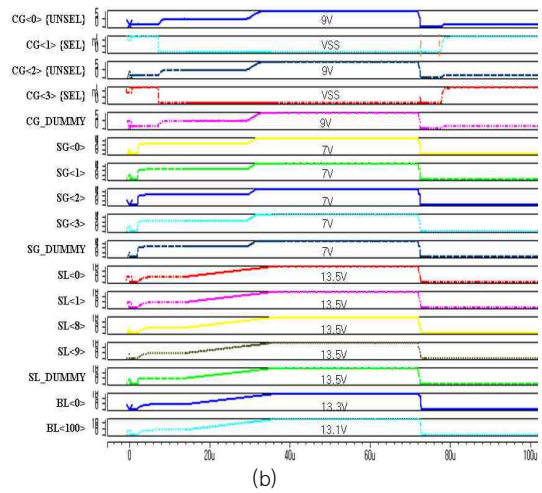
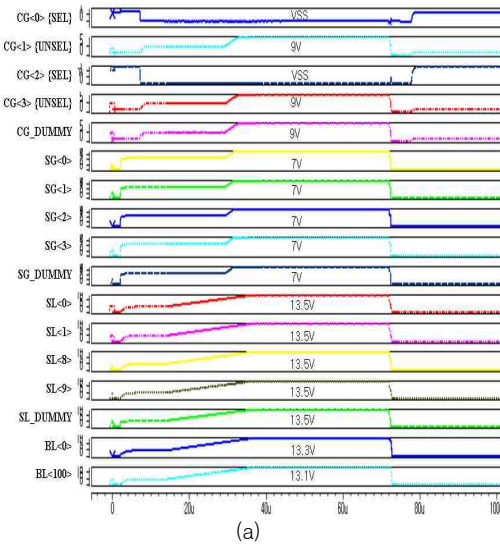


그림 6. Erase 모드를 위한 test time reduction 모드 (a) even page erase (b) odd page erase (c) chip erase
Fig. 6. Test time reduction mode for erasing: (a) even pages, (b) odd pages, and (c) chip programming

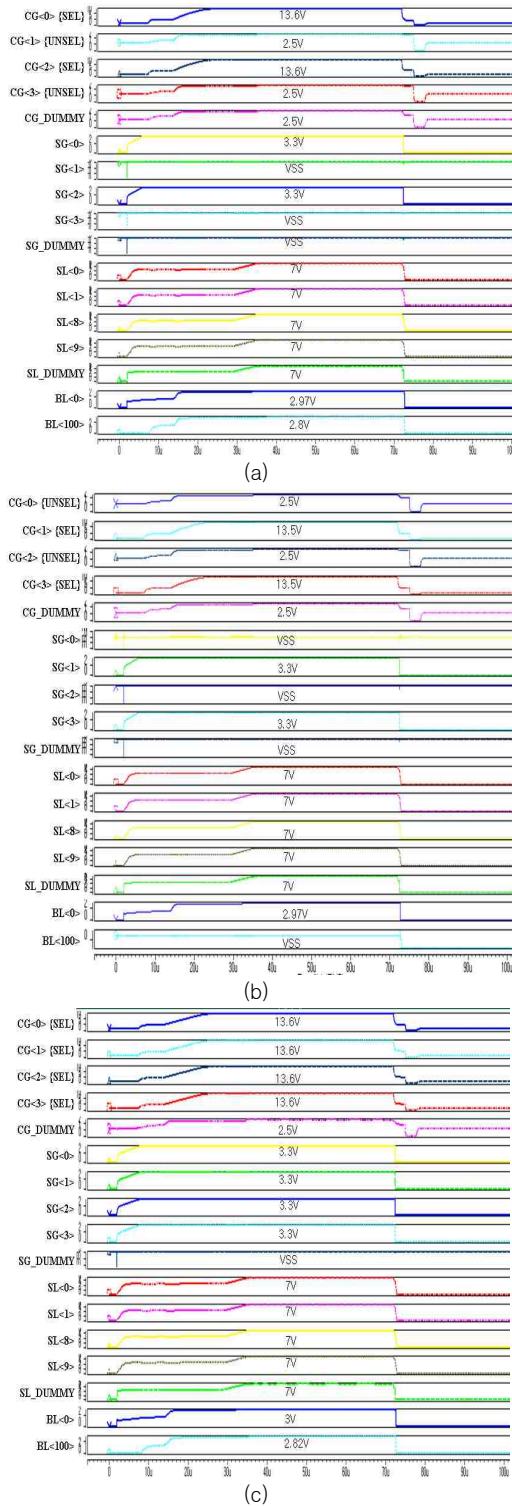


그림 7. Program 모드를 위한 test time reduction 모드
(a) even page program (b) odd page program (c) chip program

Fig. 7. Test time reduction mode for programming: (a) even pages, (b) odd pages, and (c) chip programming

4. 결 론

실시간 정보 갱신, 보안 데이터 저장, 명령코드 저장 등의 기능을 하는 MCU용 내장형 비휘발성 메모리는 EEPROM IP가 주로 사용되고 있다.

대용량 EEPROM 메모리를 테스트하는 경우 erase time과 program time이 많이 걸리는 문제가 있다. 또한 신뢰성 테스트를 진행하면서 각 스텝마다 EEPROM 셀의 VT를 테스트할 필요가 있다.

따라서 본 논문에서는 512kb EEPROM 셀 검증용 모듈 회로를 설계하였으며, negative VTE를 갖는 split gate EEPROM의 VT 측정을 위한 CG 구동회로를 제안하였다. 제안된 CG 구동회로는 erase VT를 측정하기 위해 $-3V \sim 0V$ 의 negative 전압이 인가될 수 있도록 asymmetric isolated HV NMOS 소자를 사용하였다. 그리고 test time reduction 모드에서는 even page, odd page, chip 단위로 erase나 program 수행이 가능하도록 회로를 설계하였다. 512Kb EEPROM 전체 메모리를 even page와 odd page를 이용하여 erase하거나 program할 때 시간은 4ms, chip 전체로 하는 경우는 2ms에 끝낼 수 있으므로 테스트 시간을 줄일 수 있었다.

REFERENCES

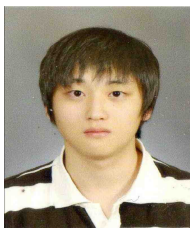
- [1] F. Xu, X. Q. He, L. Zhang, "Key Design Techniques of A 40ns 16K Bits Embedded EEPROM Memory", Communication, Circuits and System, vol. 2, pp. 1516-1520, June 2004.
- [2] A. Conte, G. L. Gudiceo, G. Palumbo, A. Signorello, "A High-Performance Very Low-Voltage Current Sense Amplifier for Nonvolatile Memory", IEEE J. Solid-State Circuits, vol. 40, no. 2, pp. 507-514, Feb. 2005.

- [3] M. Hatanaka, H. Hidaka, G. Palumbo, "Value Creation in SOC/MCU Applications by Embedded Non-Volatile Memory Evolutions", Asian Solid State Circuits Conference, pp. 38-42, Nov. 2007.
- [4] Y. H. Kim, H. Park, M. H. Park, P. B. Ha, Y. H. Kim, "Design of a Fast 256Kb EEPROM for MCU", JKICE, vol. 19, no. 3, pp. 567-574, March 2015.
- [5] Y. H. Kim, "Semiconductor Memory Design", Changwon University Press, 2009.
- [6] Y. K. Kim, M. S. Kim, H. Park, M. Y. Ha, J. H. Lee, P. B. Ha, Y. H. Kim, "Design of Multi-Time-Programmable Memory for PMICs", ETRI Journal, vol. 37, no. 6, pp. 1188-1198, Dec. 2015.
- [7] R. Jin, P. B. Ha, Y. H. Kim, "Design of Low-Power Bandgap Reference Voltage Generator", Proceedings of KIECT Conference, vol. 9, No. 2, pp. 66-68, Oct. 2016.
- [8] Y. J. Kang, H. Park, R. Jin, P. B. Ha, Y. H. Kim, "Design of DC_DC Converter for Single Poly EEPROMs", Proceedings of KIECT Conference, vol. 9, No. 2, pp. 63-65, Oct. 2016.

저자약력

박 현(Heon-Park)

[학생회원]



- 2010년 8월 : 경상대학교 전자공학과 (공학사)
- 2014년 2월 : 창원대학교 전자공학과 (공학석사)
- 2014년 3월 ~ 현재 : 창원대학교 전자공학과 박사과정

<관심분야>

Non-Volatile memory 설계

김 일 준(Rijun Jin)

[학생회원]



- 2002년 6월 : 연변대학교 전자정보통신학과 (공학사)
- 2004년 6월 : 연변대학교 전자정보통신학과 (공학석사)
- 2014년 9월 ~ 현재 : 창원대학교 전자공학과 박사과정

<관심분야>

Non-Volatile memory 설계

하 판 봉(Pan-Bong Ha)

[정회원]



- 1981년 2월 : 부산대학교 전기공학과 (공학사)
- 1983년 2월 : 서울대학교 전자공학과 (공학석사)
- 1993년 2월 : 서울대학교 전자공학과 (공학박사)
- 1987년 3월 ~ 현재 : 창원대학교 전자공학과 교수

<관심분야>

임베디드 시스템, SoC 설계

김 영 회(Young-Hee Kim)

[종신회원]



- 1989년 2월 : 경북대학교 전자공학과 (공학사)
- 1997년 2월 : 포항공과대학교 전기전자공학과 (공학석사)
- 2000년 8월 : 포항공과대학교 전기전자공학과 (공학박사)
- 1989년 1월 ~ 2001년 2월 : 현대전자 책임연구원
- 2001년 3월 ~ 현재 : 창원대학교 전자공학과 교수

<관심분야>

CMOS Image Sensor 설계, 메모리 IP 설계, SoC 설계