FPGA를 이용한 영상처리 구동을 위한 정합모듈 설계

정성혁* · 김정태**

Design of Interface Module for Driving of Image Processing Using FPGA

Sung-Hyuck Jung* · Jung Tae Kim**

요 약

본 논문에서는 이미지 센서와 외부의 구성요소들과의 정합 모듈을 FPGA(Field Programmable Gate Array)를 사용하여 설계하였다. 일반적으로, 저준위 이미지의 데이터를 동기화하기 위하여 SRAM이 요구된다. 본문에서는 신호와 픽셀 단위의 크기를 가진 이미지 신호를 동기화하기 위하여 FPGA를 사용하여 인터페이스의 정합 모듈을 설계함을 목적으로 한다. 본 논문에서는 픽셀 단위로 구현함으로써 고화질의 이미지를 얻을 수 있다. 사용한 이미지 센서와 TFT-LCD의 동작 주파수는 각각 50MHz와 6.5MHz이다. 또한, 구현한 대부분의 제어부는 FPGA에 내장되어 있고 Altera사의 Quartus II 저작도구를 사용하였으며, 설계된 논리 게이트의 수는 33,216 개다.

ABSTRACT

Interface modules design between image sensor and external components are designed by FPGA (Field Programmable Gate Array) in this paper. Generally speaking, to satisfy synchronization for the poor quality data in image, SRAM is needed. To receive synchronization signal and image signal data with pixel dimension, the proposed interface logic technique is implemented. From the proposed technique, we can obtain more clear screen by implementing with pixel dimension. Operating frequency of image sensor and that of TFT-LCD are 50MHz and 6.5MHz, respectively. Most of control logic functions are embedded in FPGA. The designed logic gate counter has 33,216 and is designed by Quartus II.

키워드

영상 신호, 이미지 센서, FPGA 정합

Key word

Image signal, Image sensor, FPGA matching

* 한백전자 전임연구원

** 목원대학교 (교신저자, jtkim3050@mokwon.ac.kr)

접수일자 : 2010. 06. 07

심사완료일자 : 2010. 07. 25

I. 서 론

현재의 고도화된 정보기술이 발전함에 따라 영상 매체에 대한 기술도 지속적으로 발전하고 있다. Bell 연구소에서 처음 선보인 CCD(Charge Coupled Device) 이미지 센서의 발명을 기점으로 하여 영상 기술은 CMOS 공정 기술의 출현으로 더욱 발전해 왔다. 카메라와 같이 영상을 데이터 형태로 변환해주는 장치를 비롯하여, LCD(Liquid Crystal Display)와 같이 영상 데이터를 사람의 눈으로 직접 볼 수 있도록 표시해 주는 장치들이 개발되었고, 이러한 장치들은 각각의 하드웨어 구조를 기반으로 영상 데이터를 제어하여 화면에 표시하는 과정을 하고 있다[1,2].

따라서 본 논문에서는 영상 데이터의 처리과정에서 발생할 수 있는 설계상의 문제점과 이를 표현하기 위한 최적의 알고리즘을 제시하고 있다. 본 논문에서 제시하는 하드웨어 구조는 이미지 센서를 통해 입력 받은 영상 데이터와 TFT-LCD(Thin Film Transistor-Liquid Crystal Display)로 표현되는 데이터의 흐름에서 발생하는 영상 데이터의 제어를 좀 더 쉽게 할 수 있는 구조이다. 입력단의 이미지 센서는 입력 받는 환경에 따라서 동기 신호 및 영상 데이터의 입력 속도가 달라지는 기능을 가지고 있다. 밝으면 동기 신호 및 데이터의 입력 프레임이 빨리 동작하지만, 어두운 환경에서 이미지 센서를 동작하면 한 프레임이 입력되는 시간이 느리게 된다. 일반적으로 FPGA(Field Programmable Gate Array)를 사용하여 이미지 센서로부터 입력되는 신호를 통해 TFT-LCD에 영상을 출력한다.

하지만 SRAM(Static Random Access Memory)을 두어 하드웨어의 구조에서 입력단과 출력단의 영상 데이터를 분리할 수 있다. 입력에 들어오는 동기 데이터 신호를 제어하여 SRAM에 저장하는 입력단의 회로를 설계하고, 이것을 이용하여 출력단에서는 FPGA에서 생성하는 동기 신호를 이용하여 SRAM에서 영상 데이터를 읽어와 TFT-LCD에 출력할 수 있다. 입력되는 영상 데이터에서 동기 신호 및 데이터 신호가 일치하지 않으면 영상 데이터 표현과정에서 잡음이나 원하지 않는 색상으로 표현될 수 있다. 이러한 문제점을 해결하기 위해 회로 설계에서 한 픽셀에 대한 데이터를 FPGA 내부 메모리를 사용하여 정확하게 입력 받도록 설계하였고,

동기 신호도 각각의 지연 시간을 설정하여, 입력되는 영상 데이터와 일치하도록 하고 있다[3,4].

하드웨어 구조는 이미지 센서, TFT-LCD, SRAM의 동작을 FPGA 만을 이용하여 하나의 디바이스에 구현하는 것으로써, 영상 데이터를 제어하기 위한 하드웨어이다. 이미지 센서에서 출력되는 데이터를 FPGA로 전달하고, 이렇게 모여진 데이터를 FPGA에서는 하나의 픽셀 단위로 카운트 하여 분류하게 된다. 이렇게 분류된 데이터를 TFT-LCD에 출력하기 위한 영상 데이터로 변환된다. 이러한 과정이 하나의 프레임 단위로 진행이 되며, 한 프레임의 데이터 입력이 끝나면 SRAM에 한 프레임의 데이터를 저장한다. 이렇게 저장된 데이터는 TFT-LCD에 한 픽셀씩 읽어 들여 TFT-LCD에 전달된다. 이에 따라 이미지 센서에 출력되는 영상 데이터 및 동기 신호와 FPGA에서 TFT-LCD로 출력되는 영상 데이터와 동기 신호는 모두 3.3V 전압 레벨로 동작한다.

또한 이미지 센서에는 50MHz의 클럭을 여기에서 데이터를 동기 신호에 맞게 전달하여 우리 눈으로 영상이 보이는 과정을 제어하였다. 또한 결과를 통해 입력되는 영상 데이터와 동기 신호의 파형과 TFT-LCD로 출력되는 영상 데이터와 동기 신호의 파형이 정확하게 전달된다. 이미지 센서와 FPGA의 VCCIO에 전달하는 전압은 3.3V로 입력하고, 34ms의 수직 동기 신호와 50us의 수평 동기신호에 의해 영상 데이터가 출력된다. TFT-LCD에서는 6.5MHz의 메인 클럭을 입력하고, 35ms의 수평 동기 신호에 맞게 영상 데이터를 전달하여 화면을 표시한다. 본 논문의 주요 구성으로 1장에서는 서론, 2장에서는 영상 처리 시스템의 주요 구성, 3장에서는 제안한 정합 모듈의 설계, 4장에서는 실험 및 분석을 다루고 마지막 5장에서는 결론을 맺는다.

II. 영상 처리 시스템의 주요 구성

영상 처리 시스템의 하드웨어 구조는 이미지 센서에서 입력되는 영상 신호와 TFT-LCD에서 출력되는 영상 데이터 간의 동기 신호를 일치해 주기 위해 SRAM을 사용한다. 이미지 센서에서 출력되는 영상을 바로 TFT-LCD에 출력하거나, 별도의 영상 데이터 처리 장

치의 변환 없이 이용할 경우 영상 데이터와 동기 신호가 일치 되지 않아 영상에 잡음이 생기고, 색상이 정확하게 표현되지 않기 때문에 SRAM을 사용하여 동기를 맞추어 준다.

그림 1. 영상 처리 시스템의 하드웨어 구성도
Fig. 1 Block Diagram of Hardware for Image Processing System

(그림 1)은 영상 처리시스템의 하드웨어 구성도이다. 이미지 센서를 통해 입력되는 영상 데이터는 FPGA에서 데이터 변환을 한 뒤 SRAM에 저장된다. 이러한 과정은 이미지 센서를 통해 입력되는 동기 및 클럭 신호를 통해 영상 데이터를 비교 분석하여 설계한다. 이렇게 저장된 신호를 하나씩 읽어 TFT-LCD로 전달하여 화면에 표시하도록 설계하였다. 이러한 과정도 FPGA 내에 포함되며 영상 데이터와 동기 신호를 생성하여 TFT-LCD를 제어한다.[5,6]

III. 제안한 정합 모듈 회로 설계

영상 처리 시스템의 하드웨어를 구현하기 위해서는 SRAM을 이용한 영상 데이터 저장 장치를 마련해 두어야 한다. 이러한 하드웨어 구조는 이미지 센서에서 입력되는 영상 신호와 TFT-LCD에서 출력되는 영상 데이터 간의 동기 신호를 일치해 주기 위한 구조로 구성된다. (그림 2)는 상위 모듈의 구성도이다. 데이터의 흐름은 이미지 센서를 통해 입력받은 영상 데이터를 동기 신호와 일치시켜 주기 위해 타이밍 제어를 한다. 그리고 영상 데이터를 TFT-LCD에 표현하기 위한 데이터 방식인

RGB 형태로 변환 작업을 한다. 이것을 SRAM에 저장하기 위해 24 비트의 데이터 크기를 16 비트로 변환하며, TFT-LCD에 표현하기 위한 동기 신호도 같이 생성한다. 이렇게 데이터 변환이 완료되면 SRAM에 저장하고 TFT-LCD에 표현하는 작업을 한다. FPGA에는 이외에도 각 장치에 맞게 클럭을 생성하며 TFT-LCD의 'PIP'기능을 구현하기 위한 내부 메모리를 구현하였다. FPGA 디바이스는 Altera사의 Cyclone II 계열의 EP2C35F672를 사용하고 있으며, 알테라의 전용 저작도구인 Quartus II를 사용하여 설계하였다.

그림 2. Top 모듈의 구성
Fig. 2 Configuration of Top Module

설계언어는 VHDL 및 'Symbol'을 이용한 그래픽 형태로 설계하였다. (그림 3)의 파일 정보에서는 FPGA 디바이스에서 설계한 회로를 분석한 것을 보여준다. FPGA에서 설계 회로는 총 682개의 Logic Elements를 사용하고 있으며 게이트 레벨로 계산하면 33,216 게이트를 사용하고 있다. 일반적인 시뮬레이션 요약은 (그림 3)의 (b)와 같다.

(그림 3)은 타이밍 시뮬레이션 결과 정보를 보여주고 있다. 이미지 센서로부터 CIF_FV 및 CIF_LV의 동기 신호가 입력되면 CIF_PCLK의 클럭마다 8 bit의 영상 데이터가 FPGA로 입력된다. 이미지 센서에서 입력되는 영상 신호는 밝기 성분이 Y(Luminance)와 색상 성분인 Cb(Chrominance Blue), Cr(Chrominance Red)로 구성된다. 입력되는 영상 데이터는 YCbCr로 입력되는 영상 입

력이 4번의 클럭마다 한 픽셀의 데이터가 모두 전달되기 때문에 SRAM에서도 4번의 입력에서 한번의 Write Enable을 생성하여 SRAM에 저장된다.

그림 3. 타이밍 시뮬레이션 결과 정보
(a) 시뮬레이션 결과 정보 (b) 시뮬레이션 결과 요약
Fig. 3 Information of Result for Timing Simulation
(a) Simulation Result Information
(b) Simulation Result abstract

3.2 기능별 블록 회로 설계

(그림 4)는 이미지 센서와 TFT-LCD를 연동한 상위 모듈의 기능별 블록도이다. 이미지 센서에서 입력받은 영상 데이터를 처리하는 부분과 이를 SRAM 및 TFT-LCD의 장치에 적용하기 위한 제어 부분으로 구분지어 진다.

그림 4. 기능별 블록도
Fig. 4 Block Diagram of Function

IV. 실험 및 분석

본 논문에서는 3장에서 보인바와 같이 시스템의 규격을 정하고 기능별로 기능을 검증한 후에 이미지 센서로부터 입력받은 영상 데이터 및 동기 신호와 TFT-LCD로 출력되는 영상 데이터 및 동기 신호를 측정해 보았다. 입력되는 이미지 데이터 및 동기 신호는 이미지 센서의 파형 정의의 부분에서 나오는 것과 데이터 구조가 일치하였고, 간간히 리플 현상이 발생한다.. 또한 TFT-LCD로 입력되는 영상 데이터도 리플 현상이 발생하였지만, 작은 영역에서 발생하는 것이라 화면 표시에는 거의 영향을 미치지 않았다. 측정은 텍트로닉스사의 오실로스코프로 두 채널을 동시에 측정하였다.

(그림 5)는 영상 신호의 출력을 보여주고 있다. 아랫부분의 H_Sync의 데이터를 기준으로 High가 되는 시점에서 위쪽의 영상 데이터가 출력되고 있다. 따라서 한 주기의 H_Sync 마다 한 라인의 데이터가 출력이 된다. 이 영상 데이터의 출력은 640 x 480 Size의 데이터로 기본 설정 값을 받아서 사용할 수 있도록 되어 있다. 따라서 별도의 설정 없이 FPGA를 통해 50MH의 클럭 입력을 통해 데이터 및 Sync 신호의 출력이 된다.

그림 5. 이미지 센서 출력 데이터
Fig. 5 Output Data of Image Sensor

(그림 6)은 이미지 센서를 통해 출력되는 두 종류의 Sync 신호를 나타내고 있다. 이 과정에서 한 번의 V_Sync 마다 H_Sync가 480번의 주기로 반복 되고, 한번의 H_Sync 마다 2,560번의 데이터가 발생되는 것을 확인할 수 있다. 한 클럭마다 8 비트의 YCbCr의 데이터가 출력된다. 따라서 4번의 클럭이 발생할 때마다 한 픽셀 데이터가 완성된다.

그림 6. 이미지 센서 영상 동기 신호
Fig. 6 Sync Signal of Image Sensor

이 전까지의 결과 파형은 Default 설정으로 이미지 센서를 통해 출력되는 데이터를 보았다. 하지만 위의 (그림 7)은 이미지 센서를 통해 받은 데이터를 기초로 TFT-LCD에 표시해 주기 위한 데이터를 생성한다.

그림 7. TFT-LCD 제어 신호 생성
Fig. 7 Control Signal Generator of TFT-LCD

FPGA에서 발생된 신호를 TFT-LCD의 Sync 핀에 전달하며, 이 부분의 파형을 측정된 결과이다. 여기에서 위쪽 파형의 한 번의 V_Sync 마다 480번의 H_Sync가 발생되는 모습을 통해 TFT-LCD를 제어하기 위한 Sync 신호의 입력이 설계 코드에서 원하는 대로 발생되는 것을 알 수 있다.

그림 8. TFT-LCD에 이미지 데이터 입력
Fig. 8 Input Image Sensor Data of TFT-LCD

(그림 8)의 측정 파형은 TFT-LCD로 입력되는 한 라인의 데이터 파형과 H_Sync를 같이 측정된 것이다. 여기에서 H_Sync가 한번 Enable 될 때마다 한 라인의 클럭이 모두 입력이 된다. 하지만 입력 받은 이미지의 값은 이 화면에 모두 표현하는 것이 아니라 특정 구간에서만 Enable하여 화면을 출력 하도록 되어 있고, 나머지 구간

에서는 '0'의 값을 출력 하도록 되어 있다. 따라서 H_Sync 신호가 Enable 되는 구간에서 일정 구간에서 데이터의 출력이 나오는 모습을 보여주고 있다.

그림 9. 영상 출력
Fig. 9 Video Output

(그림 9)는 구현한 영상을 실험하여 TFT-LCD로 표현 되는 모습이다. 우리 눈으로 보는 것과 같이 제품의 영상을 FPGA에서 변환하여 TFT-LCD로 전달한다. 설계 회로와 같이 지정된 구간에서 영상 데이터를 출력하고 이외의 구간에서는 검은 색을 표현하는 것알 수 있다. 또한 노이즈가 없는 영상을 위해서는 많은 디버깅 과정을 거쳐야만 했다. 이는 각 장치들의 연결에서 데이터 라인의 길이가 일치하지 않고, FPGA의 시뮬레이션 결과에서 만들어지는 과정과 실제 동작에서 생성하는 파형이 디바이스의 특성상 조금 다른 것을 알 수 있었다. 따라서 PCB 설계에서 데이터 라인의 일치와 각 장치들이 가깝게 배치하여 구성되어 진다면 시뮬레이션 결과에 근접하는 데이터를 얻을 수 있을 것이다.

V. 결 론

본 논문에서는 이미지 센서로 입력 받은 영상 데이터를 TFT-LCD로 표시하는 과정을 구현하였다. 보통 영상 데이터에 포함되는 불량 신호와 동기를 일치시켜 주기 위해 SRAM을 두어, 영상 데이터의 입력단과 출력단을 분리해 놓았다. 또한 FPGA의 설계 기법을 통한 픽셀 단위로 동기 신호와 영상 데이터 신호를 정확하게 받도록 설계하였다. 이러한 결과로 영상 데이터의 제어 부분에서 이미지 센서의 동기 신호가

TFT-LCD를 표현하는 쪽에서 영향을 받지 않고, 한 픽셀 단위로 정확하게 입력되는 구조로 화면에 표현될 때 좀 더 선명한 화면을 구현할 수 있다. 이미지 센서의 동작 클럭은 50MHz를 입력 받아 영상 데이터를 출력할 수 있도록 되어 있으며, TFT-LCD의 동작 클럭은 6.5MHz를 전달하고 있다. FPGA에서 모든 하드웨어를 제어하도록 구성되어 있으며, 설계 회로는 VHDL로 설계를 하였으며 이것을 'Symbol'로 변경하여 사용하고 있다. 모든 하드웨어의 동작 전압은 3.3V로 입력하고 있으며, 영상 데이터도 3.3V 전압 레벨로 동작하고 있다. 설계 소프트웨어는 Quartus II를 이용하여 총 682의 logic elements를 사용하고 있으며 게이트 레벨로 환산하면 약 33,216 개의 게이트를 사용하였다. 측정된 영상 데이터는 이미지 센서의 수직 동기신호의 주기는 34.5ms를 가지며 50us 수평 동기 주기를 가진다. FPGA에서 TFT-LCD로 출력하는 신호는 6.5MHz의 메인 클럭과 35ms의 수평 동기 신호를 나타내었다. 향후 추진할 내용으로는 FPGA의 설계 저작도구인 Quartus II를 이용하기 때문에 버전에 따른 이미지 데이터의 전달 지연 시간이 달라지는 현상이 있다. 이를 최적화 하는 알고리즘의 연구가 요구된다.

참고문헌

- [1] Jee Sangyeop, " A Study on the Sensitivity Improvement of CMOS Image Sensor", 2008
- [2] Yang-Tung Fan, Chiou-Shian Peng, Cheng-Yu Chu "Advanced Microlens and Color Filter Process Technology for the High Efficiency CMOS and CCD Image Sensor", SPIE Vol. 4115 pp.263-274 2000.
- [3] SAMSUNG ELECTRONICS, Inc. "Tinn Film Transistor - Liquid Crystal Display(TFT-LCD)", Model NON : LTP400WQ-F02 data sheet, 2004
- [4] MICRON, Inc. "1/3-INCH SOC MEGAPIXEL COMS DIGITAL IMAGE SENSOR", MT9M11I29STC data sheet, 2004
- [5] Fujimori, I.L. et al., "A 256 x 256 CMOS differential passive pixel imager with FPN reduction techniques", Solid-State Circuits, IEEE Journal of, Vol. 35

pp.2031-2037, 2002.

- [6] Seung-Il Baek, Woo-Seob, Tak-mo Koo, Il Choi and Kil-Houm Park, "Inspection of Defect on LCD Panel Using Polynomial Approximation", Tencon 2004, IEEE Region 10 Conference Vol A, pp235-238, 2004
- [7] Shigehiro Miyatake, Masaru Miyamoto, Koichi Ishida, Takashi Morimoto, Yasuo Masaki, Hideki Tanabe "Transversal-Readout Architecture for CMOS Active Pixel Image Sensor". IEEE Transactions on Electron Devices, Vol. 50, 2003

저자소개

정성혁(Sung-Hyuck Jung)

2004.2 경주대학교 전자공학과
학사 졸업
2009.2 목원대학교 전자정보통신
공학과 석사 졸업

2010.9 한백전자 전임연구원

※ 관심분야: FPGA, 마이크로프로세서, 지능로봇

김정태(Jung Tae Kim)

2001년 8월 : 연세대학교 대학원
전자공학과 박사
1991년 8월 ~ 1996년 2월 : 한국전자
통신연구원(ETRI)
선임연구원

2002년 10월 ~ 현재 : 목원대학교 공과대학 전자공학과
교수

※ 관심분야 : Network Security, ASIC Design. 웹 보안,
영상보안 설계, 정보보안컨설팅