고주파 시스템 온 칩 응용을 위한 온 칩 검사 대응 설계 회로

류지열* · 노석호**

On-Chip Design-for-Testability Circuit for RF System-On-Chip Applications

Jee-Youl Ryu* · Seok-Ho Noh**

요 약

본 논문은 고주파 시스템 온 칩 응용을 위한 온 칩 검사 대응 설계 (Design-for-Testability, DFT) 회로를 제안한다. 이러한 회로는 고주파 회로의 주요 성능 변수들 즉, 입력 임피던스, 전압이득, 잡음지수, 입력 전압 정재비 (VSWRin) 및 출력 신호대 잡음비 (SNRout)를 고가의 장비없이 측정 가능하다. 이러한 고주파 검사 회로는 DFT 칩 으로부터 측정된 출력 DC 전압에 실제 고주파 소자의 성능을 제공하는 자체 개발한 이론적인 수학적 표현식을 이 용한다. 제안한 DFT 회로는 외부 장비를 이용한 측정 결과와 비교해 볼 때 고주파 회로의 주요 성능 변수들에 대해 5.25GHz의 동작주파수에서 2%이하의 오차를 각각 보였다. DFT 회로는 고주파 소자 생산뿐만 아니라 시스템 검사 과정에서 칩들의 성능을 신속히 측정할 수 있으므로 불필요한 소자 복사를 위해 소요되는 엄청난 경비를 줄일 수 있으리라 기대한다.

ABSTRACT

This paper presents on-chip Design-for-Testability (DFT) circuit for radio frequency System-on-Chip (SoC) applications. The proposed circuit measures functional specifications of RF integrated circuits such as input impedance, gain, noise figure, input voltage standing wave ratio (VSWRin) and output signal-to-noise ratio (SNRout) without any expensive external equipment. The RF DFT scheme is based on developed theoretical expressions that produce the actual RF device specifications by output DC voltages from the DFT chip. The proposed DFT showed deviation of less than 2% as compared to expensive external equipment measurement. It is expected that this circuit can save marginally failing chips in the production testing as well as in the RF system; hence, saving tremendous amount of revenue for unnecessary device replacements.

키워드

검사 대응 설계, 시스템 온 칩, 저잡음 증폭기, 이득, 잡음지수, 입력 임피던스, 전압 정재비, 신호대 잡음비

Key word

design-for-testability, system-on-chip, low noise amplifier, gain, noise figure, input impedance, voltage standing wave, signal-to-noise ratio

* 정회원 : 부경대학교 정보통신공학과 교수

** 정회원 : 안동대학교 전자공학과 교수 (교신저자, shnoh@andong.ac.kr)

접수일자 : 2010. 10. 18

심사완료일자 : 2010. 11. 10

I. 서 론

최근 휴대용 단말기 및 시스템 시장에 고주파 집적회로를 이용한 소자들이 널리 사용되고 있다. 최첨단 무선 통신 시스템에서 이러한 고주파 소자들의 사용 증가로 인해 사용자들은 고밀도, 고속, 저전력, 저가 및 고신뢰성을 갖춘 시스템을 필요로 하고 있는 실정이다. 그러나 이러한 성능을 가진 고주파 시스템을 생산하는 데는 고주파 소자들에 대한 신속·정확한 검사방식이 필요하지만, 현재 시행되고 있는 방법들은 검사방식 자체가 복잡할 뿐만 아니라 시간이 오래 걸리고, 검사 비용이 큰 단점이 있다. 그 중에서도 고주파 집적회로 소자를 검사하는데 드는 비용은 소자 전체 생산비용의 약 절반을 차지하는 실정이다[1-6]. 그 이유는 대부분의 고주파 회로는 검사할 때 반드시 캘리브레이션 과정을 밟아야 하고 많은 검사를 동시에 하기 힘들며, 검사해야 할 항목이 아닐로그 소자보다 더 많을 뿐만 아니라 고가의 측정 장비를 이용해야 하기 때문이다.

고주파 집적회로 소자들의 검사 비용을 줄이기 위한 상당한 연구에도 불구하고 검사 방식 및 비용면에서 그 어려움은 여전히 소자 생산성 향상에 걸림돌이 되고 있다[4-6]. 그 이유는 고주파 집적회로 소자들의 내부 회로 구조 특성상 외부적으로 제어하고 관찰하는 것이 어려울 뿐만 아니라, 고주파 결합이 회로에 미치는 비선형 효과 등에 대한 예측이 어렵기 때문이다[1-2]. 이러한 문제점들을 해결하기 위한 적절한 방법으로 동일한 칩 위에 검사 회로를 삽입하여 고가 장비가 없어도 회로 그 자체의 성능이나 상태를 평가할 수 있는 DFT (design-for-testability, 검사용 설계) 및 BIST(자체내부검사) 방법이 연구되고 있다[1-5,7-9].

온칩 BIST 회로를 이용한 고주파 저잡음 증폭기를 위한 새로운 결합 및 성능 검사 방식이 제안되었다[7-8]. 이러한 방법은 외부의 고가 장비를 사용하지 않고도 칩내의 각 소자들의 개방이나 단락 결합 검출은 물론 중요한 변수들을 신속히 추출할 수 있기 때문에 S-파라미터 측정과 같은 현존 방법의 대안으로 인식되고 있다. 그러나 문헌[7-8]에서 제안한 BIST 방법은 칩 검사를 위한 BIST 회로가 칩내부에 있기 때문에 칩 전체 면적이 증가할 뿐만 아니라 BIST 회로에 결함이 발생할 경우 칩 검사가 불가능해지며, 대량생산을 위한 검사방식 적용 등 실용적인 면에서 단점을 안고 있다.

본 논문에서는 대량생산 적용을 위한 방안으로써 시스템 온 칩 구현을 위해 load 보드 위에 설계된 외부 DFT 회로를 이용한 새로운 형태의 고주파 검사 회로를 제안한다. 이러한 회로는 소자 생산뿐만 아니라 시스템 검사 과정에서 결함을 가진 칩들을 신속히 검출할 수 있으므로 불필요한 소자 복사를 위해 소요되는 엄청난 경비를 줄일 수 있다. 본 논문에서 제안하는 회로는 고주파 DFT 검사방식은 저가 고주파 시스템 온 칩 구현을 향한 첫 단계를 대표한다.

II. 사례연구

전통적인 고주파 시스템 및 소자 검사 방법은 S 파라미터, 이득, 잡음지수 및 third-order input intercept point (IIP3) 등을 측정한다. 이러한 방법은 시간이 많이 걸리고 다양한 종류의 고가 검사 장비의 사용을 필요로 한다. 그러나 본 연구에서 제안하는 고주파 DFT 회로를 이용한 방법은 고가의 외부 측정 장비를 사용하지 않고도 검사 대상이 되는 고주파 소자 (RF DUT, RF Device Under Test) 및 외부의 고주파 검사 회로만을 이용하여 고주파 소자의 중요사항을 측정할 수 있다. 본 연구에서 제안하는 고주파 DUT 회로는 전체 측정 시스템이 간단하고 저가가 되도록 DC 전압 측정을 제공한다. 이렇게 측정된 DC 전압들은 고주파 DUT를 위해 본 연구에서 개발한 수식을 이용하여 데시벨과 옴 단위로 변환된다. 본 연구에서는 우리의 이론을 연구하기 위해 고주파 저잡음 증폭기를 제작하였다. 다음은 우리의 접근 방법의 세부사항을 묘사한다.

그림 1은 저잡음 증폭기의 입력 임피던스, 이득, 잡음지수, 입력 전압 정제비 및 출력 신호대 잡음비들을 측정하기 위해 본 연구에서 제안하는 고주파 측정 시스템을 나타낸 것이다. 이러한 시스템은 load 보드위에 고주파 저잡음 증폭기와 고주파 DUT 회로로 구성되어 있다. 전체 측정 시스템은 50Ω 소스 저항 (R_s)을 가진 고주파 전압 발생기(vin), 3개의 고주파 릴레이 (S_1 , S_2 및 S_3), 외부 50Ω 저항(ZL) 및 1개의 직류 전압계(DC voltmeter)로 구성되어 있다.

고주파 스위치들은 DFT 회로를 통해 출력 DC 전압, V_{n1} 및 V_{n2} 를 측정하기 위해 제어된다. 외부 고주파 DFT 칩은 검사용 증폭기 (TA; Test Amplifier), 밴드-갭 회로

(band-gap reference) 및 2개의 고주파 피크 검출기 (PD1; Peak Detector 및 PD2)로 구성되어 있다. 그림 2는 고주파 DFT 회로를 나타낸 것이다. DFT 회로는 고가의 외부 측정 장비를 사용하지 않고도 저잡음 증폭기의 성능을 측정하는 데 도움을 준다.

그림 1. 고주파 DUT를 위한 측정 시스템
Fig. 1. Test set-up for RF Device Under Test.

그림2. 고주파 DFT 칩 하드웨어의 블록 다이어그램
Fig. 2. Block diagram of RF DFT chip hardware.

본 논문에서는 고주파 저잡음 증폭기의 검사에 대한 연구를 수행하였다. 우리의 고주파 검사 전략은 많은 고주파 소자 사양에 대한 수학적 방정식 유도를 포함한다. 이러한 수학 방정식들은 DC 변수들을 포함하므로 고가 고주파 측정 장비를 이용해서 측정할 수 있는 값들과 상응할 수 있는 값들을 제공한다. 다음 장은 DC 출력 전압을 이용하여 이러한 변수들의 수학적 표현식들을 포함한다. DUT 내에 결함이 있는 경우와 결함이 없는 경우에 대한 식들을 제안한다.

가. 입력 임피던스 (Input Impedance)

그림 1에서 스위치 2와 3을 닫고 스위치 1을 열었을 때 저잡음 증폭기의 임피던스를 측정할 수 있다. 기본 측정원리는 소스 임피던스(R_s)와 저잡음 증폭기 및 검사용

증폭기의 입력 임피던스들 간의 변화를 측정한다. 좀 더 자세히 설명하자면 소스 임피던스의 값은 변하지 않고 고정되어 있기 때문에 그림 2에 나타난 검사용 증폭기를 이용하여 저잡음 증폭기 내부의 결함이 없을 경우와 결함이 있을 경우에 대해 그 입력임피던스의 변화를 관찰하고 측정한다. 회로 내에 결함이나 공정상의 미세변동으로 인해 저잡음 증폭기의 입력임피던스 값에 변동이 있을 경우 그림 2에 나타난 피크 검출기 2의 출력 직류 전압 V_{T2} 를 측정하여 저잡음 증폭기의 입력임피던스의 변화를 관찰한다. 본 연구에서 제안하는 측정 방법을 증폭기 회로에 적용하기 위해 아래와 같은 두가지 경우를 고려하였으며, 측정은 5GHz와 5.25GHz 사이에서 수행하였고 검사용 증폭기 내부에서 발생할 수 있는 결함이나 미세변동은 없는 것으로 가정한다.

경우1: 결함이 없는 경우의 저잡음 증폭기

먼저 내부에 결함이 없는 경우 즉, 50ohm의 입력 정합 임피던스를 가진 저잡음 증폭기를 고려하자. 저잡음 증폭기의 입력 임피던스 (Z_1)와 검사용 증폭기의 입력 임

피던스 (Z_2)에 인가되는 이론적 값은 $V_i = \left| \frac{Z_1}{2Z_1 + R_s} \right| V_{in}$

로 표현된다. 검사용 증폭기의 이득 (G)은 출력 전압 스윙을 충분히 증가시키기 위해 3이 되도록 설계되어 있다. DFT 회로는 그림 1에 나타나 있듯이 출력 직류 전압 V_{T2} 를 측정한다. 측정된 V_{T2} 전압을 이용해서 결함이 없는 저잡음 증폭기의 입력 임피던스를 계산하기 위해 식 (1)을 이용한다.

$$Z_1 = \frac{K_1(R_s Z_2)}{K_1(R_s - Z_2) + Z_2} [\Omega] \quad (1)$$

여기서 K_1 은 전압이득으로부터 측정된 상수를 나타낸다.

경우2: 결함이 있는 경우의 저잡음 증폭기

저잡음 증폭기는 제작 후 spot 결함(제작된 회로의 어느 한 부분에 점 형태로 존재하는 결함으로 회로의 동작에 치명적인 영향을 미칠 수 있다)으로 인해 저항성 단락이나 개방 결함과 같은 거폭결함(catastrophic faults)이 발생할 수도 있고 예기치 않은 공정변수들의 미세변동과 같은 소폭결함(parametric faults)이 발생할 수도 있다[4]. 이러한 경우에 저잡음 증폭기의 입력 정합 특성이 달라

지기 때문에 입력 임피던스의 크기에 어떤 변화가 발생한다. 결합이 있는 경우에 대한 저잡음 증폭기의 입력 임피던스는 다음 식으로 표현된다.

$$Z'_1 = \frac{K'_1(R_s Z_2)}{K'_1(R_s - Z_2) + Z_2} [\Omega] \quad (2)$$

여기서 K'_1 은 결합이 있는 경우의 전압이득으로부터 추출된 상수를 나타낸다.

나. 다른 수식 표현들

우리는 결합이 있는 경우와 없는 경우를 고려하면서 저잡음 증폭기에 대해 모든 가능한 고주파 사양들에 대한 수식을 유도하였다. 이러한 수식들이 표 1에 요약되어 있다. 상세한 유도 과정은 참고문헌 [7-8]에서 발견할 수 있다.

표 1. 제안된 DFT 기술에 대한 수학적 표현식
Table 1. Mathematical expressions for proposed DFT technique.

고주파 사양	결합이 없는 경우	결합이 있는 경우
입력 임피던스	$Z_1 = \frac{K_1(R_s Z_2)}{K_1(R_s - Z_2) + Z_2} [\Omega]$	$Z'_1 = \frac{K'_1(R_s Z_2)}{K'_1(R_s - Z_2) + Z_2} [\Omega]$
전압이득	$G_1 = G_{01} \left(1 + \frac{R_s}{Z_1} \right)$	$G'_1 = G'_{01} \left(1 + \frac{R_s}{Z'_1} \right)$
잡음지수	$NF = 1 + \left(\frac{Z_1}{R_s + Z_1} \right)^2 \cdot \alpha$	$NF' = 1 + \left(\frac{Z'_1}{R_s + Z'_1} \right)^2 \cdot \alpha'$
전압 정재비	$VSWR = \frac{1 + \Gamma_{in}}{1 - \Gamma_{in}}$	$VSWR' = \frac{1 + \Gamma'_{in}}{1 - \Gamma'_{in}}$
신호 대 잡음비	$SNR = \frac{(Z_1 V_m)^2}{2R_s(R_s + Z_1)^2 \eta} \cdot \frac{1}{NF}$	$SNR' = \frac{(Z'_1 V_m)^2}{2R_s(R_s + Z'_1)^2 \eta} \cdot \frac{1}{NF'}$

III. 회로분석

본 연구에서 제안하는 DFT 회로의 성능을 증명하기 위해 2단 저잡음 증폭기를 설계하였다. 그림 3은 고주파 저잡음 증폭기 회로도도를 나타낸 것이다. 이러한 회로는 IEEE 802.11a 근거리 통신망에 응용하기 위해 설계되었다. 1볼트 전원전압에서 동작하며, 저전압 전원 공급에서도 높은 이득과 낮은 잡음지수를 가지도록 첫 번째 단과 다음 단간에 교류 결합 특성을 가진 2단 구조의 CE-CE(공통 에미터-공통 에미터) 토폴로지를 이용하

였다. 전체 회로는 4개의 HBT (High Mobility Transistor; 고이동도 트랜지스터), 5개의 인덕터, 5개의 커패시터 및 6개의 저항으로 구성되어 있다. 그리고 저전압 및 저소비전력 특성을 제공하기 위해 밴드갭 참조 구조(band-gap reference) 바이어스 회로가 각 단계 바이어스 전류를 공급하기 위해 사용되어 있다. 이러한 회로는 온도나 기타 다른 외부 영향에 상당히 안정(stable)하며, 저전압 응용에 적합하다. 수동소자 C_1, L_b 및 L_{e1} 은 입력 정합을 위해 사용하였고, C_2, L_{c1} 및 L_{e2} 는 Q_1 과 Q_2 간의 정합을 위해 사용하였으며, C_3, C_4 및 L_{c2} 는 출력 정합을 위해 사용하였다.

그림 3. 고주파 저잡음 증폭기 회로도
Fig. 3. Schematic diagram of RF low noise amplifier.

HBT Q_3 과 Q_4 는 각각 약 0.84V의 베이스-에미터 전압 V_{BE} 에 바이어스 되어있다. Decoupling 커패시터 C_5 는 바이어스 전압으로부터 발생하는 고주파 잡음을 바이패스 시키기 위해서 사용하였다.

그림 4는 제안하는 고주파 DFT 회로를 나타낸 것이다. 이러한 회로는 검사용 증폭기와 두 개의 피크 검출기로 구성되어 있다. 그림 4에는 피크 검출기 2에 대한 회로만을 표현해 놓았는데 그림 2에 표현된 피크 검출기 1도 같은 구조로 설계되어 있다. 바이어스단은 저잡음 증폭기와 마찬가지로 저전압, 저전력 동작을 위해서 저전압 밴드갭 참조 구조를 가진다. 인덕터 L_{col} 은 임출력 임피던스 정합을 위해 사용되어 있다. 바이어스 저항 R_{05} 와 R_{06} 은 트랜지스터 Q_{04} 가 정류회로로써 활성영역에서 동작하도록 사용하였다. 이러한 베이스-콜렉터 다이오드 결합구조는 순방향 바이어스시 베이스에 축적되는 소수 전하량의 양이 아주 적기 때문에 고주파 입력신호의 정류작용에 유리한 특성을 가진다[10-11]. 피크 검출기 출력 전압의 리플을 최소화 줄이기 위해 R_{07} 과 C_{05} 는 큰 값을 선택하였다. 우리는 또한 DFT 회로에 대해서 공정 변수 변동 시뮬레이션을 수행하였다.

그림 4. 고주파 DFT 회로도
Fig. 4. Schematic diagram of RF DFT circuit.

본 연구에서는 저잡음 증폭기와 DFT 칩에 대한 레이아웃과 포스트 과정을 수행하기 위해 Cadence Virtuoso를 이용하였다. 저잡음 증폭기와 DFT 칩은 Freescale Semiconductor사의 0.18 μm BiCMOS SiGe 공정을 제작되었다. 그림 5(a) 및 (b)는 각각 저잡음 증폭기와 DFT 칩에 대한 칩 사진을 나타낸 것이다. 우리는 기생성분의 값을 얻기 위해 포스트 과정을 수행하였다. 칩 면적은 각각 대략 1.4 mm^2 와 0.27 mm^2 를 차지한다.

(a)

(b)

그림 5. (a) 저잡음 증폭기 및 (b) DFT 칩 사진
Fig. 5. Chip micrographs for (a) LNA and (b) DFT.

IV. 실험결과

본 연구에서 제안한 DFT 회로의 성능을 증명하기 위해 그림 1에 나타낸 모든 회로 성분들로 구성된 측정 보드를 제작하였다. RF DFT 회로는 표 1에서 열거한 수학적 표현식들을 통해 저잡음 증폭기에 대한 성능 변수들을 발견하기 위하는데 사용될 수 있도록 DC 전압 (V_{T1} 및 V_{T2})을 제공한다. 4.5~6GHz의 주파수에서 100mV에서 180mV의 진폭을 가진 고주파 입력전원을 사용하였다. 측정된 출력 직류 전압들(V_{T1} 과 V_{T2})은 그림 2에 나타낸 피크 검출기 1과 2가 정상상태의 직류값을 제공하기 위해 40ns의 정착시간(settling time) 이후에 측정하였다. 표 2는 검사용 증폭기의 이득과 입력 임피던스를 나타낸 것이다. 이러한 결과들은 표 1에 표현되어 있듯이 입력 임피던스의 크기를 구하는데 사용되어 있다.

표 2. 검사용 증폭기의 이득 및 입력 임피던스
Table 2. Gains and input impedance of test amplifier.

측정 전압 결합	V_{T1} [mV]	V_{T2} [mV]
결합없는 경우	415.6	175.2
Q_1 베이스 개방	127.0	253.0
Q_1 B-E 단락	127.6	238.3
Q_1 E-C 단락	177.7	153.1
$L_b + 30\%$	412.6	190.5
$L_b + 40\%$	408.6	196.1
$L_b + 50\%$	405.0	199.9

검사용 증폭기는 4.5GHz와 6.0GHz의 주파수 범위에서 $\text{Re}(Z_2) \gg \text{Im}(Z_2)$ 로 설계되어 있다. 따라서 검사용 증폭기의 입력 임피던스에 대한 위상 천이는 무시할 수 있으며, 정합이 최적화되어 있다. 표 2에서도 알 수 있듯이 S-파라미터 결과는 4.5GHz와 6.0GHz의 주파수 범위에서 모델링에 의한 결과와 아주 근접한 결과를 보였다. 본 연구에서는 설계된 DFT 회로의 정확성을 검증하기 위해 $\pm 10\%$ 에서 $\pm 25\%$ 의 변수 미세변동을 고려하였다. 그 결과 그림 4에 나타낸 인덕터 L_{c1} 에 대한 변수 미세 변동이 저잡음 증폭기의 이득변화에 가장 민감한 반응을 보였다. 그러나 DFT 회로로 인한 최대 변화는 설계된 저잡음 증폭기에 대해 5.25GHz에서 단지 0.02dB만을 보였다.

표 3은 DFT 회로의 출력에서 측정된 직류 전압 V_{T1} 과 V_{T2} 를 주파수에 따라 나타낸 것이다. 표 3에 표현된 결과

들은 표 1에 표현되어 있듯이 저잡음 증폭기의 입력임피던스와 전압이득을 구하는데 사용되었다. 이러한 결과들에서 예측할 수 있듯이 V_{T1} 은 5.25GHz에서 가장 큰 값을 보였고, 주파수가 증가할 때 V_{T2} 의 값도 함께 증가하였다.

표 3. DFT 회로에 의해 측정된 V_{T1} 및 V_{T2}
Table 3. V_{T1} and V_{T2} measured by the DFT circuit.

주파수 [GHz]	V_{T1} [mV]		V_{T2} [mV]	
	시뮬레이션	측정	시뮬레이션	측정
4.50	309.5	327.0	189.5	171.6
4.75	352.3	371.1	185.0	169.1
5.00	402.2	409.5	176.8	169.5
5.25	412.5	415.6	178.8	175.2
5.50	385.4	392.4	185.6	185.9
5.75	337.9	359.6	189.5	189.4
6.00	296.7	312.3	190.9	191.3

그림 6(a), (b), (c), (d) 및 (e)는 주파수에 따른 저잡음 증폭기의 입력 임피던스의 크기, 전압이득, 잡음지수, 입력 전압 정재비 및 출력 신호대 잡음비의 측정 결과를 각각 나타낸 것이다. 그림에서 측정 결과는 외부의 고주파 측정 장비를 이용하였고, 모델링 결과는 고주파 등가 모델을 이용하였다 [7-8]. 제안된 DFT 결과는 그림 1에서 나타낸 측정 시스템을 이용하였다. 그림에서도 알 수 있듯이 본 연구에서 제안하는 DFT 회로를 이용한 측정 결과는 외부 장비를 이용한 측정 결과 및 모델링에 의한 결과와 비교해 볼 때 5.25GHz의 동작주파수에서 2%이하의 오차를 각각 보였다. 이러한 결과들은 본 연구에서 제안하는 DFT 회로를 이용한 검사방법이 저가의 장비만을 이용해도 저잡음 증폭기의 주요 사양들을 측정할 수 있음을 보여준다.

그림 6. 주파수에 따른 성능 특성 결과
(a) 입력 임피던스 (b) 이득 (c) 잡음지수
(d) 입력 전압 정재비 (e) 출력 신호대 잡음비
Fig. 6. Plots in function of frequency.
(a) Input impedance (b) Gain (c) Noise figure
(d) Input VSWR (e) Output SNR

V. 결 론

본 논문은 고주파 시스템 온 칩 구현을 위한 온 칩 고주파 검사 회로를 제안하였다. 이러한 회로는 간단한 DC 측정만을 통해 고가의 외부 장비없이도 고주파 회로의 입력 임피던스의 크기, 전압이득, 잡음지수, 입력 전압 정재비 및 출력 신호대 잡음비의 측정을 가능하게 하였다. 기본 원리는 입력 임피던스 정합과 출력 전압 측정을 이용하였다. DFT 회로는 1V의 공급전압에서 동작하도록 설계되었으며, 0.18 μ m SiGe 공정으로 제작되었다. DFT 회로는 검사용 증폭기와 두 개의 피크 검출기로 구성되었다. 본 방법에서는 고주파 회로의 성능을 측정하기 위해 동일 load 보드 위에 DFT 회로를 장착하였다. 제안한 DFT 회로는 외부 장비를 이용한 측정 결과 및 모델링에 의한 결과와 비교해 볼 때 입력 임피던스의 크기, 전압이득, 잡음지수, 입력 전압 정재비 및 출력 신호대 잡음비의 성능 결과에 대해 5.25GHz의 동작주파수에서 2%이하의 오차를 각각 보였다. 우리는 본 연구에서 제작된 DFT 회로가 기존의 고가 검사 장비 대신 고주파 회로의 결합 검사나 성능검사에 적용될 수 있으리라 기대한다.

참고문헌

- [1] J.-Y. Ryu and S.-H. Noh, "A New Design-for-Testability Circuit for Low Noise Amplifiers," *Journal of Korea Institute of Telematics and Electronics*, Vol. 43, No. 3, pp. 317-326, March 2006.
- [2] J.-Y. Ryu, B. C. Kim, S.-T. Kim, and V. Varadarajan, "Novel Defect Testing of RF Front End Using Input Matching Measurement," *9th IEEE IMSTW*, Vol. 9, pp. 31-34, June 2003.
- [3] D. Lupea, U. Pursche and H.-J. Jentschel, "RF-BIST: Loopback Spectral Signature Analysis," *IEEE Proc. of the 2003 DATE Conference and Exhibition*, pp. 478-483, Mar. 2003.
- [4] J. Dabrowski, "BiST Model for IC RF-Transceiver Front-End," *2003 Proceedings of the 18th IEEE Int. Sym. on DFT in VLSI SYSTEMS*, pp. 295-302, Nov. 2003.
- [5] B. R. Veillette and G. W. Roberts, "A Built-in Self-Test Strategy for Wireless Communication Systems," *Proceedings of the 1995 ITC*, pp. 930-939, Oct. 1995.
- [6] M. Soma, "Challenges and Approaches in Mixed Signal RF Testing," *IEEE Proc.*, pp. 33-37, 1997.
- [7] J.-Y. Ryu, B.C. Kim and I. Sylla, "A New BIST Scheme for 5GHz Low Noise Amplifiers," *IEEE 9th European Test Symposium*, pp. 228-233, 2004.
- [8] J.-Y. Ryu and S.-H. Noh, "Novel Defect Testing of RF Front End Using Input Matching Measurement," *Conference of The Korean Institute Of Maritime information & Communication Science*, Vol. 7, No. 2, pp. 818-823, October 2003.
- [9] J.-Y. Ryu and S.-H. Noh, "A New RF Test Circuit on a DFT Technique," *Conference of The Korean Institute Of Maritime information & Communication Science*, Vol. 10, No. 1, pp. 902-905, May 2006.
- [10] G. Gonzalez, *Microwave Transistor Amplifiers: Analysis and Design* 2nd Edition, Prentice Hall, pp. 212-293, 1997.
- [11] Gray, Hurst, Lewis and Meyer, *Analog and Design of Analog Integrated Circuits* 4th Edition, New York: John Wiley & Sons, Inc., 2001.

류지열(Jee-Youl Ryu)

한국해양정보통신학회 논문지
제8권 제6호 참조

노석호 (Seok-Ho Noh)

한국해양정보통신학회 논문지
제8권 제6호 참조