UHF RFID Tag Chip-용 저면적·고신뢰성 512bit EEPROM IP 설계

이동훈* · 김려연** · 장지혜** · 하판봉** · 김영희***

Design of Small-Area and High-Reliability
512-Bit EEPROM IP for UHF RFID Tag Chips

Dong-Hoon Lee* · Jin Liyan** · Ji-Hye Jang** · Pan-Bong Ha** · Young-Hee Kim***

This work was supported by Industrial Strategic Technology Development Program funded by the Ministry of Knowledge Economy(MKE, Korea)(10039239, "Development of Power Management System SoC Supporting Multi-Battery-Cells and Multi-Energy-Sources for Smart Phones and Smart Devices")

요 약

본 논문에서는 UHF RFID 태그 칩용 512bit EEPROM의 저면적 설계 기술과 고신뢰성 기술을 제안하였다. 저면적 회로는 디코딩 로직(decoding logic)을 단순화한 WL 구동 회로, BGR 회로 대신 저항 분배기(resistor divider)를 이용한 VREF 발생회로이다. Magnachip 0.18 μ m EEPROM 공정을 이용하여 설계된 512bit EEPROM IP의 레이아웃 크기는 59.465 μ m $\times$ 366.76 μ m으로 기존 회로를 사용한 EEPROM 대비 16.7% 줄었다. 그리고 쓰기 모드(write mode)를 빠져나올 때 DC-DC 변환기(converter)에서 출력되는 부스팅된 출력전압을 VDDP(=3.15V)로 방전시키는 대신, 공통접지(common ground)인 VSS로 방전시키는 방식을 제안하여 VDDP 전압을 일정하게 유지함으로써 5V 소자가 파괴되는 문제를 해결하였다.

ABSTRACT

In this paper, small-area and high-reliability design techniques of a 512-bit EEPROM are designed for UHF RFID tag chips. For a small-area technique, there are a WL driver circuit simplifying its decoding logic and a VREF generator using a resistor divider instead of a BGR. The layout size of the designed 512-bit EEPROM IP with MagnaChip's 0.18 μ m EEPROM is 59.465 μ m $\times$ 366.76 μ m which is 16.7% smaller than the conventional counterpart. Also, we solve a problem of breaking 5V devices by keeping VDDP voltage constant since a boosted output from a DC-DC converter is made discharge to the common ground VSS instead of VDDP (=3.15V) in getting out of the write mode.

키워드

극초단파 무선주파수인식, 태크, 이이피롬, 저 면적, 고 신뢰성.

Key word

UHF RFID, tag, EEPROM, small-area, high-reliability.

* 준회원 : 창원대학교
** 정회원 : 창원대학교
*** 정회원 : 창원대학교(youngkim@changwon.ac.kr)

접수일자 : 2011. 12. 28
심사완료일자 : 2012. 02. 01

I. 서 론

RFID(Radio Frequency Identification)는 모든 사물에 부착된 태그(Tag)로부터 무선통신 기술을 이용하여 사물의 정보 및 주변정보를 감지하는 인식 기술이다[1]. 한편 수동형 RFID 태그는 배터리가 없어 저가격, 소형화에 유리하다[2]. 수동형 UHF RFID 태그는 그림 1과 같이 안테나와 태그 칩으로 구성되고, 태그 칩은 아날로그 회로, 로직 회로, 메모리 회로로 구성되어 있다[3][4]. 태그 칩의 메모리 회로는 읽기/쓰기(read/write)가 가능하고 파워-다운(power-down)시 저장된 정보를 유지할 수 있는 EEPROM이 요구되어지며[4], 태그 칩의 원가 감소를 위해 저면적 EEPROM을 필요로 한다[5].

그림 1. RFID 태그 칩의 구조.VDD포함
Fig. 1 Configuration of an RFID tag chip.

기존의 EEPROM 회로[6]는 2 WL(Word-Line) 구동회로마다 행 어드레스 디코더를 공유하고, 각각의 WL에서 최종 어드레스 디코딩하는 회로를 사용하였다. 이 경우 CMOS 로직 회로가 차지하는 면적이 큰 단점이 있다. 그리고 DC-DC 변환기에서 요구되는 기준전압을 발생시키는 기준전압 발생기 회로를 EEPROM IP에 포함하므로 RFID 태그 칩 설계에서 그림 1의 아날로그 블록 회로에서 전압 조정기(voltage regulator)를 위한 기준전압 발생기 회로와 EEPROM IP용으로 기준전압 발생기 회로가 각각 필요하므로 레이아웃 면적이 불필요하게 증가할 수 있다. 실제 RFID 태그 칩에서 아날로그 블록의 VDD는 PVT (Process-Voltage-Temperature) 변동에 둔감한 측정결과가 나온다[7]. 한편 DC-DC 변환기의 부스팅된 출력 전압인 VPP (=16V)와 VPPL (=14V) 전압은 쓰기 모드에서 빠져나올 때 펌핑된 전하를 VDDP(=3.15V) 전원으로 전하 덤프(charge dump)가 일어난다. 만약

VDDP의 전하 저장 커패시터의 커패시턴스가 큰 경우는 전하 공유(charge sharing)로 인한 VDDP의 전압 상승은 문제가 되지 않는다 그런데 저면적의 RFID tag chip을 설계하기 위해서 전하 저장 커패시턴스를 많이 줄이는 경우 전하 공유에 의해 VDDP 전압이 5V 소자를 파괴할 정도로 올라가는 문제가 있을 수 있다.

본 논문에서는 저면적 EEPROM IP 설계를 위하여 디코딩 로직 회로를 단순화한 WL 구동회로를 설계하였다. 기준전압 발생기 회로가 차지하는 레이아웃 면적을 줄이기 위해 아날로그 전원인 VDD를 이용하여 저항 분배기로 기준전압 발생기 회로를 설계하였다. 매그나칩 0.18 μm EEPROM 공정을 이용하여 설계한 EEPROM IP의 레이아웃 면적은 359,465 $\mu\text{m} \times 366,76\mu\text{m}$ 이다. 그리고 프로그램 모드나 지우기 모드에서 빠져나올 때 각각 VPP나 VPPL로 부스팅된 전압을 VDDP로 방전하지 않고 공통접지(common ground)인 VSS로 방전하므로 연속적인 쓰기(write) 동작으로 인한 VDDP 전압이 5V 소자를 파괴할 정도로 올라가는 것을 막을 수 있다.

II. 저면적·고신뢰성 512bit EEPROM IP 설계

512bit EEPROM IP 설계에 사용된 EEPROM 셀의 단면도는 그림 2(a)에서 보는바와 같이 SSTC(Side-wall Selective Transistor Cell) 구조를 사용하였다[8][9]. SSTC 구조의 EEPROM 셀은 FG(Floating Gate)를 중심으로 CG(Control Gate)가 양 측면을 둘러싸고 있는 구조이다. CG와 FG 사이의 절연물질인 ONO(Oxide-Nitride-Oxide)는 커플링 비율(coupling ratio)를 높이기 위해 사용하고 있다. SSTC 셀의 산화막(oxide)은 92Å의 얇은 산화막인 tunnel oxide, 300Å의 두꺼운 산화막(thick oxide)로 구분된다[9]. 그림 2(b)는 SSTC 셀의 레이아웃 이미지를 보여주고 있으며, 셀 사이즈는 0.88 $\mu\text{m} \times 1.135\mu\text{m}$ (=0.99 μm^2)이다. 그리고 HPW를 둘러싸고 있는 DNW(Deep N-Well)은 표 1의 동작 모드별 셀의 노드 전압 조건에서 보는바와 같이 지우기 모드에서 HPW에 14V의 고전압이 인가되므로 SSTC 셀의 격리를 위해 필요하다. 두꺼운 게이트 산화막트랜지스터는 HV select 트랜지스터이다. FG에 전하를 제거시키는 동작은 지우기

모드이고, FG에서 전자를 주입시키는 동작은 프로그램 모드이다. EEPROM 셀의 지우기와 프로그램은 FG 아래의 tunnel oxide를 통해서 FN(Fowler-Nordheim) 터널링에 의해 이루어진다. 프로그램 모드에서는 VPP와 VPPL 전압은 각각 16V, 10V(=VPP-6V)이며, 지우기 모드에서는 VPP와 VPPL 전압은 각각 14V, 11V(=VPP-3V)의 전압이다[5]. 표 2에서 보는바와 같이 지워진 셀의 VT(Threshold Voltage)는 1.7V 이하이고, 프로그램된 셀의 VT는 4.7V 이상이다. 그리고 VDDP는 3.15V±0.15V로 읽기 모드시 ON 전류를 최소 10μA 이상 확보해준다.

(a)

(b)

그림 2. EEPROM 셀
(a) 단면도 (b) 레이아웃.

Fig. 2 EEPROM cell
(a) its cross-sectional view and
(b) its layout.

표 1. EEPROM 셀의 동작모드에 따른 노드별 바이어스 조건.

Table. 1 Bias conditions of each EEPROM cell node according to operating modes.

Mode		Erase	Program		Read
			DIN=0	DIN=1	
CG	Selected	0V	16V	16V	VDDP
	Non-Selected	11V	0V	0V	0V
BL		14V	10V	0V	VDD pull-up
SL		Floating	Floating	Floating	0V
HPW		14V	0V	0V	0V
DNW		14V	VDDP	VDDP	VDDP

표 2. 지워진 셀과 프로그램된 셀의 VT.

Table. 2 VT voltages of erased and programmed cells.

Mode	V _T
Erase	< 1.7V
Program	> 4.7V

설계된 MagnaChip 0.18μm EEPROM 공정 기반의 512bit EEPROM IP의 주요 특징은 표 3과 같다. EEPROM 셀은 SSTC 셀을 사용하였고, 셀 어레이는 64행 × 8열로 구성되어 있다. 공급전압으로 VDD와 VDDP가 듀얼 파워(dual power)로 공급된다. 로직 전압인 VDD는 쓰기모드와 읽기모드에서 각각 1.8V±5%와 1.8V±10% 이다. VDDP는 셀의 WL 구동전압으로 3.15V±0.15V이다.

표 3. 512bit EEPROM의 주요 특징.

Table. 3 Major specifications of 512-bit EEPROM.

Items		Main Features
Process		MagnaChip 0.18μm EEPROM
EEPROM Cell		SSTC Cell
Memory Density		64 × 8bit
VDD	write mode	1.8V ±5%
	read mode	1.8V ±10%
VDDP		3.15V ±0.15V
Temperature Range		-40℃ ~ 85℃
Operation Mode		Program/Erase/Read/Reset
Write Time		2.7ms
Access Time		260ns

온도 범위는 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 이고, 동작 모드는 프로그램, 지우기, 읽기 모드가 지원된다. EEPROM 셀의 쓰기 시간은 2.5ms인 반면, EEPROM IP의 쓰기 시간은 DC-DC 변환기의 부스팅 시간을 고려하여 2.7ms이다. 액세스 시간은 RFID 태그 칩에서 클럭 발생기의 PVT 변동을 고려하여 260ns이다.

설계된 512bit EEPROM의 블록도는 그림 3에서 보는 바와 같이 64행 $\times$ 8열의 EEPROM 셀 어레이, 행 디코더, 동작모드에 따라 제어 신호를 발생시키는 제어 로직, 입력 데이터를 셀에 구동하는 WD 구동회로, 셀로부터 데이터를 감지하여 읽어내는 RD(Read Data) 감지 증폭기 및 EEPROM의 쓰기 기능을 수행하기 위해 필요한 고전압인 VPP, VPPL을 공급해주는 DC-DC 변환기로 구성되어 있다. 인터페이스 신호는 크게 명령어 제어 신호, 어드레스 신호, 입력 데이터, 출력 데이터가 있다. 명령어 제어 신호인 CE(Chip Enable), ERS(ERASE), PGM(PROGRAM), RD(READ), RSTb(Reset bar) 신호가 있다. 어드레스는 A[5:0]의 6 bit 어드레스에 의해 64 바이트(Byte) 중의 한 바이트가 선택되며, Separate I/O로 DIN[7:0]과 DOUT[7:0]이 분리되어 있다. 제어 신호에 따라 지우기, 프로그램, 읽기, 리셋 모드가 결정된다.

그림 3. 512bit EEPROM의 블록도.
Fig. 3. Block diagram of 512-bit EEPROM.

설계한 512bit EEPROM 메모리의 쓰기 동작은 그림 4

와 같다. EEPROM 셀은 프로그램하려는 셀을 지운 뒤 프로그램해야 한다[5]. 지우기 동작은 지워야할 어드레스인 A[5:0]를 먼저 인가한 상태에서 ERS 신호가 high로 활성화되면 선택되는 1바이트의 EEPROM 메모리 데이터는 지워진다. 이때 PGM 신호는 0V를 유지해야 한다. 그리고 프로그램 동작은 어드레스 A[5:0]와 입력 데이터 DIN[7:0]를 먼저 인가한 상태에서 PGM 신호가 high로 활성화되면 선택되는 1바이트의 EEPROM 메모리 셀에 입력 데이터 DIN[7:0]을 프로그램하게 된다. 그림 4의 tERS(Erase time)와 tPGM(Program time)은 모두 2.7ms이다. 그림 5는 EEPROM 메모리 IP에서의 읽기모드 타이밍 다이어그램이다.

그림 4. 쓰기 모드의 타이밍 다이어그램.
Fig. 4 Timing diagram in the write mode.

그림 5. 읽기 모드의 타이밍 다이어그램.
Fig. 5 Timing diagram in the read mode.

읽기 동작은 읽어낼 어드레스 A[5:0]를 먼저 인가한 후 RD 신호를 high로 활성화시키면 선택된 셀의 바이트 데이터가 tAC (access time)이 지난 이후 DOUT[7:0] 포트 출력된다. 읽기 동작은 그림 5에서와 같이 읽어낼

어드레스 신호를 먼저 인가한 뒤 RD 신호를 high로 활성화 시키면 액세스 시간인 t_{AC} 이후 선택된 바이트의 데이터가 DOUT 포트에 출력된다. 그리고 리셋 모드의 타이밍 다이어그램은 그림 6과 같이 RSTb 신호에 t_{RST} (Reset Time) 만큼 low 펄스를 인가하면 되며, 회로적으로 DC-DC 변환기 회로를 차단시키는 동시에 EEPROM 메모리를 대기 상태 상태로 만든다.

그림 6. 리셋 모드의 타이밍 다이어그램.
Fig. 6 Timing diagram in the reset mode.

기존의 EEPROM 회로는 그림 7(a)에서 보는바와 같이 2 WL 구동회로마다 행 어드레스 디코더를 공유하고, 각각의 WL 구동회로에서 최종 어드레스 디코딩하는 회로를 사용하는 경우 WL 구동회로의 레이아웃 폭은 $209.12\mu m$ 로 CMOS 디코딩 로직 회로가 차지하는 면적이 큰 단점이 있다. 그림 7(a)의 회로에 보여지는 XPRE1은 A1, A2와 A3를 predecoding한 것이고, XPRE2는 A4와 A5를 predecoding한 것이다.

본 논문에서는 저면적 EEPROM IP 설계를 위하여 디코딩 로직 회로를 단순화한 WL 구동회로를 설계하였다. 그림 7(b)는 본 논문에서 설계한 WL 구동 회로로 디코딩 로직 회로를 단순화시켰다. 본 논문에서 설계한 WL 구동 회로의 행 어드레스 디코딩은 predecoding된 XPRE1, XPRE2를 디코딩한 DEC21과 XPRE0/XPRE0b를 한 번 더 최종 디코딩하지 않고 XPRE3, XPRE4를 디코딩하였다. 그림 7(b)의 회로에 보여지는 XPRE3은 A3, A4와 A5를 predecoding한 것이고, XPRE4는 A0, A1와 A2를 predecoding한 것이다. 본 논문에서 설계된 WL 구동 회로의 레이아웃 폭은 $135.59\mu m$ 로 기존 회로 대비 35.2%를 줄였다. WL 구동 회로의 레벨 변환기(level translator)에 인가되는 ROW_HV 전압은 각 동작 모드에

따라 공급되는 전압이 달라진다. 지우기 모드에서는 VPPL(=11V) 전압이 공급되고 프로그램 모드에서는 VPP(=16V) 전압을 읽기 모드에서는 VDDP 전압을 공급한다.

(a)

(b)

그림 7. WL 구동 회로 (a) 기존의 WL 구동 회로
(b) 설계된 WL 구동 회로.

Fig. 7 WL driver circuit: (a) conventional and
(b) proposed.

512bit EEPROM IP 설계에서 사용되는 전압은 표 4에서 보는바와 같이 DC-DC 변환기의 출력전압으로 VPP과 VPPL 전압이 있고, DC-DC 변환기의 입력전압으로 VDD와 VDDP 전압이 있다. 그래서 VPP와 VPPL의 전압을 만들기 위해서는 일반적으로 그림 8의 DC-DC 변환기 회로가 사용된다.

512bit EEPROM IP에 사용된 DC-DC 변환기는 밴드 갭 기준전압 발생기, VPP 레벨 검출기, 링 발진기, VPP 제어 로직, VPP 전하 펌프, VPP 프리차지 회로, VPPL 전원 스위칭 회로와 VPPL 프리차지 회로로 구성되어 있다 [5]. BGR의 출력전압인 VREF 전압은 표 4에서 보는바와 같이 프로그램 모드에서 1.231V, 지우기 모드에서 1.077V의 전압을 필요로 한다. VPP 전압이 동작 모드에 따라 목표 전압보다 낮은 경우는 VPP 레벨 검출기의 출력신호인 VPP_EN이 high가 되어 링 발진기가 발진하여 VPP 전하 펌프에 의해 양전하(positive charge)가 VPP 노드로 펌핑 되어 VPP 전압은 올라가게 된다. VPP 전압이 목표 전압 이상이 되면 VPP_EN 신호가 low가 되어 펌핑이 멈추는 부궤환 방식을 사용하여 VPP는 목표 전압을 유지한다. VPP 레벨 검출기 회로는 13개의 고전압용 NMOS 다이오드를 직렬로 연결한 전압 분배기를 이용하여 분배된 전압인 VPP/13과 VREF을 비교하여 VPP 전하펌프를 제어한다.

표 4. 동작 모드별 DC-DC 변환기에서 사용되는 전압.
Table. 4 Used voltages in the DC-DC converter according to operating modes.

Voltage Source	Erase	Program	Read	Remark
VDD	1.8V	1.8V	1.8V	Input
VDDP	3.15V	3.15V	3.15V	Input
VREF	1.077V	1.231V	0V	Reference
VPP	14V	16V	3.15V	Output
VPPL	11V	10V	3.15V	Output

그림 8. 설계된 DC-DC 변환기의 블록 다이어그램.
Fig. 8 Block diagram of the designed DC-DC converter.

그림 9는 그림 8의 VPP 레벨 검출기의 기준전압인 VREF를 만들어주는 VREF 발생기 회로이다. 기존의 VREF 발생기 회로는 그림 9(a)에서 보는바와 같이 BGR 회로를 사용하며, 0.18 μm EEPROM 공정을 이용하여 레이아웃한 결과 레이아웃 사이즈는 18154.3 μm^2 로 레이아웃 면적이 크다. 그래서 본 논문에서는 기준전압 발생기

회로가 차지하는 레이아웃 면적을 줄이기 위해 BGR 회로 대신 아날로그 파워인 VDD를 이용하여 저항 분배기로 기준전압 발생기 회로를 설계하였다. 저항 분배기의 파워로 사용하는 VDD는 RFID 태그 칩의 아날로그 블록에서 만들어지며, PVT 변동에 둔감한 VDD 전압을 공급할 수 있다[7]. 저항 분배기 형태의 기준전압 발생기 회로는 그림 9(b)와 같으며, 레이아웃 사이즈는 6716.2 μm^2 로 BGR 회로 대비 63% 줄일 수 있다.

그림 9. VREF 발생기 회로 (a) BGR 회로
(b) 저항 분배기 형태의 VREF 회로.
Fig. 9 VREF generator circuit: (a) BGR circuit and
(b) VREF circuit of a voltage divider form.

그림 10은 그림 8의 DC-DC 변환기에서 전압을 승압시켜 쓰기 모드에 필요한 고전압인 VPP를 만들어 주는 Dickson 전하펌프 회로를 보여주고 있으며, PN 접합 다이오드 대신 다이오드의 Cut-In 전압이 낮은 N-type의 Schottky 다이오드를 사용하여 펌핑 단의 수를 줄여 저면적 설계가 가능하도록 해준다[5]. 그림 8에서 보여지는

전하펌프의 출력 전압은 VPP, VPPL_PGM과 VPPL_ERS 전압이다. VPPL 전원 스위칭 회로는 프로그램 모드에서 VPPL_PGM 전압이, 그리고 지우기 모드에서는 VPPL_ERS 전압이 VPPL에 공급된다.

그림 8의 프리차징 회로는 쓰기 모드에서 대기 상태로 진입하면 DC-DC 변환기의 부스팅 노드인 VPP와 VPPL 전압을 VDDP 전압으로 프리차징 시켜준다. 이때 VPP와 VPPL의 전하 저장 커패시터에 저장된 부스팅 전하는 VDDP 파워로 전하 덤프가 일어난다. 만약 VDDP의 전하 저장 커패시터의 커패시턴스가 큰 경우는 전하 공유로 인한 VDDP의 전압 상승은 문제가 되지 않는다. 그런데 저면적의 RFID 태그 칩을 설계하기 위해서 VDDP 노드의 전하 저장 커패시턴스를 많이 줄이는 경우 전하 공유에 의해 VDDP 전압이 5V 소자를 파괴할 정도로 올라가는 문제가 있을 수 있다. RFID 태그 칩에서 VDDP는 DC 전압이 아니고 그림 1의 아날로그 블록에서 UHF 신호를 받아 전압배출기에서 만들어진 전하 펌핑된 전압이다. 그래서 연속적인 쓰기 동작에서 EEPROM이 쓰기 모드에서 빠져나올 때 부스팅 전압인 VPP와 VPPL에서 VDDP로 전하 덤프면서 VDDP 전압은 그림 10의 모의실험 결과에서와 같이 상승하게 되어 5V 소자를 파괴시킬 수 있다.

그림 10. 연속적인 쓰기 동작에서 VDDP의 모의실험 파형.

Fig. 10 Simulation result of VDDP in continuous write cycles.

본 논문에서는 연속적인 쓰기 동작을 하는 경우 쓰기 모드에서 빠져나올 때 부스팅 전압인 VPP와 VPPL에서 VDDP로 전하 덤프가 일어나는 것을 방지하기 위해 부스팅된 전압을 공통접지인 VSS로 방전하는 방식을 제안하였다. 이렇게 하므로 연속적인 쓰기 동작으

로 인한 VDDP 전압이 5V 소자를 파괴할 정도로 올라가는 것을 막을 수 있다. 그림 11는 제안된 DC-DC 변환기의 블록 다이어그램으로 그림 9(b)와 같이 저항 분배기를 이용한 VREF 발생기, IVPP 레벨 검출기, 링 발진기, IVPP 제어 로직, IVPP 전하 펌프, IVPP 선택 회로, VPP 스위칭 회로, VPPL 스위칭 회로로 구성되어 있다. 연속적인 쓰기 동작에서 쓰기 모드에서 빠져나올 때 부스팅 전압인 IVPP와 IVPPPL에서 VDDP로 방전시키지 않고 공통접지인 VSS로 방전하는 방식을 채택하였다. 표 5는 제안된 DC-DC 변환기의 동작 모드별 voltage source의 전압을 보여주고 있다. 중요한 특징은 쓰기 모드에서 대기 모드로 진입하면서 그림 12와 그림 13의 제안된 회로와 같이 부스팅 전압인 N8VPPL, N10EVPP, IVPP와 IVPPPL 전압을 VSS로 방전시키는 것이다. 이렇게 하므로 부스팅된 전하가 VDDP로 전하 덤프가 일어나는 것을 방지할 수 있으며, VSS로 전하 덤프가 일어나더라도 VSS는 공통접지이기 때문에 크게 문제가 되지 않는다.

그림 11. 제안된 DC-DC 변환기의 블록 다이어그램.
Fig. 11 Block diagram of the proposed DC-DC converter.

표 5. 동작 모드별 제안된 DC-DC 변환기에서 사용되는 voltage source의 전압.

Table. 5 Used voltage sources of the proposed DC-DC converter according to operating modes.

Voltage Source	Program	Erase	Read	Remark
VDD	1.8V	1.8V	1.8V	Input
VDDP	3.15V	3.15V	3.15V	Input
VREF	1.231V	1.077V	0V	Reference
IVPP	16V	10V	0V	Output
IVPPPL	14V	11V	0V	Output
VPP	16V	10V	VDDP	Output
VPPL	14V	11V	VDDP	Output

그림 12. 제안된 IVPP 전하펌프 회로.
Fig. 12 Proposed IVPP charge pump circuit.

그림 13. IVPPL 선택 회로.
Fig. 13 IVPPL selection circuit.

그림 14(a)와 그림 14(b)는 각각 VPP 스위칭 파워 회로와 VPPL 스위칭 파워 회로를 보여주고 있으며, 기본적으로 스위칭 파워 회로는 2개의 입력 전압 중 높은 전압이 출력되는 회로이다. 프로그램과 지우기 모드에서 IVPP 전압이 VDDP 전압보다 높으므로 VPP 전압은 IVPP 전압을 출력하고, 읽기 모드에서는 VDDP 전압이 IVPP 전압보다 높으므로 VPP 전압은 VDDP 전압을 출력한다. 마찬가지로 VPPL 전압은 프로그램 모드와 지우기 모드에서는 IVPPL 전압을 출력하고, 읽기 모드에서는 VDDP 전압을 출력한다. 이들 전압은 표 1의 EEPROM 셀의 동작 모드별 바이어스 조건을 만족시켜 준다.

(a) (b)

그림 14. 스위칭 파워 회로
(a) VPP 스위칭 회로. (b) VPPL 스위칭 회로.
Fig. 14 Switching power circuits: (a) VPP, (b) VPPL.

MagnaChip 0.18 μm EEPROM 공정을 이용하여 기존 방식의 512bit EEPROM IP와 제안된 회로설계 기술을 적용한 512bit EEPROM IP의 레이아웃 사진을 비교하였다. 제안된 EEPROM IP의 레이아웃 면적은 $359.465\mu\text{m} \times 366.76\mu\text{m}$ 로서 기존 EEPROM IP의 $314.325\mu\text{m} \times 510.035\mu\text{m}$ 와 비교하였을 때 17.8% 정도 면적을 감소시켰다.

III. 모의실험 결과

본 논문에서는 MagnaChip 0.18 μm EEPROM 공정을 이용하여 UHF RFID 태그 칩용 512bit EEPROM IP를 설계하였다. 그림 15는 연속적인 program cycle에서 DC-DC 변환기의 모의실험 결과를 보여주고 있으며, 연속적인 프로그램 모드로 모의실험한 이유는 VPP 전압이 지우기 모드보다 더 높기 때문이다.

그림 15. 연속적인 program cycle에서 DC-DC 변환기의 모의실험 결과.
Fig. 15 Simulation result of DC-DC converter in continuous program cycles.

그림 15에서 보는바와 같이 IVPP와 IVPPL은 프로그램 모드에서 빠져나올 때 VSS로 방전되는 것을 볼 수 있으며, VDDP는 연속적인 쓰기 동작에서도 3.15V의 DC 전압을 유지하므로 5V 소자의 신뢰성을 확보할 수 있다.

읽기 모드에서의 모의실험 결과는 그림 16에서 보는 바와 같으며, EEPROM 메모리로 들어오는 제어신호인 RD, WL 구동 회로의 predecoding 신호인 XPRE2, EEPROM cell의 WL과 BL, RD S/A와 관련된 DLINE, SAENb와 DOUT 신호에 대한 파형을 볼 수 있다. 읽기 신호인 RD가 VDD로 활성화되면 선택되는 WL 전압은 ROW_HV (=3.15V)로 활성화된다. WL이 활성화되면 EEPROM 셀의 프로그램 데이터에 따라 '0'로 프로그램된 셀의 BL은 'L'로 떨어지고, '1'로 프로그램된 셀의 BL은 'H' 전압 레벨을 유지한다. EEPROM 셀의 read data가 RD 스위치를 통해 DLINE에 충분히 전달되면 RD S/A 회로는 SAENb가 low인 구간동안 DLINE의 read 데이터를 DOUT 포트에 출력한다.

(a)

(b)

그림 16. 읽기 모드에서의 주요 경로에 대한 모의실험 결과 (a) '0'로 프로그램된 셀의 경우 (b) '1'로 프로그램된 셀의 경우.

Fig. 16 Simulation results of a critical path in the read mode: (a) in case of '0'-programmed cell and (b) '1'-programmed cell.

그림 16의 읽기 모드의 모의실험 조건은 VDD=1.62V, VDDP=3V, slow 모델 파라미터, temperature=85°C이며, 이 모의실험 조건에서 액세스 시간은 최대 219.5ns으로 UHF RFID 태그 칩에 사용하는데 충분하다.

IV. 결 론

본 논문에서는 UHF RFID 태그 칩용 512bit EEPROM의 저면적 설계 기술과 고신뢰성 기술을 제안하였다. 저면적 회로는 디코딩 로직을 단순화한 WL 구동 회로, BGR 회로 대신 저항 분배기를 이용한 VREF 발생기 회로이다. RFID 태그 칩에서 VDD 전압은 PVT 변동에 둔감하기 때문에 VREF 발생기에 사용하더라도 PVT 변동에 둔감한 VREF 전압을 공급할 수 있다. Magnachip 0.18 μ m EEPROM 공정을 이용하여 설계된 512bit EEPROM IP의 layout size는 59.465 μ m $\times$ 366.76 μ m으로 기존 회로를 사용한 EEPROM 대비 16.7% 줄었다. 그리고 고신뢰성 설계 기술로는 쓰기 모드를 빠져나올 때 DC-DC 변환기에서 출력되는 부스팅된 출력전압을 기존에는 VDDP로 방전시켰으나, 본 논문에서는 공통 접지인 VSS로 방전시키는 방식을 제안하여 VDDP 전압을 일정하게 유지함으로써 5V 소자가 파괴되는 문제를 해결하였다.

감사의 글

This work was supported by Industrial Strategic Technology Development Program funded by the Ministry of Knowledge Economy(MKE, Korea) (10039239, "Development of Power Management System SoC Supporting Multi-Battery-Cells and Multi-Energy-Sources for Smart Phones and Smart Devices")

참고문헌

- [1] J. H. Lee, J. H. Kim, G. H. Lim, T. H. Kim, J. H. Lee, M. H. Park, P. B. Ha, Y. H. Kim, "Low-Power 512-Bit EEPROM Designed for UHF RFID Tag Chip", ETRI Journal, vol. 30, no. 3, pp.347-354, June 2008.
- [2] R. Weinstein, "RFID : A technical overview and its application to the enterprise," IT Professional, vol. 7, Issue 3, pp. 27-33, May-June 2005.
- [3] Udo Karthaus and Martin fischer, "Fully Integrated Passive UHF RFID Transponder IC with 16.7 μ W Minimum RF Input Power," IEEE Journal of Solid-State Circuits, vol. 38, pp. 1602-1608, Oct. 2003.
- [4] 이원재, 이재형, 박경환, 이정환, 임규호, 강형근, 고봉진, 박무훈, 하판봉, 김영희, "UHF RFID 태그칩용 저전력 EEPROM 설계", 한국해양정보통신학회논문지, vol. 10, no. 3, pp. 1226-6981, Mar. 2006.
- [5] 백승면, 이재형, 송성영, 김종희, 박무훈, 하판봉, 김영희, "UHF RFID 태그칩용 저전력, 저면적 비동기식 EEPROM 설계", 한국해양정보통신학회논문지, vol.11, no. 12, pp. 2366-2372, Dec. 2007.
- [6] 김지홍, "RFID 태그 칩 용 512-bit EEPROM IP 설계에 관한 연구," 석사 학위 논문 창원대학교 대학원, 2007.
- [7] Liyan Jin, Ji-Hye Jang, Yining Yu, Pan-Bong Ha, and Young-Hee Kim, "Design of 512-bit logic process-based single poly EEPROM IP," J. Cent. South Univ. Technol., vol. 18, no. 6, pp. 2036-2044, Dec. 2011.
- [8] Junghwan Lee and Minkyung Ko, "A novel EEPROM cell for smart card application," Microelectronic Engineering, vol. 71, Issue 3-4, pp. 283-287, May 2004.
- [9] Du-Hwi Kim, Ji-Hye Jang, Liyan Jin, Pan-Bong Ha, and Young-Hee Kim, "Design of an EEPROM for a MCU with the Wide Voltage Range," Journal of Semiconductor Technology and Science, vol. 10, no. 4, pp. 316-324, Dec. 2010.

저자소개

이동훈(Dong-Hoon Lee)

2010.2 창원대학교 전자공학과
공학사

2010.3~현재 창원대학교
전자공학과 석사과정

※ 관심분야 : Non-Volatile memory 설계

김려연(Li-Yan Jin)

2007.7 연변대학교 컴퓨터공학과
공학사

2009.9 창원대학교 전자공학과
석사과정

2009.9~현재 창원대학교 전자공학과 박사과정

※ 관심분야 : Non-Volatile memory 설계, High-Speed I/O Interface 설계

장지혜(Ji-Hye Jang)

2008.2 창원대학교 전자공학과
공학사

2008.3 창원대학교 전자공학과
석사과정

※ 관심분야 : Non-Volatile memory 설계

하판봉(Pan-Bong Ha)

1981.2 부산대학교 전기공학과
공학사

1983.2 서울대학교 전자공학과
공학석사

1993.2 서울대학교 전자공학과 공학박사

1987.3~현재 창원대학교 전자공학과 교수

※ 관심분야 : 임베디드 시스템, SoC 설계

김영희(Young-Hee Kim)

1989.2 경북대학교 전자공학과
공학사

1997.2 포항공과대학교 전자전기
공학과 공학석사

2000.8 포항공과대학교 전자전기공학과 공학박사

1989.1~2001.2 현대전자 책임연구원

2001.3~현재 창원대학교 전자공학과 교수

※ 관심분야: 메모리 IP 설계, SoC 설계