개선된 charge pump 기반 정전 센싱 회로를 이용한 터치 스크린 패널 드라이버의 혼성모드 회로 분석

여협구*

Mixed-Mode Simulations of Touch Screen Panel Driver with Capacitive Sensor
based on Improved Charge Pump Circuit

Hyeopgoo Yeo*

이 논문은 한신대학교 연구비를 지원받았음.

요 약

본 논문에서는 개선된 charge pump 회로를 이용하여 구성한 2-dimensional 터치스크린 패널 드라이버를 소개한다. 개선된 정전 센싱 회로는 charge pump 회로의 중간노드 전하 축적을 제거하여 출력 전압 표류 현상을 효과적으로 없앤다. 터치 패널 드라이버는 터치를 감지하는 아날로그 센싱 부분과 감지된 신호를 처리하는 디지털 신호 처리 부분으로 이루어진다. 제안된 터치스크린 드라이버의 동작을 확인하기 위하여 혼성 모드로 회로를 구성하고 Cadence Spectre를 이용하여 그 동작을 검증하였다. 디지털 회로 부분은 Verilog-A로 모델링하여 아날로그 회로와 인터페이스가 가능하게 하여 전체 회로 동작을 검증함으로써 혼성모드 회로 동작의 신뢰성을 확보하였고 시뮬레이션 시간을 단축할 수 있었다. 시뮬레이션 결과 개선된 정전 센싱 회로를 이용한 제안된 구조의 터치 패널 드라이버의 안정적인 동작을 확인하였다.

ABSTRACT

This paper introduces a 2-dimensional touch screen panel driver based on an improved capacitive sensing circuit. The improved capacitive sensing circuit based on charge pump can eliminate the remaining charges of the intermediate nodes, which may cause output voltage drift. The touch screen panel driver with mixed-mode circuits was built and simulated using Cadence Spectre. Verilog-A models the digital circuits effectively and enables them to interface with analog circuits easily. From the simulation results, we can verify the reliable operations of the simple structured touch screen panel driver based on the improved capacitive sensing circuit offering no voltage drift.

키워드

터치스크린 패널, 정전 센싱, 충전 펌프, Verilog-A, 혼성모드 시뮬레이션

Key word

Touch screen panel, capacitive sensing, charge pump, Verilog-A, mixed-mode simulation

* 정회원 : 한신대학교 정보통신학부(hgyeo@hs.ac.kr)

접수일자 : 2012. 01. 10

심사완료일자 : 2012. 01. 25

I. 서 론

스마트 모바일 시스템 발전은 실로 우리 생활 전반의 급속한 변화에 기여하고 있다. 특정한 공간에서만 이루어질 수 있던 일들이 언제 어디서나 시간과 장소의 구애를 받지 않고 가능하게 되었다. 예를 들어, 이동 중에 이메일로 업무를 본다든지, 인터넷을 접속하여 정보를 찾는다는 일들이 이제는 자연스러운 일상이 되었다. 이것은 반도체 제조기술의 발전으로 시스템의 소형화가 가능해졌고 기가바이트 이상의 고용량의 메모리가 하나의 칩으로 구현되었으며, 회로 기술의 발전으로 인하여 고성능, 저소비전력의 프로세서 기술이 가능해 졌기 때문이다. 이러한 모바일 시스템의 혁명은 스마트폰 또는 태블릿 PC를 통하여 구현되고 있다. 모바일 시스템의 소형화, 고집화, 스마트화를 가능하게 해준 것 중의 하나가 바로 입력장치의 혁신이다. 고정형 컴퓨터에서 사용되고 있는 키보드, 마우스와 같은 입력장치들은 그 크기와 무게 등, 물리적인 한계로 인하여 모바일 시스템에 치명적인 제약이 될 수 있다. 그러나 이것을 효과적으로 해결해 준 것이 바로 터치스크린이다. 추가적인 공간이 소요되지 않을 뿐 아니라 멀티터치와 같은 효과적이면서도 진보된 입력을 가능하게 만들었다. 앞으로 진화할 모바일 시스템의 외형적인 변화가 어떠한 형태이든지 간에 모바일 시스템을 진일보시키기 위한 입력 시스템의 진화도 지속적으로 이루어 질 것이다. 본 논문에서는 논문[1]에서 소개된 감압식 터치방식에 비하여 민감도가 높고 멀티터치가 가능한 정전방식 터치스크린을 구동시키는 회로를 개선한 센싱 회로를 이용하여 터치스크린 패널 드라이버를 구성하고 시뮬레이션을 통하여 그 기능을 검증한다.

논문[2]에서 제시되었던 터치스크린 패널 드라이버 구조와는 달리 행렬 모두 mux를 이용하여 하나의 센싱 회로를 이용한 구조로 회로 구현의 면적에 있어서 크게 개선된 구조이다. 디지털 회로 블록은 논문[2]와 마찬가지로 Verilog-A를[3] 이용하여 모델링하고 Cadence Spectre를 이용하여 시뮬레이션 하고 그 기능을 검증한다.

II. 터치스크린 패널 드라이버 구조

2.1. 센싱 회로

논문[1]에서 제안되었던 charge pump를 회로를 기반으로 한 센싱 회로는 다이오드로 구성된 회로로 자체의 전력 소모가 없는 구조로 저전력 회로 구성에 적합한 회로이다. 본 논문에 적용된 센싱회로는 7단으로 구현하여 전압 증폭을 한 층 더 빠르게 구현한 구조이다. 그림 1(a)는 기존의 Dickson's charge pump 회로구조를 기반으로 한 정전 센싱 회로이다. 클럭 신호와 위상이 반대인 클럭바 신호를 발생하여 홀수 단의 캐패시터에는 터치패널을 통과시킨 클럭 신호를 입력시키고 짝수 단에는 위상이 반대인 클럭바 신호를 입력한다. 다이오드에 의하여 각 단의 전하는 한 방향으로만 전달되고 출력의 전압을 감지하도록 되어있는 구조이다. 매 주기마다 출력단의 전압을 초기화하여 다음 주기의 센싱을 준비하도록 되어있다. 이때 축적되는 전압의 양은 논문[1]에 기술되어 있다. 출력전압의 증가 시간은 그림 1의 a, b, c 노드와 같은 중간 노드의 캐패시터와 출력 캐패시터의 비율로 조절 가능하다. 본 논문에서는 중간노드 캐패시터는 1pF, 출력노드 캐패시터는 50pF로 시뮬레이션 하였다.

그림 1. Charge pump 기반 정전 센싱 회로

(a) 기존 회로 (b) 개선된 회로

Fig. 1 Charge pump based capacitive sensing circuit
(a) conventional one (b) improved one

출력단의 전하는 드라이버 구성 시 스위치에 의한 초기화 동작으로 인하여 제거가 된다. 따라서 다음 주기 동작에 문제가 없도록 한다. 그러나 a, b, c 노드와 같이 센싱 회로의 중간 단계에 있는 노드 전하들은 초기화되지 못하고 그대로 남아있게 된다. 이러한 전하들은 장기적으로 출력전압에 영향을 미치게 되며 결과적으로 출력 전압이 변화하는 전압 표류 현상이 발생하게 된다. 이것은 장기적인 변화 현상으로 시뮬레이션 시간, 메모리 문제 등으로 인하여 시뮬레이션 하기 힘들지만 충분히 예상되는 결과로 터치시 카운터 측정값에 영향을 미치게 된다. 이러한 출력 전압 표류 현상은 결국 레퍼런스 값을 자주 리프레쉬 해야하는 부담을 가져오게 된다. 추후 터치 패널 드라이버 하드웨어를 구성하여 시험적으로 전압 표류 현상을 확인할 수 있을 것이다. 본 논문에서는 센싱 회로의 출력 전압에 영향을 지속적으로 미치게 되는 노드 전하의 축적을 제거하기 위해 센싱 회로 중간 노드 각단에 MOS 스위치를 달아 전압 출력 노드 뿐 아니라 중간 의 각 노드에 대해서도 전하 초기화를 하였다.

2.2. 터치스크린 패널

본 논문에서는 총 10x10 터치 포인트를 가지는 터치 스크린 패널을 사용하였다. 시뮬레이션 편의를 위해 그림 2와 같이 간단한 형태의 모델링을 하였다. 패널 상하단 사이에 플레이트 캐패시터(Ctc) 기생 캐패시터(Cp) 가지며 행(column) 및 열(row) 라인을 연결하는 전극은 Indium-Tin Oxide (ITO) 물질을 가정하였다. 이 물질은 저항성을 가지고 있어 터치패널 라인의 저항을 형성하게 된다.

그림 2. 저항과 캐패시터로 모델링된 간략화된 터치패널
Fig. 2 Simplified touch panel model with resistors and capacitors

본 논문에서는 논문[1]에서 모델링된 것과 동일한 구조를 적용하여 단위 스퀘어당 500Ω의 저항으로 모델링하였다. 터치시에는 캐패시터가 원래 가지고 있는 용량의 절반으로 감소하는 것으로 가정하였다. 그림 2에서 A 지점은 행렬 라인 모두 가장 먼 지점으로 기생 캐패시터와 저항이 가장 큰 지점이다. B 지점은 행렬 라인의 중간 지점이고, C 지점은 행렬 라인의 가장 가까운 지점으로 센싱 신호를 가장 잘 전달할 수 있는 지점이다. 각 지점에 대한 주파수 특성은 시뮬레이션 파트에서 분석하였다.

2.3. 터치스크린 패널 드라이버

그림 3은 제안된 멀티 터치용 터치스크린 패널 드라이버의 블록도이다. 본 논문에서는 행렬 라인 모두 mux를 적용한 2-dimensional(2D) 스캔 드라이버를 설계하였다.

그림 3. 개선된 charge pump 센싱 회로를 이용한 2D 터치스크린 패널 드라이버 구조

Fig. 3 2D touch screen panel driver structure using improved charge pump sensing circuit

그림 3에서 보는바와 같이 10개의 행 스캔 mux와 10개의 열 스캔 mux를 가지게 된다. 논문[2]에서 소개된 드라이버 구조와는 달리 열 및 행 mux를 모두 사용하기 때문에 행의 개수만큼 센싱 회로가 필요했던 논문[2]의 구

조와는 달리 단 한 개의 센싱회로 만으로 드라이버 구성이 가능해진다. 따라서, 논문[2]의 드라이버에서처럼 18개의 센싱 회로와 카운터 대신에 1개의 센싱회로와 카운터로 구성이 가능하기 때문에 집적회로 구성시 면적에 있어서 큰 이득을 볼 수 있다.

전체적인 터치스크린 패널 드라이버의 동작은 다음과 같다. 터치스크린의 1열부터 2.5MHz의 클럭으로 신호가 102.4μs 동안 가해지며 동시에 1행이 mux에 의하여 선택되고 열에 걸쳐있는 10개의 행 라인이 모두 스캔이 될 때까지 계속해서 선택이 되게 된다. 즉, 1.024ms 동안 첫 번째 행이 선택되고 그 후 두 번째 행이 선택된다. 이렇게 10개의 센스라인이 각각 1.024ms 동안 선택되고 10.24ms 동안에 전체 터치포인트 100개의 스캔이 완료되게 된다. 즉, 각 터치포인트에 대한 2D 스캔이 이루어지게 된다. 각 터치포인트에 대한 2.5MHz 클럭이 동시에 카운터를 동작시키며 클럭이 가해짐에 따라 카운터 값이 증가한다. 2.5MHz 클럭 선택 이유는 시뮬레이션 부분에서 설명한다. 102.4μs 동안 2.5MHz의 클럭이 카운트를 하게 되므로 총 256 카운트가 이루어지고 따라서 8bit의 카운터를 이용하여 그 카운트 값을 저장하게 된다.

센싱 회로의 출력 값이 레퍼런스 전압보다 높아지게 되면 비교기에 의하여 플립플롭의 트리거 신호가 발생하게 되고 이때의 카운터 값이 Initial Reg에 저장되게 된다. 이렇게 100개의 모든 터치포인트에 대해서 같은 동작을 반복하게 된다. 100개의 모든 Initail Reg에 값이 저장되면 1열 1행부터 다시 스캔을 하게 되고 터치를 감지하기 위해 카운터 값이 Touch Reg에 저장되어 Initial Reg에 저장된 값과 소프트웨어 적으로 비교하여 터치여부를 판단하게 된다. Touch Reg를 사용하지 않고 카운터 값을 직접 Initail Reg 값과 비교하는 방법도 가능하나 안정적인 비교 및 동작을 위하여 1개의 Touch Reg를 사용하여 터치값을 저장하였다. 본 논문에서는 개선된 센싱 회로를 적용함으로써 중간 노드의 전하 축적에 의한 출력단 전압변화를 최소화 하였다. 그러나 온도 등 외부 조건의 변화로 카운터 값의 변화가 생길 가능성이 있으므로 Initial Reg의 값을 주기적으로 바꾸어 주는 리프레쉬가 터치 감도를 높일 수 있다.

본 논문에서도 논문[2]와 마찬가지로 Verilog-A를 이용하여 8bit 카운터와 8bit parallel register를 모델링하였다. 또한 2.5MHz의 클럭을 사용하여 10.24ms 안에 한 번의 스캔이 이루어지도록 하였는데 이는 위에서 설명한

바와 같다. 터치스크린 패널 드라이버의 검증을 위해 아날로그 회로를 제외한 카운터, 레지스터 등 디지털 회로는 Verilog-A로 구현되었다. Verilog-A는 전기적인 입출력 특성을 갖도록 하며 8bit parallel register는 spectre에서 제공되는 adhl 라이브러리에 있는 모델을 사용하였다. 그림1은 Verilog-A로 구현된 8bit 카운터이다.

```

module counter_8bit (vd7, vd6, vd5, vd4, vd3, vd2, vd1, vd0, vclk, vclear);
    electrical vd7, vd6, vd5, vd4, vd3, vd2, vd1, vd0, vclk, vclear;
    parameter real trise = 0 from [0:inf);
    parameter real tfall = 0 from [0:inf);
    parameter real tdel = 0 from [0:inf);
    parameter real vlogic_high = 3.3;
    parameter real vlogic_low = 0;
    parameter real vtrans = 1.65;

    `define NUM_CNT_BITS 8

    real vd[0:NUM_CNT_BITS-1];
    integer i;
    integer cnt;

    analog begin
        @ (initial_step) begin
            i = 0;
            cnt = 256;
        end

        @ (cross(V(vclk) - vtrans, 1.0)) begin
            i = i + 1;
            if (i > 256) begin
                i = 0;
            end else begin
                vd[0] = (((i > 2) >= 1) ? vlogic_high : vlogic_low);
                vd[1] = (((i > 4) >= 2) ? vlogic_high : vlogic_low);
                vd[2] = (((i > 6) >= 3) ? vlogic_high : vlogic_low);
                vd[3] = (((i > 8) >= 4) ? vlogic_high : vlogic_low);
                vd[4] = (((i > 10) >= 5) ? vlogic_high : vlogic_low);
                vd[5] = (((i > 12) >= 6) ? vlogic_high : vlogic_low);
                vd[6] = (((i > 14) >= 7) ? vlogic_high : vlogic_low);
                vd[7] = (((i > 16) >= 8) ? vlogic_high : vlogic_low);
            end
        end

        // clear counter
        @ (cross(V(vclear) - vtrans, 1.0)) begin
            i = 0;
            vd[0] = vlogic_low;
            vd[1] = vlogic_low;
            vd[2] = vlogic_low;
            vd[3] = vlogic_low;
            vd[4] = vlogic_low;
            vd[5] = vlogic_low;
            vd[6] = vlogic_low;
            vd[7] = vlogic_low;
        end

        // assign the outputs
        V(vd7) <- transition(vd[7], tdel, trise, tfall);
        V(vd6) <- transition(vd[6], tdel, trise, tfall);
        V(vd5) <- transition(vd[5], tdel, trise, tfall);
        V(vd4) <- transition(vd[4], tdel, trise, tfall);
        V(vd3) <- transition(vd[3], tdel, trise, tfall);
        V(vd2) <- transition(vd[2], tdel, trise, tfall);
        V(vd1) <- transition(vd[1], tdel, trise, tfall);
        V(vd0) <- transition(vd[0], tdel, trise, tfall);
    end

`undef NUM_CNT_BITS
endmodule

```

그림 4. Verilog-A로 모델링한 8bit 카운터
Fig. 4 8bit counter modeled with Verilog-A

Verilog-A는 Cadence사의 Verilog HDL의 아날로그 시뮬레이션을 위한 동작 모델로 아날로그 회로 동작 및 다른 회로와의 인터페이스를 위하여 전기적인 입출력 특성을 갖도록 하며 Spectre로 시뮬레이션 가능하다. 전기적인 입출력 특성은 아래와 같은 구문으로 입출력 포트를 정의하면 된다.

디지털 회로의 경우 논문[2]와는 달리 행렬 라인 모두 mux를 사용하여 스캔을 하기 때문에 초기 상태의 count 값을 저장하는 10x10 Initial Reg를 제외하고는 1개의 8bit 카운터와 터치 여부를 매 스캔마다 저장하여 판단하는 1개의 Touch Reg만을 가지게 된다. 따라서 하드웨어 상 간단한 구조를 가지게 되나, 한 터치포인트에 대한 스캔

타이밍의 그만큼 빨라지게 되는 단점이 있다. 터치 여부는 카운트 값의 변화로 감지하며 멀티터치, 근접센싱 등의 터치 후 판단 및 기능 실행은 소프트웨어로 구현되게 된다. 하지만 본 논문에서는 소프트웨어 기능 구현에 대해서는 따로 언급하지 않는다.

III. 시뮬레이션

그림 5는 터치스크린 패널의 각 지점에 따른 주파수 특성을 보여주고 있다.

그림 5. 3가지 터치패널 위치에 따른 주파수 응답 특성
Fig. 5 Frequency responses of the touch panel model with three different touch points

센스라인과 가장 가까운 C 지점의 경우 기생 저항 및 캐패시터 성분이 거의 없고 주로 Ctc에 의한 영향을 받게 되므로 1MHz 이후 기생 성분들의 영향이 잠시 보이나, 약 3MHz 이후의 주파수 특성이 고주파 통과 특성을 보이고 있다. 반면 중간인 B 지점, 가장 먼 A 지점의 경우 1MHz 이후 서서히 기생 성분들의 영향이 보이기 시작하여 4MHz 이후에는 급격하게 고주파 신호를 차단하는 것을 볼 수 있다.

본 논문에서는 최소한의 신호의 감쇄를 가지면서도 8bit 카운터의 해상도를 유지할 수 있는 2.5MHz의 주파수를 선택하였다. 1MHz 이하의 신호에 비하여 1dB 정도의 감쇄가 예상되지만 높은 주파수 클럭으로 인하여 터치 카운트의 해상도를 높일 수 있도록 하였다. 터치패널 드라이버의 동작 검증을 위해 터치 및 비터치 시의 센싱 회로의 전압 변화를 관찰하였다. 시뮬레이션의 편이를

위하여 10x10 모든 터치포인트에 대한 시뮬레이션 대신 터치패널 한 포인트에 대해서 수행하였다.

그림 6은 터치스크린에 터치가 되지 않았을 때와 터치가 되었을 때에 대하여 Spectre를 이용한 시뮬레이션 결과이다. 터치 여부에 따른 센싱 회로의 출력과 비교기의 의하여 판단된 플립플롭 출력 신호를 관찰하였고 그 결과가 그림 6에 나타나 있다. 시뮬레이션에서 사용된 비교기의 레퍼런스 전압은 1.7V로 센싱 회로 출력이 1.7V 이상이 되면 비교기가 '1'을 나타내는 로직을 출력하게 되며 이때 전압은 3.3V로 고정하였다. 터치 여부에 따른 비교기 출력의 변화는 대략 20.3μs 정도의 차이를 보이고 있다.

그림 6. 터치 여부에 따른 센싱 회로 출력의 변화와 플립플롭 출력

Fig. 6 Simulation outputs of the sensing circuit and flip-flop for both touch and non-touch

그림 6에서 확인하였듯이 터치 여부에 따라 20.3μs의 차이가 나며 레지스터에 저장된 카운트 값을 비교함으로써 그 차이를 확실하게 비교할 수 있다. 초기 셋팅시 터치가 되지 않는 상태에서 Initial Reg에 카운터 값이 저장되고 매 터치주기마다 출력된 카운트 즉, Touch Reg에 저장된 값과, Initial Reg에 저장된 값을 비교하게 된다. 그림 7에서 확인할 수 있듯이 Initial Reg에 저장된 카운트 값은 '10100010'으로 162였고 터치가 된 후에는 '11010101'으로 213로 51카운트의 차이를 보였다. 20.3μs를 2.5MHz로 계산하여 카운트한 값과 일치함을 알 수 있다.

본 시뮬레이션 결과를 통하여 터치여부를 판단하기 위하여 소프트웨어로 그 기능을 수행하게 하도록 하기

위해 Initial Reg에 저장된 초기 카운트 값에서 대략 25 카운트 정도의 차이를 보이면 터치로 간주하는 프로그램을 통하여 터치 여부를 판단할 수 있다. 이 밖에도 멀티 터치, 근접센싱 등의 기능을 수행하는 소프트웨어적인 접근이 가능하다.

그림 7. 터치 여부에 따른 레지스터 값 비교
(a) 비터치, (b) 터치
Fig. 7 Comparison of the register values for both
(a) non-touch and (b) touch

V. 결 론

본 논문에서는 전하 축적으로 인한 출력전압 표류를 해결하기 위해 개선된 charge pump 기반의 정전센싱 회로를 제안하고 이 회로를 이용한 터치스크린 패널 드라이버를 구성하였다. 모든 터치포인트에 대한 2D 스캔을 통한 터치여부를 판단하며 ADC를 이용하지 않는 단순한 형태로 하드웨어 구성을 최소화 할 수 있는 구조이다. 시뮬레이션의 부담을 최소화하면서도 전체적인 터치패널 드라이버의 기능을 검증하기 위하여 Verilog-A를 이용하여 디지털 회로블록을 모델링하였고 개선된 charge pump 기반의 정전 센싱 회로와 함께 Spectre를 이용하여 혼성모드 시뮬레이션을 수행하였다. Verilog-A를 이용한 혼성모드 시뮬레이션을 통하여 그 결과 이론적으로 모든 터치포인트에 대해 멀티터치가 가능한 2D 터치스크린 패널 드라이버의 기능을 검증하여 제안된 하드웨어 구조의 적합성 및 신뢰성을 검증하였다. 또한 Verilog-A를 이용한 모델링을 통하여 기존에 설계된 혼

성모드 회로의 시뮬레이션 검증을 간편하게 할 수 있는 방법을 제시하였다.

감사의 글

본 연구는 한신대학교 연구비 지원에 의하여 이루어진 연구임.

참고문헌

- [1] H. Yeo, "A New Capacitive Sensing Circuit using Modified Charge Transfer Scheme," International Journal of KMICS, vol. 9, no. 1, pp. 78-82, 2011.
- [2] 여협구, "Charge pump 기반 정전 센싱 회로를 이용한 터치스크린 패널 드라이버의 혼성모드 회로분석," 한국해양정보통신학회 추계학술대회, 제15권, 제2호, pp.875-877, 2011.
- [3] Verilog-A Language Reference Manual, version 1.0, 1996.

저자소개

여협구(Hyeopgoo Yeo)

1991년 연세대학교 전자공학과
공학사

1993년 연세대학교 전자공학과
공학석사

1993년~1999년 삼성전자(주) 연구원
2007년 University of Florida 전기공학 공학박사
2008년~2009년 삼성전자(주) 수석연구원
2009년~현재 한신대학교 정보통신학부 조교수
※관심분야: RFIC, 혼성회로설계, 초고속 데이터링크