바이오 응용을 위한 지능형 실리콘 비드 칩 설계

문형근* · 정인영**

Intelligent silicon bead chip design for bio-application

Hyung-Geun Moon* · In-Young Chung**

본 논문은 지식경제부가 지원하는 국가 반도체 연구개발사업인 “시스템 집적 반도체 기반 기술개발사업 (SystemIC 2010)”을 통해 연구비를 지원 받은 결과로 CAD Tool은 IDEC의 지원을 받았음.

요 약

ISB(Intelligent Silicon Bead)는 기존 CMOS 칩과 달리 CMOS SoC의 전원을 포함한 외부와의 인터페이스(interface)를 모두 빛을 이용하여 칩의 초소형화 및 단가를 낮추고 광통신, 메모리 기능을 탑재한 신개념 바이오 실험용 칩이다. 본 논문에서는 외부리더기로부터 비드칩에 인가된 하나의 광신호를 통해 전력과 신호를 동시에 전달하기 위한 저전력, 저면적특성의 광수신단 설계와 입력프로토콜에 대해서 소개하고 이를 시뮬레이션 및 측정을 통해 검증한다. 또한 칩의 ID를 기록/저장하기 위한 저전력 PROM을 설계하여 광신호 입력에 따른 출력 결과 값을 얻는데 성공한다. 본 연구를 통하여 기존 RFID에서 발생한 칩면적 소형화의 한계와 높은 단가 등의 문제점을 해결하여 새로운 유형의 바이오용 칩 개발을 기대할 수 있다.

ABSTRACT

Unlike the existing CMOS chip, ISB (Intelligent Silicon Bead) is new concept biochip equipped with optical communication and memory function. It uses the light for power of SoC CMOS and interface with external devices therefore it is possible to miniaturize a chip size and lower the cost. This paper introduces an input protocol and a design of the low power and the low area to transfer the power and the signal through a single optical signal applied from external reader device to bead chip at the same time. It is also verified through simulation and measurement. In addition, low-power PROM is designed for recording and storing ID of a chip and it is successful in obtaining the value of output according to the optical input. Through this study, a new type biochip development can be expected by solving high cost and a limit of miniaturizing a chip area problem of an existing RFID.

키워드

실리콘 비드, 바이오칩, FN 스트레스, 펄스 폭 변조

Key word

silicon bead, biochip, FN stress, pulse width modulation

* 준회원 : 광운대학교 전자통신공학과 석사과정 (moon0530@kw.ac.kr)

접수일자 : 2012. 03. 09

** 정회원 : 광운대학교 전자통신공학과 교수 (교신저자)

심사완료일자 : 2012. 03. 26

I. 서 론

고유의 아이디(ID)를 갖고 있으며 그것을 외부기기로부터 읽어낼 수 있는 새로운 개념의 미세한 비드(bead) 입자는 신약 개발과 생화학적 진단분야에 있어서 유용하게 활용될 수 있다. 예를 들어, 아이디를 가진 비드 표면에 어떤 특정 수용기(receptor)를 부착(immobilization)시킨 후에 이런 다양한 비드를 혼합하여 목표물질에 노출시킨 후, 반응 작용이 일어난 비드의 아이디를 읽어냄으로써 목표물질 혹은 반응수용기의 정체를 빠르고 용이하게 파악 가능하다. 이러한 비드에는 비드 제조 시 아이디가 기록된 수동형 비드와 현장에서 아이디를 기록해나가는 것이 가능한 능동형 비드가 있다. 만약 비드 칩의 아이디를 현장에서 기록하는 것이 가능하게 되면, 화학물질의 순차적 조합에 의한 물질합성 분야에 적용될 수 있어 비드 칩의 활용성은 신약개발 분야 등으로 더욱 확장될 수 있다[1]. 물질 합성단계에서 합성의 경우에 따라 물질을 분리해내는 소팅(sorting) 작업에 소요되는 시간 및 비용을 극적으로 줄여줌으로써 신약개발에 소요되는 비용과 시간을 현저히 절약할 수 있다. 현재로서 이와 유사한 기능을 수행하는 소자로서는 RFID를 들 수 있다. 그러나 RFID는 CMOS 칩과 안테나 사이의 조립공정에 들어가는 비용이 크고, 전도성 고분자를 이용하여 제작된 안테나코일의 존재로 인해 크기를 줄이는데 한계가 있어 분자크기의 목표물질을 대량으로 분석하기에는 비효율적이다. 또한 칩이 수용액 속에서 동작하므로 RF를 통한 전력 전달이 어렵다.

따라서 안테나가 필요 없고 수용액을 잘 투과하는 레이저광으로 칩의 전력을 공급하고 신호를 전달하는 방식의 비드칩이 필요하다. 이러한 방식을 채택할 경우, 비드칩의 크기는 0.5mm 이하의 아주 작은 크기로 구현 가능하며 이상의 문제점들을 해결할 수 있다. 구현된 칩은 epoxy등의 수지로 비드칩을 캡슐화(encapsulation)하여 수용액상에서도 작동이 가능하게 하며, 표면에 필요한 분자 또는 생화학적 프로브(probe)를 고정하여 필요한 실험을 실시할 수 있다[2].

이러한 비드칩의 특징 상 비드칩은 설계상 몇 가지 제약점을 가지게 된다. 비드칩은 단 하나의 광채널만을 가지고 있으므로 전력전달과 신호전송을 동일한 광원을 사용하여 동시에 구현해야 하며, 또한 신호의 송수신을

위한 클럭신호를 함께 전송할 수 없다. 비드칩의 활용도를 높이기 위해서는 칩의 크기가 작은 것이 매우 중요하므로 칩 면적이 최소화되도록 설계되어야 하며 또한 전력소모, 그 중에서도 DC 전력소모가 최소화되도록 설계되어야 한다.

그림 1. 실리콘 비드칩의 개념도 및 구성도
Fig. 1 Conceptual diagram of silicon bead chip

2장에서는 실리콘 비드칩의 특성과 광신호를 이용한 전력 및 신호전송방식에 대해 설명하고 이어진 3장에서 비드칩 동작을 위한 전체 블록 및 블록별 회로를 보이고, 칩의 ID를 저장할 수 있는 PROM(Programmable ROM)을 소개한다. 4장에서는 설계한 비드칩의 제작과 시물레이션 및 측정결과를 보이고, 5장을 통해 본 논문의 결론을 맺는다.

II. 비드칩의 특성 및 동작

본 논문의 비드칩은 새로운 형태의 응용 시스템이며, 일반적인 CMOS 칩과는 매우 다른 환경에서 동작하게 되므로 비드칩에 적합한 설계조건이나 동작방식이 요구된다. 본 장에서는 비드칩의 특징적인 동작방식에 관해 기술하고자 한다.

2.1. 전력공급

비드칩은 비드칩 리더기에서 신호를 실은 레이저 광원을 칩에 비추게 되면 이 광원으로부터 전력을 발생시키고, 또 광신호를 수신하고 해독하여 PROM에 ID를 기록하거나 혹은 이미 기록되어 있는 ID를 읽어서 다시 광신호로 외부출력을 하도록 고안된 시스템이다. 이러한 비드칩의 특성상, 전력공급 및 신호의 입출력 측면에서 비드칩만의 독특한 설계가 요구된다.

비드칩은 앞서 설명된 바와 같이 연결선이나 RF를 통한 외부전력 공급이 불가능하므로 리더기에서 비추는 레이저 광을 전력에너지로 변환하여 칩 동작에 사용해야 한다. 따라서 광에너지를 전력으로 변환하는 PVC(photo-voltaic cell)을 구비하고 있어야 하며, 충분한 전력을 발생하기 위해서 넓은 면적의 효율이 좋은 PVC가 필요하다. CMOS 공정으로 구현 가능한 실리콘 p-n접합 PVC의 경우, 비교적 파장이 긴 근적외선도 전력으로 변환할 수 있는 장점이 있으나, 최대 출력전압이 0.6V 정도에 불과하여 광출력 및 PROM 동작에 고전압이 요구되는 비드칩의 구동전력으로는 효율적이지 못하다. 따라서 본 비드칩에서는 CMOS 비드칩에 GaN PVC 칩을 플립칩 형태로 집적하는 방식을 사용하게 되는데, 이 GaN PVC로부터 2.1~2.5V의 높은 전압을 얻을 수 있도록 하였다.

비드칩에 비추는 레이저광은 비드칩으로 전송되는 입력신호의 역할을 겸하게 되므로, 반드시 어떤 종류의 광 변조방식을 필요로 하게 된다. 통상적인 광 변조방식의 경우, 명(明)과 암(暗) 상태를 1 또는 0 신호 상태로 할당하게 되므로 입력 레이저광이 시간적으로 연속되게 입사(入射)되지 않을 수 있다. 이 경우, 비드칩의 파워 커패시터는 암(暗) 구간 동안 비드칩의 동작에 소요되는 전류를 공급할 수 있어야 한다. 비드칩은 칩의 면적을 최소화하는 것이 매우 중요하므로 칩의 파워 커패시터는 대략 최대 200~300pF를 넘지 못한다. 암(暗) 구간의 평균 DC전류 소모를 200 μ A로 가정한다면, VDD의 하강을 0.1V 이내로 유지하는 시간은 0.1 μ s에 불과하다. 비드칩의 낮은 동작주파수를 고려한다면 암(暗) 구간에 파워 커패시터로 전력을 버퍼링(buffering)하는 것은 불가능하다는 것을 알 수 있다. 따라서 리더기에서 비드칩으로 조사(照射)되는 레이저광은 통상적인 명암(明暗) 변조방식은 적합하지 않으며, 레이저광을 지속적으로 칩에 비추는 변조 방식이어야 한다. 즉 각각 비드칩 구동전력

에 충분한 레이저광의 세기인 레벨-1과 레벨-2 상태를 적절히 천이하는 방식으로 입력 광신호가 비드칩을 비추어야 한다. 예를 들어 레벨-1은 60mW, 레벨-2는 120mW의 광 신호 세기일 수 있으며, PVC는 60mW 세기의 입력 레이저 광으로부터도 비드칩 구동에 충분한 전력을 생성할 수 있어야 한다.

2.2. 신호 및 클록 전송방식

입력 레이저광으로부터 PVC 소자가 전력을 획득하는 것과는 별개로, CMOS 비드칩에 집적된 PD(photo-detector) 소자는 리더기로부터 전송되는 명령신호를 수신하기 위해 입력 레이저광으로부터 입력 전기신호(전류)를 생성한다. 입력 레이저 광은 개방된 공간에서 비드칩 전체를 비추므로 리더기로부터 비드칩으로의 신호 채널은 단 하나 뿐이며 입력신호의 수신에 필요한 동기화된 클록신호를 따로 전송할 수 없다. 따라서 입력 광신호는 수신하기 위한 클록신호를 내재시키는 변조방식을 채택해야 한다. 비드칩의 면적과 전력요건, 그리고 입력신호의 낮은 데이터율(data rate)을 고려할 때, PLL을 활용한 클럭복원방식을 사용하는 것은 적합하지 않다. 대신 본 비드칩에서는 최소한의 부가회로와 소모전력 그리고 간단한 프로토콜을 바탕으로 한 전송방식으로 펄스폭변조(PWM: Pulse Width Modulation) 방식을 응용한 신호전송 방식을 사용하는 것이 효율적이다.

그림 2. PWM 방식을 응용한 광신호 모듈레이션 방식
Fig. 2 The Optical signal modulation method using the PWM

펄스의 상승에지로부터 bit 심벌이 시작되며, 하이-구간이 짧은 경우 (20% duty) 비트 0, 하이-구간이 길 경우 (80% duty) 비트 1을 나타내게 된다. 이러한 PWM 신호는 광 수신단의 출력신호를 일정시간(τ) 동안 지연시켜 지연된 신호를 비드칩의 클록 신호(eclk)로 삼아 이 클록의 상승에지로 샘플링 함으로써 디지털 bit 신호를 복원할 수 있다. 여기서 지연회로의 지연시간은 짧은 펄스폭보다는 길고, 긴 펄스폭보다 짧으면 되는데, 펄스폭의 비를 1:5 정도로 넉넉히 잡음으로써 회로 지연시간(τ)의 변동이 있더라도 데이터를 에러 없이 복원할 수 있다. eclk은 광신호 수신 뿐만 아니라 비드칩의 전체적인 동작 클록으로 사용되게 된다. 다만 eclk 신호는 하강에지가 일정하지 않은데, 비드칩 회로 블록의 지연시간이 eclk의 high 구간 혹은 low 구간에 비해 충분히 작으므로 회로 동작 상 이는 전혀 문제가 되지 않는다.

2.3. 파워-업 (power-up) 동작

비드칩의 동작은 어두운 환경에 있던 비드에 충분한 시간 (대략 $30\mu\text{s}$) 동안 레벨-1 세기의 레이저 광을 비추면서 시작한다. 비드칩은 레이저가 PVC를 통해 약 $150\mu\text{A}$ 정도의 전류를 발생시켜 약 100pF 에 해당하는 파워 캐패시터의 전압을 약 1.7V 이상 충전시키면 시스템을 초기화하고 내부 클럭을 발생시키는 초기화(start-up) 펄스가 발생한다. 이 펄스는 VDD신호를 따라 상승하다 약 GND로 하강한다. 이 신호는 비드칩을 제어하는 회로들의 리셋 신호로 사용하며, 이후 곧 바로 캘리브레이션(calibration) 동작이 진행된다.

그림 3. 비드칩의 동작을 알리는 Power-up 과정
Fig. 3 Power-up process of informing the behavior of Bead-chip

그림 4. 초기화 신호를 발생시키는 회로
Fig. 4 Circuit to generate initialize signal

그림 3, 4는 VDD 상승에 따라 초기화 펄스를 발생시키는 동작과 회로를 나타낸 그림이다. VDD가 대략 문턱전압 V_T 의 3배 이상이 되면 출력이 천이하며, 초기화(initialize) 펄스가 끝나게 된다. 회로에서 다음 MOS(MP4, MN1, MN2)는 thick oxide MOS TR로 구성되어 있다.

2.4. 캘리브레이션 동작

앞 절에서 이미 설명한 바와 같이 비드칩의 원활한 전력공급을 위해서 레벨-1, 레벨-2 세기의 레이저광을 쏘게 되며, 이를 또한 전송신호로도 사용하게 된다. 비드칩의 광 수신단에서 레벨-1과 레벨-2의 광 세기를 파악하는 캘리브레이션 동작이 우선되어야 한다. 그림 5에서와 같이 수신단의 풀다운 전류원의 전류값을 업카운터에 의해 일정 단위로 증가시켜 가며, PD에 의해 발생하는 레벨-1 전류크기(IL1)를 초과하는 카운터값(CV1)을 찾아 레지스터에 저장하게 된다. 이후 레벨-2 세기의 입력 레이저광이 비출에 따라 다시 업카운터 동작을 통해 레벨-2 세기에 해당하는 카운터값(CV2)을 다른 레지스터에 저장한다. 최종적으로 이 두 카운터값의 평균에 해당하는 전류값을 입력단의 레퍼런스 풀다운 전류로 설정한다.

동작모드 구분	레벨-1 캘리브레이션	레벨-2 캘리브레이션	명령모드
Luminance	Level-1	Level-2	Level-1/Level-2
Photo Current (\$I_P\$)	\$I_{L1}\$	\$I_{L2}\$	\$I_{L1}/I_{L2}\$
Counter value	CV1	CV2	\$\frac{CV1 + CV2}{2}\$
Source Current (\$I_S\$)	\$I_{S1}\$	\$I_{S2}\$	\$I_{REF} \approx \frac{I_{L1} + I_{L2}}{2}\$

그림 5. 광수신단에서의 캘리브레이션 과정 및 회로
Fig. 5 Calibration process and circuits in optical detector

그림 6. 광수신단에서의 캘리브레이션 과정
시뮬레이션 결과
Fig. 6 Simulation result of Calibration
process in optical detector

이러한 캘리브레이션 동작은 리더기에서 **eclock**을 수신할 수 없는 상태에서 진행해야 하므로 비드칩에서 링발진기에 의해 **rclock**을 자체 발생하여 비드칩의 클록으로 사용한다. 링발진기의 **rclock** 주기의 변동성과 카운터의 최대값을 고려하여 그림 6의 레벨-1과 레벨-2의 캘리브레이션 구간을 충분히 보장하여야 한다.

2.5. 명령 모드

레벨-2 캘리브레이션을 위한 레벨-2 구간이 종료되고 PWM 변조에 의한 레이저광 입력이 시작되면서, 시스템 클록은 **rclock**에서 **eclock**으로 대체되게 되며, 이를 통해 리더기로부터 전송되는 명령신호를 수신한다.

비드칩은 읽기와 쓰기에 해당하는 두 종류의 칩 동작이 요구되며, 쓰기 동작에 **PROM**의 해당 셀 주소가 수반되어야 한다. 비드칩의 전체적인 입력 광신호 시퀀스를 그림 7에서 볼 수 있다. 셀 주소를 포함한 명령 전송이 종료된 후에도 **eclock**의 전송을 위해 비드칩의 쓰기 또는 읽기 동작이 완료될 때까지 **PWM** 펄스 형태의 광 신호 입력이 지속되어야 한다.

그림 7. 실리콘 비드칩의 입력신호 프로토콜
타이밍도

Fig. 7 Input signal protocol timing diagram of the Silicon bead chip

III. 비드칩의 구성 및 회로

비드칩 동작을 구현하기 위해서는 먼저 광에너지로부터 전력을 생성하는 광전소자(PVC), 광원에 실린 명령신호(command)를 수신하는 광수신단, ID의 기록 및 저장장을 위한 **PROM**, 고전압을 생성하는 **DC-DC**변환기, 그리고 시스템제어를 위한 로직회로 및 클럭 발생기 블

록들이 필요하다. 또한 광신호 출력을 위해서는 LED 소자가 동시에 요구된다. 비드칩의 이러한 블록구성 및 신호흐름은 그림 8에서 볼 수 있다.

그림 8. 실리콘 비드 기능 블록도
Fig. 8 Block diagram of silicon bead

이러한 비드칩 기능블록 중에서는 LED 소자와 같이 CMOS 공정으로 효율적으로 구현하는 것이 매우 어려운 것들이 있다. 근래 실리콘 소자를 활용하여 빛을 발생시키는 기술이 개발되어 왔으나, 이러한 소자의 경우 전기에너지가 빛에너지로 변환되는 내부 양자효율은 최대 0.6%를 넘지 못하며[3] 저 전력 동작이 필수적인 비드칩에서 사용되기는 어렵다. 따라서 LED 소자는 광효율이 높은 화합물반도체 기반의 소자를 사용하여 CMOS 비드칩과 플립칩 형태로 집적하는 것이 현실적인 대안이다.

따라서 본 연구에서는 GaN LED를 연결하는 조건에 맞춰 비드칩을 설계한다[4]. LED 기능을 갖는 GaN p-n 접합소자를 플립칩 형태로 집적할 경우, 높은 전압을 발생하는 GaN PVC 소자로도 활용할 수 있게 된다. 즉, GaN 플립칩의 대부분 면적은 광에너지 수집을 통한 전력공급을 위한 PVC 소자로 사용하며, 일부면적으로 LED 소자의 역할을 수행한다. 밴드갭이 3.4eV인 GaN로 PVC 소자를 구현할 경우, 2.1~2.5V의 높은 전압을 얻을 수 있다.

그림 9는 본 CMOS 비드칩과 플립칩 형태로 집적하고자 하는 GaN PVC의 I-V 특성곡선이다. 60mW의 레이저광을 쏘였을 때, 2.3V의 전압에서 220 μ A의 전류를 발생한다. 본 비드칩은 이러한 전원 스펙에 맞춰 설계되었다.

그림 9. GaN PVC의 I-V 특성
Fig. 9 I-V characteristics of GaN PVC

광 수신회로는 그림 5에서 볼 수 있듯이 증폭도가 매우 큰 인버터의 입출력 피드백을 통해 최초 수신단의 출력저항을 매우 작게 유지하는 전류모드 증폭기를 사용한다. 본 실리콘 비드는 p-i-n 구조가 제공되지 않는 일반적 CMOS 공정을 사용하므로 단위면적 당 접합 커패시턴스가 큰 편이며, 큰 면적의 PD에 의한 A노드에 큰 접합커패시턴스 값이 형성되는 것을 피할 수 없다.

따라서 통상적 광수신단에 비해서 A노드의 출력저항이 훨씬 더 작아야만 한다. 또한 광전류 IL (photo-current)와 IREF의 차이에 해당하는 전류, IL-IREF가 저항 RFB에 의해서 B노드에서의 전압이득으로 나타나게 되므로 적절한 전압 증폭도를 얻기 위해서 상당히 큰 피드백 저항, RFB를 사용해야 한다. 작은 크기의 비드칩을 고려할 때 이러한 큰 저항 값은 폴리실리콘 저항으로 구현하기 어려우며, MOS를 직렬 연결하여 이를 대신한다. 여러 개의 직렬 MOS를 사용함으로써 중첩된 폴(pole)에 의하여 출력의 공진현상이 발생하므로 CFWD의 커패시터로서 이를 보상한다.

메모리 동작 또는 출력 광소자(LED)에 전원을 공급하기 위해서는 고전압 발생회로가 요구되는데, ROM 프로그래밍에 필요한 전압은 매우 높은 반면 전류 소모량은 매우 적은 편이며, LED 구동을 위한 출력은 전압은 3.6V 정도로 크게 높지 않으나, 요구 전류 값이 큰 편이므로 효율이 높은 회로여야 한다. 본 비드칩에서는 4단 전하펌프를 사용하여 PROM 프로그래밍에 필요한 6.5V의 출력전압을 생성하고, 전압 체배기 (voltage doubler)를 이용하여 광소자 동작에 필요한 3.6V 이상의 전압을 생성한다[5].

PROM은 비드칩의 동작여부를 결정짓는 가장 핵심적인 회로블록이다. 주로 바이오 응용을 위해 사용될 비드칩에 사용될 PROM에는 몇 가지 특성이 요구된다. 먼저 비드칩 상태의 약한 전원으로든 기록이 가능해야 한다. 게이트 산화막을 파괴하여 데이터를 기록하는 형태의 OTP(one time programmable) ROM을 포함한 몇 가지 PROM의 경우, 강한 외부전원이 아니면 셀의 프로그래밍이 불가능하다. 또한 비드칩의 제한된 크기 때문에 너무 많은 면적을 차지하는 셀은 사용이 어렵다. 비드칩의 응용을 염두에 두면, ROM셀은 약 1주일 이내의 데이터 보존기간으로 충분하다.

비드칩에서는 이러한 조건을 고려하여 최근 본 연구 그룹에서 개발한 MOS의 FN(Fowler-Nordheim) 스트레스를 이용하여 문턱전압을 이동시킴으로써 데이터를 기록하는 방식의 PROM 셀을 적용하였다[6]. FN 스트레스를 이용한 PROM 셀의 경우, 상대적으로 약한 전원에서 프로그래밍이 가능하며 레퍼런스 셀이나 저장 없이도 차동동작을 통해 안정적으로 데이터를 읽어낼 수 있는 장점이 있다. 이러한 PROM 셀을 채용하고 셀을 프로그래밍하고 읽기 위한 각종 부가회로를 구성하여 1x31 PROM 어레이 회로를 설계하였다.

그림 10에서 1칼럼(column)에 해당하는 PROM 셀 및 부가회로를 볼 수 있다. 본 PROM의 동작에 대하여 그림 10을 바탕으로 간단히 설명하면 다음과 같다. PROM의 셀은 래치(latch) 형태로서 (BL, BLB) 노드에 (1, 0) 또는 (0, 1)의 두 가지 이진(binary) 상태에서 공급전압을 충분히 높임으로써 데이터를 프로그래밍하게 된다. 즉 이러한 두 가지 상태 중 하나에서 공급전압을 높이게 되면, 래치를 이루고 있는 NMOS 쌍 중의 하나의 게이트-소스 사이에 높은 전압이 인가되고 따라서 FN 스트레스가 가해져 문턱전압이 높아

지게 된다.

NMOS 쌍 중 어느 쪽 NMOS에 스트레스가 가해지느냐에 따라 래치 비교기에 플러스 혹은 마이너스 부호의 옅셋이 발생한다. 래치 비교기 입력으로 동일한 전압을 (BL, BLB) 노드에 인가하고, 래치를 인에이블(enable)시켜 0 또는 1의 래치 출력을 읽어냄으로써 옅셋의 부호를 읽어내게 되는데, 이것이 PROM의 읽기 동작이 된다. 읽기 동작은 통상적인 VDD 전압(2.3V)에서 이루어지며, 프로그래밍 동작은 FN노드에 DC-DC 변환기에서 생성한 고전압(약 6.5V)을 인가하게 된다. 진하게 표시된 부분이 PROM 셀에 해당하는 래치 부분이며, 고전압을 차단시키는 MOS(M1, M2), 읽기 동작에서 동일한 입력으로 프리차지 시키는 MOS(M3, M4), 및 칼럼을 선택하는 MOS 등으로 구성된다. 읽기 동작에 있어서는 셀 내부에서 프리차지 하게 되며, 프로그래밍 시에는 데이터패스를 통해 셀에 프로그래밍 하고자 하는 디지털 입력전압을 인가하게 된다.

그림 10. FN 스트레스인가에 의한 문턱전압 이동 현상을 이용한 PROM 회로도

Fig. 10 PROM schematic by using VT shift phenomenon by Fowler-Nordheim stress

IV. 측정 및 시뮬레이션 결과

그림 11. 비드칩 리드동작 시 시뮬레이션 결과
Fig. 11 Simulation result of bead chip for read operation

그림 11은 비드칩의 읽기동작의 회로 시뮬레이션 결과를 보여주고 있다. 회로 시뮬레이션에서는 광 신호 입력을 인가하는 것이 어려우므로, 레이저광에 의한 파워업과 광 수신단에서 발생하는 광전류를 등가적인 전기 신호로 환산하여 시뮬레이션 하였다.

외부에서 광신호가 입력되어 파워업 회로를 통해 $2\mu\text{s}$ 후 하강하는 초기화신호를 생성하여 비드칩의 동작을 알린다. 이 초기화신호는 내부클럭(rclk)을 발생시켜 카운터를 동작시킴으로써 외부에서 인가된 레벨-1, 레벨-2의 입력 광신호의 값을 캘리브레이션하고, 그 출력전압(V_{Ain})의 결과를 그림 11에서 확인 할 수 있다. 또한 그 전압을 일정시간(τ) 지연시켜 얻은 클럭(eclk)으로 샘플링하여 외부리더기로부터 전송된 광신호를 디지털데이터로 복원한 결과를 디지털 신호(V_{Din})로 확인하였다. 그리고 비드칩이 동작을 시작하고 $83\mu\text{s}$ 후에 출력파형(Readout Signal)을 볼 수 있는데, 먼저 실제데이터와 구분하기 위해 미리 프로그램된 데이터(1010)가 나온 후 칩의 ID를 기록한 데이터를 각 어드레스별로 순차적으

로 확인 할 수 있다.

회로 시뮬레이션에서는 FN 스트레스에 의해 문턱전압이 이동하는 것이 재현되지 않으므로 프로그래밍 동작의 온전한 회로 시뮬레이션은 어려우며, 그 대신 PROM 셀에 바이어스를 인가하는 주변회로의 동작까지 회로 시뮬레이션으로 검증하였다.

또한, 그림 12는 표준 CMOS $0.18\mu\text{m}$ 공정을 이용하여 설계된 비드칩의 레이아웃 이미지로써 상단에 광수신단이 위치해 있으며 좌측에 DC-DC 변환기, 하단에 시스템 제어를 위한 로직회로단, 우측에 FN스트레스를 이용한 PROM으로 구성되어 있으며 레이아웃 면적은 $205.42\mu\text{m} \times 210.17\mu\text{m}$ 이고, 전력측면에서는 측정장비를 이용하여 2.3V 의 공급전압과 200kHz 의 입력신호를 인가하였을 때, 약 $325.68\mu\text{W}$ 의 전력을 평균적으로 소모하는 것으로 측정되었다. 이는 앞서 이야기한 GaN PVC에서 발생하는 전력의 조건에 부합하는 것으로 전력측면에서 볼 때 비드칩을 원활하게 동작시킬 수 있다.

그림 12. 제안한 실리콘 비드칩의 레이아웃
Fig. 12 Layout of the proposed silicon bead chip

실리콘 비드칩은 원래 목적된 응용 환경 상, GaN 플립칩의 PVC로부터 전력을 얻으며, 또한 광 입력으로부터 리더기 명령을 수신한다. 하지만 비규칙적 임의

(random) 펄스형태의 레이저광 입력신호를 비드칩에 전송하는 리더기를 활용하여 측정을 시행하는데 어려움이 있어 본 논문에서는 레이저 광 신호 입력과 등가적인 전기적 입력신호 환경에서 측정을 실시하였다. 즉, 광전류에 해당하는 입력전류를 전기적 입력신호로 발생하며 측정하였다. 또한 전력은 GaNPVC의 조건(전압 2.1~2.3V/ 전류 300 μ A)에 맞춰 인가하며 측정하였다. 그림 13은 이상에서 설명된 바와 같이, 제작된 비드칩에 외부 신호발생기로 광전류입력을 가하여 칩의 읽기 동작을 측정한 결과 파형이다. 칩의 동작 상태를 확인하기 위해 비드칩의 주요 노드를 출력패드를 통해 프루빙할 수 있게 하였으며 그림 13에서 그 주요노드들의 전압파형을 볼 수 있다. 각 노드들이 시뮬레이션에서 예상된 대로 동작하며, 프리앰블 후에 쓰기 동작을 통해 기록된 ID 데이터가 출력되는 것을 확인 할 수 있다. 입출력신호의 클럭 주파수와 데이터율은 200kHz로 실시되었다.

그림 13. 실리콘 비드칩 측정결과
Fig. 13 Measurement result of silicon bead chip

V. 결 론

본 논문에서는 전력과 신호전달을 모두 빛을 사용한 저전력, 저면적의 바이오 실험용 실리콘 비드칩에 대하여 소개하고 제작하여 그 동작을 확인하였다. 비드칩의

동작을 알리기 위한 파워업 회로단과 입력광 신호를 수신하기 위한 광수신단을 설계, 제작하였고, 비드칩과 외부리더기간의 적절한 신호전달을 위해 간단한 PWM방식을 이용하여 입력광신호로부터 디지털데이터를 복원한 결과를 시뮬레이션 및 측정을 통해서 검증하였다. 또한 비드칩의 ID를 일정기간 저장하기 위해 저전력의 특성을 갖는 FN스트레스를 인가함으로써 생기는 문턱전압의 이동현상을 이용한 PROM을 설계, 제작하여 그 결과를 확인할 수 있었다. 광신호 입력과 등가적인 전기적 입력신호를 통해 비드칩의 쓰기 및 읽기 동작을 측정을 통해 확인하였다.

감사의 글

본 논문은 지식경제부가 지원하는 국가 반도체 연구개발사업인 “시스템 집적 반도체 기반 기술개발사업 (SystemIC 2010)”을 통해 연구비를 지원 받은 결과로 CAD Tool은 IDEC의 지원을 받았습니다.

참고문헌

- [1] PharmaSeq, Inc. www.pharmaseq.com
- [2] S. Chung, S. Lee, J. Kim, and S. Kwon, "Polymer packaging of silicon microchips via computer-vision aided optofluidic maskless lithography and manipulation using railed microfluidics," The 16th Korean Conference on Semiconductors, February 2009.
- [3] V.Puliyankor and R.J.E Hueting, "Modelling and optimization of the internal quantum efficiency of Si-based LEDs", THPD4, NUSOD, June 2011.
- [4] 정명구, "Optimal Growth and Fabrication of Epitaxial Wafers for GaN-Based Blue LED Devices" 박사학위논문, p.177-186, August 2001
- [5] In-Young Chung, Jongshin Shin, "New charge pump circuits for high output voltage and large current drivability" IEICE Electronics Express, Vol6, No.12,

p.800-805, June 2009

- [6] 정인영, “Fowler-Nordheim 스트레스에 의한 MOS 문턱전압 이동현상을 응용한 비교기 오프셋 제거방법”, 전자공학회지, 제46권 제3호, p.217-225, March 2009

저자소개

문형근(Hyung-Geun Moon)

2011년 광운대학교 전자공학과
학사

2011년~현재 광운대학교
전자통신공학과 석사과정

※관심분야: 바이오센서, OTP EPROM 설계, IT-SoC

정인영(In-Young Chung)

1994년 서울대학교 전자공학과
학사

1996년 서울대학교 전자공학과
석사

2000년 서울대학교 전기공학부 공학 박사

2000년~2004년 삼성전자 메모리 사업부

2004년~2008년 경상대학교 전기전자공학부 조교수

2008년~현재 광운대학교 전자통신공학과 부교수

※관심분야: 바이오센서, Mixed-mode 설계, 메모리
소자 및 회로설계, 나노소자