32 위상의 출력 클럭을 가지는 125 MHz CMOS 지연 고정 루프

이광훈* · 장영찬**

A 125 MHz CMOS Delay-Locked Loop with 32-phase Output Clock

Kwang-Hun Lee* · Young-Chan Jang**

요 약

125 MHz 동작 주파수에서 32개의 다중 위상의 클럭을 출력하는 지연 고정 루프 (DLL: delay-locked loop)를 제안한다. 제안된 다중 위상 지연 고정 루프는 delay line의 differential non-linearity (DNL)를 개선하기 위해 4×8 matrix 구조의 delay line을 사용한다. 또한, 4×8 matrix delay line 입력 단의 네 지점에 공급되는 클럭의 위상을 보정함으로써 제안하는 지연 고정 루프의 integral non-linearity (INL)을 개선한다. 제안된 지연 고정 루프는 1.2 V의 공급전압을 이용하는 0.11- μm CMOS 공정에서 제작하였다. 제작된 지연 고정 루프는 40 MHz에서 280 MHz의 동작 주파수 범위를 가지며, 125 MHz 동작 주파수에서 측정된 DNL과 INL은 각각 +0.14/-0.496 LSB, +0.46/-0.404 LSB이다. 입력 클럭의 peak-to-peak jitter가 12.9 ps일 때 출력 클럭의 측정된 peak-to-peak jitter는 30 ps이다. 제작된 고정 지연 루프의 면적과 전력 소모는 각각 $480 \times 550 \mu\text{m}^2$ 과 9.6 mW이다.

ABSTRACT

A delay-locked loop (DLL) that generates a 32-phase clock with the operating frequency of 125 MHz is introduced. The proposed DLL uses a delay line of 4×8 matrix architecture to improve a differential non-linearity (DNL) of the delay line. Furthermore, a integral non-linearity (INL) of the proposed DLL is improved by calibrating phases of clocks that is supplied to four points of an input stage of the 4×8 matrix delay line. The proposed DLL is fabricated by using 0.11- μm CMOS process with a 1.2 V supply. The measured operating frequency range of the implemented DLL is 40 MHz to 280 MHz. At the operating frequency of 125MHz, the measurement results shows that the DNL and INL are +0.14/-0.496 LSB and +0.46/-0.404 LSB, respectively. The measured peak-to-peak jitter of the output clock is 30 ps when the peak-to-peak jitter of the input clock is 12.9 ps. The area and power consumption of the implemented DLL are $480 \times 550 \mu\text{m}^2$ and 9.6 mW, respectively.

키워드

다중 위상, 지연 고정 루프, matrix delay line, 위상 보정

Key word

Multi-Phase, DLL, matrix delay line, phase calibration

* 준회원 : 금오공과대학교 전자공학과

접수일자 : 2012. 07. 25

** 정회원 : 금오공과대학교 전자공학부 교수 (교신저자, ycjang@kumoh.ac.kr)

심사완료일자 : 2012. 09. 09

I. 서 론

최근 모바일, 마이크로프로세서, 그리고 통신과 같은 응용 분야의 인터페이스 속도가 빨라짐에 따라 **timing margin**을 향상시키기 위해 위상 보정 회로가 요구되고 있다. 일반적으로 정확한 위상 보정을 위하여 다중 위상 클럭 발생기가 사용되고 있다. 다중 위상 클럭 발생기는 위상 고정 루프 (PLL: phase-locked loop)와 지연 고정 루프 (DLL: delay-locked loop)에 의해 구현될 수 있다. 특히, 전압 제어 오실레이터 (VCO: voltage controlled oscillator), 혹은 전압 제어 지연 라인 (VCDL: voltage controlled delay line)의 지연 소자 (delay cell)의 구성은 요구되는 클럭의 위상 수에 따라 결정된다. N 개의 클럭 위상을 출력하기 위해 VCO나 VCDL이 N 개의 지연 소자로 구성되어야 한다. 그러나 수십 개의 다중 위상이 요구될 경우 이용되는 지연 소자의 개수가 많아져 PLL과 DLL의 최대 동작 주파수가 제한된다. 이러한 제한을 해결하기 위하여 위상 인터폴레이션을 이용한 PLL과 DLL이 제안되었다 [1]-[6].

위상 인터폴레이션은 두 입력 클럭의 구동 능력을 제어함으로써 출력 클럭의 위상을 제어하는 기법이다. 그림 1은 일반적으로 사용되는 위상 인터폴레이터를 나타내었다. 그림 1(a)는 동일한 크기를 가지는 두 개의 인버터로 구성되어 두 입력 클럭 위상의 중간 위상을 발생시키는 회로이다 [1]. 그림 1(b)는 차동 클럭의 위상 조절을 위해 차동 증폭기를 이용하는 회로의 예이다 [2]. 이 경우 차동 증폭기 전류원을 N -bit의 디지털 코드를 이용하여 $2N$ 개의 출력 위상을 제어한다. 그림 1(c)는 저항열을 이용한 구조로 $N-1$ 개의 저항을 이용해 N 개의 위상을 출력한다 [4]. 그림 1에 소개된 위상 인터폴레이터는 두 입력 클럭의 위상차에 따라 특성이 영향을 받는다. 위상 인터폴레이터의 두 입력 클럭의 위상차가 큰 경우 출력 클럭의 위상 인터폴레이션 특성이 악화된다. 이러한 문제점을 개선하기 위해 저항 평준화 기법과 **matrix** 구조를 이용한 VCDL 구조가 연구되었다 [5][6].

본 논문에서는 125 MHz 동작 주파수에서 32 개 위상을 가지는 클럭을 출력하는 DLL의 구현을 소개한다. 제안된 DLL은 **matrix** 구조의 **delay line**을 사용하여 **differential non-linearity (DNL)**를 개선하며, **integral non-linearity (INL)**를 개선하기 위해 **matrix** 입력단의 기준 클럭의 위상 보정 기법을 제안한다.

그림 1. 위상 인터폴레이터 블록도 (a) 인버터 구조 (b) 차동 증폭기 구조 (c) 저항열 구조
Fig. 1 Block diagram of phase interpolator (a) inverter-based architecture (b) differential amplifier-based architecture (c) resistor array-based architecture

본 논문의 2장에서는 제안하는 다중 위상을 출력하는 DLL의 구조와 각 블록을 설명한다. 3장에서는 제안하는 다중 위상 DLL을 검증하기 위한 칩 제작 및 측정 결과를 분석하고, 4장에서 결론을 맺는다.

II. 32 위상의 클럭을 출력하는 DLL

그림 2는 설계된 32 개 위상을 가지는 클럭을 출력하는 DLL의 블록도이다. DLL의 주요 블록으로는 matrix 기반의 지연 라인 (Matrix-based Delay line), 위상검출기 (PD: phase detector), 전하 펌프 (CP: charge pump), 루프 필터 (R/C Loop Filter), 그리고 Regulator & Bias 회로이다. Matrix 기반의 지연 라인의 선형성을 개선하기 위한 초기 인터폴레이터 (Initial Interpolator) 블록과 초기 false lock을 막기 위해 별도의 위상 검출기인 PD_INIT 블록을 추가하였다. 그리고 32 개의 위상의 클럭을 선택하여 최종 클럭을 출력하는 블록인 MUX와 출력 버퍼 (Output Buffer)로 구성하였다.

그림 2. DLL의 블록도
Fig. 2 Block diagram of DLL

Matrix-based Delay line에서 입력 기준 클럭 (CLK_{ref})과 동일한 주파수의 33-위상 클럭 ($\Phi_0 \sim \Phi_{32}$)을 출력한다. 33-위상의 클럭 중 Φ_0 과 Φ_{32} 의 위상 차이를 PD 블록을 이용하여 검색하고 CP와 R/C Loop Filter를 통하여 제어 전압(v_{ctrl})을 생성한다. 생성된 제어 전압은 Regulator & Bias 블록을 통해 Matrix-based Delay line의 지연 소자를 제어하여 Φ_0 과 Φ_{32} 의 위상 차이가 없어지도록 한다. 그림 3은 CP 블록의 회로도이다. Pull-up 전류원과 pull-down 전류원, 그리고 PD 출력 (UP, DN)에 따른 동작

하는 PMOS 스위치와 NMOS 스위치로 구성된다. 또한 두 전류 path 사이의 전하 공유 (charge sharing) 현상에 의한 제어 전압의 변화를 줄이기 위해 unit gain buffer를 추가하였다.

Regulator & Bias 회로 [6]는 CP 블록과 R/C Loop Filter에서 생성된 제어 전압을 Matrix-based Delay line의 NMOS와 PMOS로의 공급을 위한 제어 전압을 생성하여 공급한다.

그림 3. CP의 회로도
Fig. 3 circuit of CP

그림 4(a)는 Matrix-based Delay line의 블록도이다. 32 개의 위상을 가지는 클럭을 출력하기 위한 32 개의 지연 소자와 Φ_0 와 Φ_{32} 위상을 가지는 클럭의 선형성을 개선하기 위한 총 16 개의 더미 (dummy) 지연소자로 구성하였다 [5]. Matrix-based Delay line에서는 각 클럭의 위상 오차를 줄이기 위해 각 지연소자의 출력이 저항으로 연결된 저항 평준화 기법을 사용하였다 [5]. DLL의 과정이 최종 진행되면 각 지연 소자의 지연 값은 기준 클럭 주기의 1/8로 결정된다. 또한, matrix 기반의 지연 라인의 4개 입력 ($iCLK_0 \sim iCLK_3$) 간의 위상 차이는 지연 소자의 지연에 1/4 크기로 결정된다. 그림 4(b)는 지연 소자의 회로도이다. 지연 소자는 current-starved inverter 구조로 PMOS와 NMOS의 바이어스 전압 (v_{cp} , v_{cn})으로 지연 크기를 제어한다. 또한 current-starved inverter 출력에 병렬로 추가된 MOS capacitor는 DLL의 동작 주파수를 증가시킨다[6].

그림 4. (a) Matrix-based Delay line의 블록도 (b) 지연 소자의 회로도

Fig. 4 (a) Block diagram of matrix-based delay line (b) circuit diagram of delay cell

그림 5(a)는 Matrix-based Delay line의 4개 입력 ($iCLK_0 \sim iCLK_3$)을 만들기 위한 Initial Interpolator의 블록도이다. Matrix-based Delay line에 이용된 동일한 지연 소자를 이용하여 $iCLK_0$ 과 $iCLK_4$ 클럭의 위상을 지연 소자의 지연 (4Δ) 만큼 차이를 가지도록 하였다. 이들 클럭 신호로부터 인버터 기반의 인터플레이션과 저항열 기반의 인터플레이션 기법을 이용하여 $iCLK_0 \sim iCLK_3$ 클럭 사이의 위상이 모두 Δ 의 지연을 가지도록 하였다.

Initial Interpolator 블록의 출력 클럭인 $iCLK_0 \sim iCLK_3$ 은 matrix 기반의 지연 라인에서 생성하는 32 개의 위상을 가지는 출력 클럭의 선형성에 직접적으로 영향을 미친다. 특히 출력 클럭 $iCLK_0 \sim iCLK_3$ 중에서 $iCLK_2$ 의 영향이 가장 크다. 이는 $iCLK_2$ 의 위상 옵셋은 $iCLK_1$ 과 $iCLK_3$ 에 영향을 주기 때문이다. 따라서 본 연구에서는 $iCLK_2$ 의 위상 옵셋을 보상하여 32-위상 출력 클럭의 1-bit delay 선형성을 향상시킨다. 이를 위해 $iCLK_2$ 를 만들기 위한 인버터 기반의 인터플레이터를 그림 5(b)의 INV_TUN 회로로 구성하였다. INV_TUN 회로는 2-비트 디지털 코드를 이용하여 인버터 트랜지터의 사이즈를

변경 한다. 두 개의 INV_TUN 회로는 각각 2-비트 디지털 코드($D_0[1:0]$, $D_1[1:0]$)를 통해 독립적으로 제어한다. 그림 5(c)에 나타난 바와 같이 두 개의 INV_TUN 회로를 이용하여 $iCLK_2$ 의 위상을 $4a$ 크기를 제어한다. 이를 통해 $iCLK_2$ 의 위상 옵셋은 최대 $2a$ 만큼 보상한다.

그림 5. (a) Initial Interpolator의 블록도 (b) INV_TUN 회로도 (c) Initial Interpolator 출력 타이밍도

Fig. 5 (a) Block diagram of Initial Interpolator (b) circuit of INV_TUN (c) timing diagram of Initial Interpolator output

III. 칩 구현 및 측정 결과

그림 6(a)는 제작된 32-phase DLL의 칩 사진이며, (b)는 layout이다. 제안된 DLL은 1.2 V의 공급 전압, 0.11- μm 1-poly 6-metal CMOS 공정을 이용하여 제작하였다.

(a)

(b)

그림 6. 제작된 32-phase DLL (a) 칩 사진 (b) layout
Fig. 6 Fabricated 32-phase DLL (a) Chip microphotograph (b) layout

출력 클럭의 위상 선택을 위한 encoder를 포함한 DLL의 면적은 $480 \times 550 \mu\text{m}^2$ 이고, 전력 소모는 125 MHz 동작 주파수에서 9.6 mW이다. 측정된 32-phase DLL의 동작 주파수는 40 MHz에서 280 MHz이다. 동작 주파수 전 영역에서 32-위상 클럭을 출력한다.

(a)

(b)

(c)

그림 7. 125 MHz 동작 주파수에서 측정된 32-위상 출력 클럭 파형 (a) $\Phi 30,31,0 \sim \Phi 11$ (b) $\Phi 11 \sim \Phi 23$ (c) $\Phi 23 \sim \Phi 31,0,1,2$

Fig. 7 Measured waveform of 32-phase output clock at 125 MHz (a) $\Phi 30,31,0 \sim \Phi 11$ (b) $\Phi 11 \sim \Phi 23$ (c) $\Phi 23 \sim \Phi 31,0,1,2$

그림 7은 125 MHz의 동작 주파수에서 측정된 DLL의 32-위상 출력 클럭의 파형이다. 그림 7(a)는 출력 클럭의 30 번째 위상에서 11번째 위상까지 측정된 파형이며, (b)와 (c)는 각각 11번째 위상에서 23번째 위상까지, 23번째 위상에서 2번째 위상까지 측정된 파형이다. 그림 7의 결과로부터 $\Phi 0$ 과 $\Phi 31$ 의 클럭 위상이 다른 위상의 클럭 대비 큰 작은 위상을 가진다. 즉, 위상의 오프셋이 발생되었는데, 이는 Initial Interpolator에서의 부정합과 PD의 오프셋으로 인해 발생한다. 측정된 값은 Initial Interpolator의 2-bit 디지털 코드 ($D_0[1:0]$, $D_1[1:0]$)로 125 MHz 동작 주파수에서 32번째 위상 출력 클럭이 최대 20 ps의 delay time이 보상되었으며, 이는 1-step resolution의 8%에 해당한다.

그림 8은 125 MHz의 동작 주파수에서 측정된 32-위상 출력 클럭의 differential non-linearity (DNL)이다. 125 MHz 동작 주파수에서 1-step resolution에 해당하는 250 ps가 1-LSB 일 때, DNL은 -0.496 LSB에서 +0.14 LSB로 측정되었다. 또한, 40 MHz에서 280 MHz 동작 주파수 영역에서 측정된 최대 DNL은 +0.792/-0.731 LSB이다. 그림 8에 보인 바와 같이, 최대 DNL 값은 0번째 위상과 1번째 위상에서 나타나는데, 이는 Initial Interpolator의 블록에서 발생된 부정합과 PD의 오프셋, 그리고 layout 상의 signal routing loading의 부정합으로부터 발생한다.

그림 8. 125 MHz 동작 주파수에서 측정된 출력 클럭의 DNL

Fig. 8 Measured DNL of output clock with frequency of 125 MHz

(a)

(b)

그림 9. 125 MHz 동작 주파수에서 측정된 출력 클럭의 특성 (a) delay 선형성 (b) INL
Fig. 9 Measured performance output clock at 125 MHz (a) delay linearity (b) INL

그림 10. 출력 클럭의 측정된 jitter histogram
Fig. 10 Measured jitter histogram of DLL

그림 11. 주파수 변화에 따라 입·출력 클럭의 측정된 jitter histogram

Fig. 11 Measured jitter of DLL according to frequency change

표 1. 다중 위상 고정 지연 루프 성능 요약
Table. 1 Performance summary of multi-phase DLL

공정	0.11- μ m CMOS
공급 전압	1.2 V
면적	480 x 550 μ m ²
전력 소모	9.6 mW
동작 영역	40 MHz ~ 280 MHz
DNL(LSB)	+0.792/-0.731 LSB
INL(LSB)	+0.629/-0.843 LSB
Jitter (@125 MHz)	3.56ps rms 30ps peak-to-peak

그림 9는 125 MHz의 동작 주파수에서 측정된 32-위상 출력 클럭의 delay 선형성과 integral non-linearity (INL)이다. 125 MHz 동작 주파수에서 INL은 -0.404 LSB에서 +0.46 LSB로 측정되었다. 또한, 40 MHz에서 280 MHz 동작 주파수 영역에서 측정된 최대 INL은 +0.629/-0.843 LSB이다.

그림 10은 125 MHz 동작 주파수에서 측정된 출력 클럭의 jitter histogram이다. 측정된 rms jitter와 peak-to-peak jitter는 각각 3.56 ps와 30 ps이다. DLL은 입력 기준 클럭 jitter를 제거하지 못하기 때문에, DLL의 자체 jitter 특성은 출력 jitter에서 입력 기준 클럭의 jitter 값의 차이로 결정한다.

그림 11은 40 MHz에서 280 MHz 동작 주파수 영역에서 측정된 DLL 출력 클럭과 입력 기준 클럭의 rms jitter와 peak-to-peak jitter이다. 125 MHz 동작 주파수에서 측정된 DLL의 입력 기준 클럭의 rms jitter와 peak-to-peak jitter는 각각 1.75 ps와 12.9 ps이다. 표 1은 제작된 DLL의 측정된 성능의 요약이다.

IV. 결 론

40 MHz에서 280 MHz 동작 주파수에서 32-위상 클럭을 출력하는 다중 위상 DLL은 matrix 구조의 delay line을 사용하였다. 제안된 다중 위상 지연 고정 루프는 delay line의 differential non-linearity (DNL)를 개선하기 위해 4×8 matrix 구조의 delay line을 사용하였다. 4×8 matrix delay line 입력 단의 네 지점에 공급되는 클럭의 위상을 보정함으로써 제안하는 지연 고정 루프의 integral non-linearity (INL)을 개선하였다. 설계된 32-위상 DLL은 1.2 V supply를 이용하는 0.11- μ m 1-poly 6-metal CMOS 공정에서 제작하였다. Matrix 입력단의 비선형성을 보정할 수 있는 기법으로 125 MHz 동작 주파수에서 32 번째 phase 출력이 최대 1-step resolution의 8%만큼 보상하였다. 동작 주파수 영역에서 다중 위상 DLL의 DNL과 INL은 각각 0.792 LSB와 0.843 LSB 이하로 측정하였다. 125 MHz 동작 주파수에서 다중 위상 DLL의 rms jitter와 peak-to-peak jitter는 각각 3.56 ps와 30 ps로 측정하였다. 면적과 전력 소모는 각각 480 x 550 μ m²과 1.2 V 공급전압에서 9.6 mW이다.

감사의 글

본 논문은 지식경제부 출연금으로 수행한 ETRI SW-SoC융합 R&BD 센터와의 공동연구 결과입니다.

참고문헌

- [1] J. G. Maneatis and M. A. Horowitz, "Precise Delay Generation Using Coupled Oscillators," IEEE J. Solid-State Circuits, vol. 28, no. 12, pp. 1273-1282, Dec. 1993.
- [2] S. Sidiropoulos and M. A. Horowitz, "A Semidigital Dual Delay-Locked Loop," IEEE J. Solid-State Circuits, vol. 32, no. 11, pp. 1683-1692, Nov. 1997.
- [3] Y. Moon, J. Choi, K. Lee, D. Jeong, and M. Kim, "An All-Analog Multiphase Delay-Locked Loop Using a Replica Delay Line for Wide-Range Operation and Low-Jitter Performance," IEEE J. Solid-State Circuits, vol. 35, no. 3, pp. 377-384, Mar. 2000.
- [4] J.-M. Chou, Y.-T. Hsieh, and J.-T. Wu, "Phase averaging and interpolation using resistor strings or resistor rings for multi-phase clock generation," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 53, no. 5, pp. 984 - 991, May 2006.
- [5] Y.-S. Kim, S.-K. Lee, H.-J. Park and J.-Y. Sim, "A 110 MHz to 1.4 GHz Locking 40-Phase All-Digital DLL," IEEE J. Solid-State Circuits, vol. 46, no. 2, pp. 435-444, Feb. 2011.
- [6] Y.-S. Kim, S.-J. Park, Y.-S. Kim, D.-B. Jang, S.-W. Jeong, H.-J. Park and J.-Y. Sim, "A 40-to-800 MHz locking multi-phase DLL," IEEE Int. Solid-State Circuits Conf. 2007 Dig. Tech Papers, pp.306 - 307, Feb. 2007.

저자소개

이광훈 (Kwang-Hun Lee)

2011.2 금오공과대학교
전자공학부 (공학사)
2011.3 ~ 현재 금오공과대학교
대학원 석사과정

※ 관심분야 : High-speed I/O interface, Clock generator

장영찬 (Young-Chan Jang)

1995.2 경북대학교 전자전기
공학부 (공학사)
2001.2 포항공과대학교
전자전기공학과 공학석사

2005.2 포항공과대학교 전자전기공학과 공학박사
2005.3 ~ 2009.8 삼성전자 반도체총괄 책임연구원
2009.8 ~ 현재 금오공과대학교 전자공학부 조교수
※ 관심분야 : High-speed I/O interface, Data converter 및
Mixed mode analog IC design