스켈링 이론에 따른 DGMOSFET의 문턱전압 및 DIBL 특성 분석

정חק기*

Analysis of Threshold Voltage and DIBL Characteristics for Double Gate MOSFET Based on Scaling Theory

Hakkee Jung*

요 약

본 연구에서는 차세대 나노소자인 DGMOSFET에 대하여 문턱전압 이하영역에서 발생하는 단채널 효과 중 문턱전압 및 드레인유도장벽감소의 변화를 스켈링 이론에 따라 분석하였다. 포아송방정식의 분석학적 해를 구하기 위하여 전하분포함수에 대하여 가우시안 함수를 사용함으로써 보다 실험값에 가깝게 해석하였으며 이때 가우시안 함수의 변수인 이온주입범위 및 분포편차 그리고 소자 파라미터인 채널의 두께, 도핑농도 등에 대하여 문턱전압 특성의 변화를 관찰하였다. 본 연구의 모델에 대한 타당성은 이미 기존에 발표된 논문에서 입증하였으며 본 연구에서는 이 모델을 이용하여 문턱전압이하 특성을 분석하였다. 분석결과 스켈링 이론 적용 시 문턱전압 및 드레인유도장벽감소 현상이 변화하였으며 변화정도는 소자 파라미터에 따라 변화한다는 것을 관찰하였다.

ABSTRACT

This paper has presented the analysis for threshold voltage and drain induced barrier lowering among short channel effects occurred in subthreshold region for double gate(DG) MOSFET as next-generation devices, based on scaling theory. To obtain the analytical solution of Poisson's equation, Gaussian function has been used as carrier distribution to analyze closely for experimental results, and the threshold characteristics have been analyzed for device parameters such as channel thickness and doping concentration and projected range and standard projected deviation of Gaussian function. Since this potential model has been verified in the previous papers, we have used this model to analyze the threshold characteristics. As a result to apply scaling theory, we know the threshold voltage and drain induced barrier lowering are changed, and the deviation rate is changed for device parameters for DGMOSFET.

키워드

DGMOSFET, 문턱전압, 드레인유도장벽감소, 도핑분포, 가우시안 분포, 포아송방정식, 스켈링

Key word

DGMOSFET, threshold voltage, drain induced barrier lowering, doping distribution, Gaussian distribution, Poisson equation, scaling

* 종신회원 : 군산대학교(교신저자, hkjung@kunsan.ac.kr)

접수일자 : 2012. 09. 03

심사완료일자 : 2012. 09. 20

I. 서 론

최근 반도체소자는 나노단위의 게이트길이를 갖는 메모리 및 CPU 등의 개발로 새로운 기술개발 경쟁에 돌입하고 있다. 집적회로의 생산성을 증대시키고 가격경쟁력을 제고하기 위해선 트랜지스터 크기의 감소노력은 필수적이며 이 때 발생할 수 있는 이차효과의 해석은 반도체소자 연구의 핵심이 되고 있다. 이차효과 중 채널길이 감소에 의하여 발생하는 단채널 효과는 기존의 CMOSFET에서는 더 이상 제거할 수 없는 상황에 도달했다. 즉, 문턱전압의 이동, 문턱전압이하 스윙의 저하, 드레인유도장벽감소 현상의 발생 등 단채널로 인하여 발생하는 문턱전압이하 특성의 변화로 인하여 차단전류의 증가 및 문턱전압의 변화로 어려움을 겪고 있다. 이러한 문제점을 해결하기 위하여 연구개발중에 있는 소자가 다중게이트 MOSFET이다.

다중게이트 FET(Multi Gate FET; MugFET)는 게이트를 채널주위로 여러 개 제작하여 게이트에 의한 채널내 전하의 제어능력을 향상시키고 채널을 완전결핍상태로 동작하게 하므로 스위칭속도를 향상시킬 수 있다는 장점을 가진다. 그러므로 향후 단일 게이트 CMOSFET를 대체하여 메모리 및 CPU 등 반도체 집적회로에 주요 소자로 사용될 것이다. MugFET 소자는 여러 가지 형태를 가진다. 상하에 게이트를 제작하는 수직형 이중게이트(Double Gate; DG) MOSFET, 채널을 핀(fin)형태로 제작하여 3개의 게이트를 가지도록 제작하는 FinFET, 그리고 완전히 채널을 감싸도록 제작하는 서라운드(surrounding) MOSFET 등 다양한 형태가 연구 중에 있다[1-3]. 이 가운데 DGMOSFET는 가장 간단하며 이론적 연구에 많이 사용되고 있다.

본 연구에서는 DGMOSFET의 채널내 전위분포를 이용한 문턱전압이하 특성의 분석을 위하여 포아송방정식의 해석학적 모델을 이용하였다. 이 모델은 이미 타당성이 입증되었으며 이 모델을 이용하여 단채널 효과를 해석하였다[4,5]. 본 연구에서는 이 모델을 스켈링 이론과 접목하여 문턱전압의 특성을 분석하고자 한다. 스켈링 이론은 소자의 크기변화에 따라 출력특성을 일정하게 유지하기 위하여 사용되고 있는 이론으로서 기존의 CMOSFET의 경우 매우 만족할 만한 결과를 가져오고 있다. 이 이론을 DGMOSFET에 적용하였을 때 문턱전압의 특성변화는 채널길이 및 게이트산화막 두께의

범위에 따라 변화할 것이다. 즉, 스켈링 이론을 적용하였을 때 이중게이트 MOSFET의 채널 크기에 따라 스켈링 인자가 미치는 영향을 고찰 할 것이다.

2장에서는 포아송방정식의 해석학적 모델 및 스켈링 이론에 대하여 설명할 것이며 3장에서 이 모델 및 스켈링 이론을 적용하였을 경우, 문턱전압이하 특성의 변화를 고찰 할 것이다. 또한 4장에서 결론을 맺을 것이다.

II. 문턱전압과 스켈링 이론

그림 1. DGMOSFET의 개략도
Fig. 1 Schematic view of DGMOSFET

그림 1은 이 논문에서 사용한 DGMOSFET의 개략도이다. 이 구조의 x, y, z 방향에 대한 포텐셜분포를 구하기 위하여 포아송방정식을 이용하였다.

$$\nabla^2 \Psi = qn(x)/\epsilon_{Si} \quad (1)$$

여기서 $n(x)$ 는 채널내 도핑농도이며 ϵ_{Si} 는 실리콘의 유전율이다. 이 식에 대한 해석학적 모델을 구하기 위하여 z 방향의 전위분포변화는 무시할 수 있을 정도이므로[6] x 와 y 방향에 대해서 전위분포를 해석하였으며 이때 전하분포는 다음과 같은 가우스 함수를 이용하였다.

$$n(x) = N_p \exp\left(-\left\{\frac{x-R_p}{\sqrt{2}\sigma_p}\right\}^2\right) \quad (2)$$

여기서 N_p 는 이온주입시 도즈량에 의하여 결정되는 최대 도핑 분포값이며 R_p 와 σ_p 는 각각 이온주입의 범위 및 분포편차를 나타낸다. 식 (1)과 (2)를 풀기 위하여 다음과 같은 경계조건과 Tiwari 등의 전개방법[4]을 이용하면 전위분포를 구할 수 있다.

이렇게 구한 전위분포 중, 게이트산화막과 반도체와의 계면에서 표면전위를 구하고 이의 최소값을 구하면 문턱전압을 구할 수 있다. 즉, 문턱전압의 정의를 이용하면 표면전위의 최소값이 페르미전위 ϕ_f 의 2배가 될 때 게이트전압을 구하여 문턱전압으로 정한다. 정의를 이용하여 구한 문턱전압은 다음과 같다.

$$V_{th} = \frac{R - \{R^2 - 4(4HK - 1) \times (4NP - Q^2)\}^{1/2}}{8HK - 2} \quad (3)$$

$$Q = V_{fb} + 2\phi_f + \lambda^2 q N_p \exp(-B^2) / \epsilon_{si}$$

$$R = 2Q - 4HK[(M - V_D / (\exp(L_g / \lambda) - 1)) + (M - V_D / (\exp(-L_g / \lambda) - 1))]$$

여기서 H, K, M, λ, N, P 는 참고문헌[5]에 표시되어 있다. 식(3)에서 ϕ_f 는 페르미전위, ϵ_{si} 는 실리콘의 유전율, V_D 는 드레인 전압이다. 식 (3)에서 알 수 있듯이 문턱전압은 드레인 전압에 따라 변화하므로 0.1V로 고정하여 관찰하였다.

일반적인 스켈링 이론에 따라 전기적 출력특성을 유지하기 위하여 채널길이, 채널두께, 게이트산화막 두께, 채널폭 등을 스켈링 인자 S 배 만큼 감소시켰을 때 채널 도핑농도는 S^2 배만큼 증가시켜야 한다. DGMOSFET의 경우 게이트단자가 2개 존재하므로 상기에서 언급한 스켈링 이론의 타당성 여부를 고찰해야만 한다. 그러므로 본 연구에서는 스켈링 이론의 타당성 여부를 문턱전압을 이용하여 고찰할 것이다.

III. 스켈링 이론에 따른 문턱전압의 변화

그림 2에 채널두께에 따른 문턱전압의 변화를 스켈링 인자에 따라 도시하였다. 채널두께가 증가할수록 문턱전압이 감소하고 있다는 것을 알 수 있다. 또한 스켈링

인자가 증가할수록 문턱전압도 증가하고 있으나 문턱전압 증가율은 스켈링 인자가 증가할수록 감소하고 있다는 것을 관찰할 수 있다. 스켈링인자의 증가는 채널두께의 감소를 야기시키며 결국 차단전류의 감소를 초래할 것이므로 문턱전압이 증가하는 것이다.

그림 2. 스켈링 인자를 파라미터로 한 채널두께에 따른 문턱전압의 변화

Fig. 2 The variation of threshold voltage with the parameter of scaling factor for channel thickness

그림 3. 스켈링 인자를 파라미터로 한 게이트산화막 두께에 따른 문턱전압의 변화

Fig. 3 The variation of threshold voltage with the parameter of scaling factor for gate oxide thickness

게이트산화막 두께의 변화에 따른 문턱전압의 변화를 관찰하기 위하여 그림 3에 스켈링 인자를 파라미터로 문턱전압의 변화를 도시하였다. 산화막두께가 증가할수록 문턱전압은 감소하고 있다는 것을 관찰할 수 있었다. 또한 스켈링 인자의 증가에 따라 문턱전압이 증가하

였다. 그러나 문턱전압 증가분은 감소하고 있었다. 이는 그림 2의 채널두께에 대한 문턱전압의 변화와 유사한 특징을 보이고 있다. 즉, 채널두께와 게이트산화막 두께에 대한 스켈링 인자의 문턱전압에 대한 영향은 동일하다고 사료된다.

그림 4에 드레인전압이 문턱전압에 미치는 영향을 관찰하기 위하여 채널두께에 따라 드레인유도장벽감소 현상을 스켈링 인자를 파라미터로 도시하였다.

그림 4. 채널길이가 30 nm일 때 스켈링 인자를 파라미터로 한 채널두께에 따른 드레인유도장벽감소의 변화

Fig. 4 The variation of threshold voltage with the parameter of scaling factor for channel thickness in case of channel length 30 nm

그림 5. 채널길이가 100 nm일 때 스켈링 인자를 파라미터로 한 채널두께에 따른 드레인유도장벽감소의 변화

Fig. 5 The variation of threshold voltage with the parameter of scaling factor for channel thickness in case of channel length 100 nm

결과적으로 채널두께가 증가할수록 드레인유도장벽 감소 현상은 증가하였으며 스켈링 인자가 증가할수록 드레인유도장벽감소 현상은 감소하였다. 그림 2에서 알 수 있듯이 스켈링 인자가 증가할수록 문턱전압의 증가분이 감소하므로 결과적으로 드레인유도장벽감소 현상도 감소하고 있다. 채널길이가 30 nm로 단채널일 때는 그림 4와 같이 드레인유도장벽감소 현상이 나타나지만 채널길이가 100 nm 정도로 증가하면 그림 5와 같이 드레인유도장벽감소 현상은 거의 무시할 수 있을 정도로 작게 나타나고 있다는 것을 관찰할 수 있다. 그러나 약간의 차이이지만 스켈링 인자의 증가에 의하여 드레인유도장벽감소 현상을 감소시킬 수 있다.

그림 6에 게이트산화막 두께에 따라 드레인유도장벽 감소 현상을 스켈링 인자를 파라미터로 도시하였다. 결과적으로 게이트산화막 두께가 증가할수록 드레인유도장벽감소 현상은 증가하였으며 스켈링 인자가 증가할수록 드레인유도장벽감소 현상은 감소하였다. 그림 3에서 알 수 있듯이 스켈링 인자가 증가하면 문턱전압이 감소하므로 드레인유도장벽감소 현상도 감소하고 있는 것이다.

그러나 게이트산화막 두께가 매우 작은 경우 드레인유도장벽감소 현상은 스켈링 인자에 따라 거의 일정하게 나타나다가 게이트산화막 두께가 증가하면 스켈링 인자에 따라 드레인유도장벽감소 현상이 차이를 보이는 것을 알 수 있다.

그림 6. 스켈링 인자를 파라미터로 한 게이트 산화막 두께에 따른 드레인유도장벽감소의 변화

Fig. 6 The variation of threshold voltage with the parameter of scaling factor for gate oxide thickness

채널길이와 채널두께가 각각 100 nm와 50 nm로 증가하였을 경우 드레인유도장벽감소 현상의 변화를 그림 7에 도시하였다. 예측한 바와같이 드레인유도장벽감소 현상은 현저히 감소하였다. 게이트산화막 두께가 증가할수록 드레인유도장벽감소 현상은 증가하였으며 스켈링 인자가 증가하면 감소하였다.

그림 7. 스켈링 인자를 파라미터로 한 게이트 산화막 두께에 따른 드레인유도장벽감소 의 변화

Fig. 7 The variation of threshold voltage with the parameter of scaling factor for gate oxide thickness

이는 채널의 크기와 무관하게 관측되고 있다는 것을 알 수 있다. 그러나 그림 6과 비교해 보면, 그림 7의 경우는 단채널 효과의 감소에 의하여 드레인유도장벽감소 현상이 현저히 감소하였다.

IV. 결 론

본 연구에서는 두 개의 게이트단자를 가진 차세대 나노소자인 DGMOSFET에 대하여 문턱전압 이하영역에서 발생하는 단채널 효과 중 문턱전압 및 드레인유도장벽감소의 변화를 스켈링 인자에 따라 분석하였다. 특히 소자 파라미터인 채널두께 및 게이트산화막 두께 등의 변화에 대하여 문턱전압 및 드레인유도장벽감소 현상의 변화를 관찰하였다. 분석결과 채널두께 및 게이트산화막 두께가 증가할수록 문턱전압이 감소하고 스켈링 인자가 증가할수록 문턱전압이 증가하고 있다는 것을 관찰하였다. 또한 채널두께 및 게이트산화막

두께가 증가할수록 드레인유도장벽감소 현상이 증가하고 스켈링 인자가 증가할수록 드레인유도장벽감소 현상이 감소하고 있다는 것을 관찰하였다. 이러한 결과는 향후 이중게이트 MOSFET의 개발에 기초가 될 것이다.

참고문헌

- [1] A.J.Garcia-Loureiro, N.Seoane, M.Aldegunde and R.Valin, "Implementation of the Density Gradient Quantum Corrections for 3-D Simulations of Multigate Nanoscaled Transistors," IEEE Trans. on CAD of IC and Systems, Vol.30, No.6, pp841-851, 2011.
- [2] K.A.Shaik, A.Amara, C.D.Parikh and A.Singhal, "Low power and fast adder implementation with Double Gate MOSFETs," 2011 Faible Tension Faible Consommation, pp.23-26, 2011.
- [3] G.Dessai and G.Gildenblat, "Inclusion of the Accumulation Region in the Compact Models of Bulk and SOI FinFETs," IEEE Trans. Electron Devices, Vol. 58, no.8, pp.2644-2651, 2011.
- [4] P.K. Tiwari, S. Kumar, S. Mittal, V. Srivastava, U. Pandey and S. Jit, "A 2D Analytical Model of the Channel Potential and Threshold Voltage of Double-Gate(DG) MOSFETs with Vertical Gaussian Doping Profile," IMPACT-2009, pp.52-55, 2009.
- [5] H.K.Jung, "Analysis of Doping Profile Dependent Threshold Voltage for DGMOSFET Using Gaussian Function," International Journal of KIMICS, Vol.9, No.3, pp.310-314, 2011.
- [6] D.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 53, no.4, pp.737-741, 2006.

저자소개

정 학 기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.

1985.3 연세대학교 전자공학과 M.S.

1990.8 연세대학교 전자공학과

Ph.D

1995.8 일본 오사카대학 교환교수

2005.8 호주 그리피스대학 교환교수

1990.3-현재 군산대학교 전자공학과 교수

2013.1-현재 한국정보통신학회 수석부회장

※관심분야: 반도체소자 시뮬레이션, 몬테칼로
시뮬레이션, 회로및 시스템 해석 등