40MHz의 대역폭과 개선된 선형성을 가지는 Active-RC Channel Selection Filter

이한열 · 황유정 · 장영찬*

Active-RC Channel Selection Filter with 40MHz Bandwidth and Improved Linearity

Han-Yeol Lee · Yu-Jeong Hwang · Young-Chan Jang*

Department of Electronic Engineering, Kumoh National Institute of Technology, Gumi, Gyeongbuk 730-701, Korea

요 약

본 논문에서는 40MHz의 대역폭과 개선된 선형성을 가지는 active-RC channel selection filter (CSF)가 제안된다. 제안되는 CSF는 5차 butterworth 필터로써 한 단의 1차 low pass 필터와 두 단의 biquad 기반의 2차 low pass 필터, 그리고 DC offset 제거를 위한 DC 피드백 회로로 구성된다. CSF의 선형성을 개선하기 위해 스위치로 사용되는 MOSFET의 body를 source 노드로 연결한다. 설계된 CSF의 대역폭은 10MHz, 20MHz, 그리고 40MHz로 선택될 수 있으며, 전압 이득은 0dB에서 24dB까지 6dB의 단위로 조정된다. 제안된 CSF는 1.2V 40nm의 1-poly 8-metal CMOS 공정에서 설계된다. 설계된 CSF가 40MHz의 대역폭과 0dB의 gain을 가질 때, OIP3는 31.33dBm이고 in-band ripple은 1.046dB, IRN는 39.81nV/sqrt(Hz)로 시뮬레이션 검증되었다. CSF의 면적과 전력소모는 각각 $450 \times 210 \mu\text{m}^2$ 와 6.71mW 이다.

ABSTRACT

An active-RC channel selection filter (CSF) with the bandwidth of 40MHz and the improved linearity is proposed in this paper. The proposed CSF is the fifth butterworth filter which consists of a first order low pass filter, two second order low pass filters of a biquad architecture, and DC feedback circuit for cancellation of DC offset. To improve the linearity of the CSF, a body node of a MOSFET for a switch is connected to its source node. The bandwidth of the designed CSF is selected to be 10MHz, 20MHz and 40MHz and its voltage gain is controlled by 6 dB from 0 dB to 24 dB. The proposed CSF is designed by using 40nm 1-poly 8-metal CMOS process with a 1.2V. When the designed CSF operates at the bandwidth of 40 MHz and voltage gain of 0 dB, the simulation results of OIP3, in-band ripple, and IRN are 31.33dBm, 1.046dB, and 39.81nV/sqrt(Hz), respectively. The power consumption and layout area are $450 \times 210 \mu\text{m}^2$ and 6.71mW.

키워드 : Channel selection filter, active-RC 필터, biquad 필터, DC 피드백

Key word : Channel selection filter, active-RC filter, biquad filter, DC feedback

접수일자 : 2013. 09. 06 심사완료일자 : 2013. 09. 26 게재확정일자 : 2013. 10. 09

* Corresponding Author Young-Chan Jang(E-mail:ycjang@kumoh.ac.kr, Tel:+82-54-478-7434)

Department of Electronic Engineering, Kumoh National Institute of Technology, Gumi, Gyeongbuk 730-701, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2013.17.10.2395>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

최근 CDMA (Code Division Multiple Access)/LTE (Long Term Evolution) 휴대전화, GNSS (Global Navigation Satellite System), DVB (Digital Video Broadcasting), WLAN (Wireless Local Area Network)/WiMax (World Interoperability for Microwave Access), WPAN (Wireless Personal Area Network) 등 다양한 현대 무선 통신 표준은 급속하게 발전하고 있다. 휴대폰을 용이하게 사용하기 위해 단일 칩에 multi-standard/multi-mode 통신 시스템 통합이 요구된다. 따라서 software-defined radio (SDR)는 가장 경쟁력 있는 해결책의 하나로서 개발되고 있다 [1]-[4]. 일부 재구성 가능한 analog baseband IC는 무선 통신 시스템의 요구에 따라 수백 kHz에서 수십 MHz까지 허용 가능한 대역폭이 요구된다. 이와 같은 시스템에서는 일반적으로 대역폭의 변경을 통한 channel selection 기능과 전압 이득의 가변 기능이 가능한 필터가 요구된다. 더욱이 선형성의 개선과 노이즈의 감소를 위해 주로 active-RC 구조의 필터가 사용된다. 대역폭의 조정이나 필터의 전압 이득의 조정을 위해 저항과 커패시터가 MOSFET으로 구성되는 스위치와 함께 사용되는데, 이 경우 MOSFET의 비선형성으로 필터 전체의 선형성이 악화된다.

본 논문은 40MHz의 대역폭과 개선된 선형성을 가지는 active-RC channel selection filter (CSF)를 제안한다. 제안되는 CSF는 5차 butterworth 필터로써 한 단의 1차 low pass 필터와 두 단의 biquad 기반의 2차 low pass 필터, 그리고 DC offset cancellation (DCOC)를 위한 DC feedback (DCFB)회로로 구성된다 [2][3]. 대역폭과 전압 이득의 제어를 위해 저항과 스위치로 구성된 저항열 및 커패시터와 스위치로 구성된 커패시터열에 스위치로 사용되는 MOSFET의 body를 source 노드로 연결함으로써 선형성을 개선한다. CSF를 위한 연산증폭기는 입력과 출력의 넓은 전압 범위를 가지는 완전 차동 class AB 구조를 사용한다. 본 논문의 II 장에서는 제안하는 CSF의 구조를 소개하며, III 장에서는 CSF를 위한 구체적인 회로를 소개한다. IV 장에서는 CSF의 구현 및 시뮬레이션 결과를 보여주며, 마지막 V장에서 본 논문의 결론을 맺는다.

II. Channel Selection Filter 구조

그림 1은 제안된 CSF의 블록도이다. CSF는 5차 butterworth 필터이며, stage1과 stage2, stage3으로 구성된다. Stage1은 연산증폭기와 저항, 커패시터로 구성된 1차 low pass 필터이고 stage2와 stage3은 연산증폭기 2개와 저항, 커패시터로 구성된 biquad 필터로 2차 low pass 필터이다.

CSF의 구현은 노이즈의 감소와 선형성의 개선을 위해 active-RC type의 biquad형태로 설계하였으며 필터에 사용된 모든 커패시터는 MOSFET으로 구성되는 스위치를 이용한 커패시터열로 구성하여 차단 주파수를 조정할 수 있도록 설계하였다. 또한, 저항은 MOSFET으로 구성되는 스위치를 이용한 저항열로 구성하여 필터의 전압 이득을 조정할 수 있도록 설계하였다.

그림 1. CSF의 블록도
Fig. 1 Block diagram of CSF

연산증폭기와 저항, 커패시터로 구성된 stage1의 전달함수는 식 (1)과 같다.

$$H(s) = \frac{R_2}{R_1} \cdot \frac{1}{1 + sR_2C_1} \quad (1)$$

식 (1)에 따르면 stage1의 R2는 차단 주파수와 전압 이득 모두에 영향을 미치지만 R1은 전압 이득에만 영향을 미치므로 R2는 고정하고 R1을 조정함으로써 차단 주파수에는 영향을 미치지 않고 전압 이득을 조정할 수 있다. 그리고 R2를 고정하였으므로 차단 주파수의 유일한 변수는 C1이 된다. 따라서 C1을 조정함으로써 차단

주파수를 조정할 수 있다.

CSF의 전압 이득은 stage1에서 0dB와 6dB, 12dB, stage2에서 0dB와 6dB, stage3에서 0dB와 6dB로 조정한다. 따라서 CSF의 전압 이득은 0dB부터 24dB까지 6dB의 단위로 조정가능하다.

CSF의 대역폭은 stage1과 stage2, stage3의 차단 주파수를 동시에 조정함으로써 변경할 수 있으며 10MHz와 20MHz, 40MHz로 선택이 가능하다. 또한, 각각의 주파수에서 차단 주파수를 미세 조정 할 수 있다.

III. 회로 설명

3.1. 저항열 및 커패시터열

저항과 커패시터의 크기는 IRN과 전압 이득 에러, layout 면적과 관련되기 때문에 설계를 함에 있어서 고려하여야 할 부분이다. 본 설계에서는 R2의 크기를 R로 고정하고 그림 2(a), 2(b)와 같이 R1과 C1의 저항열과 커패시터열을 구성하였다.

그림 2. (a) R1의 저항열 (b) C1의 커패시터열

Fig. 2 (a) Resistor array of R1 (b) Capacitor array of C1

MOSFET으로 구성되는 스위치와 저항으로 구성된 저항열은 MOSFET의 비선형성에 의해 CSF의 OIP3 특

성을 악화시킨다. 따라서 CSF의 선형성은 저항열의 구성요소인 저항과 MOSFET으로 구성되는 스위치의 turn on resistance의 비율에 의해 결정된다. MOSFET으로 구성되는 스위치의 turn on resistance는 식 (2)와 같다.

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (2)$$

식 (2)에 따르면 MOSFET으로 구성되는 스위치의 turn on resistance를 줄이기 위해서는 W/L 또는 $V_{GS} - V_{TH}$ 의 값을 증가시켜야 된다. W/L를 조정하는 것이 설계하는데 있어 간편하지만 MOSFET의 W/L의 크기는 junction capacitance의 크기와 비례하므로 parasitic capacitance가 증가하여 CSF의 특성이 악화되고, 더불어 layout 면적이 커지게 된다. $V_{GS} - V_{TH}$ 의 값을 조정하기 위해서는 body 전압을 증가 또는 감소시켜야 한다. 따라서 MOSFET으로 구성되는 스위치의 turn on resistance를 감소시키기 위해서는 문턱전압 (V_{TH})을 낮추면 된다.

본 논문에서는 CSF의 전압이득과 차단주파수를 조정하기 위해 사용되는 스위치를 그림 2와 같이 N-type MOSFET로만 구성하여 MOSFET의 source를 가상접지에 연결하였다. 또한 CSF의 선형성을 개선하기 위해 N-type MOSFET의 body를 가상접지로 연결함으로써 MOSFET의 문턱전압을 낮추었다. 이에 따라 N-type MOSFET으로 구성된 스위치의 turn on resistance가 감소하게 된다. 여기서 N-type의 MOSFET는 deep NWELL layer를 이용하여 body를 분리하였다. N-type MOSFET의 body를 분리하여 접지가 아닌 다른 전압을 가할 때 주의할 점은 N-type의 MOSFET으로 구성되는 스위치가 turn off 될 때이다. N-type의 MOSFET의 drain의 전압이 body 전압보다 낮아지면 forward bias가 생성될 수 있기 때문에 PN 접합의 문턱전압을 고려하여 설계하여야 한다.

CSF의 stage1의 차단 주파수는 그림 1의 C1의 값에 따라 조정할 수 있다. 그림 1의 C1은 그림 2(b)와 같이 구성된다. CSF의 대역폭은 커패시터열의 BW_SELECT <1:0> 신호에 따라 10MHz와 20MHz, 40MHz로 선택할 수 있다. 대역폭이 10MHz 일 때는 BW_CTRL<6:2>,

20MHz 일 때는 BW_CTRL<5:1>, 40MHz 일 때는 BW_CTRL<4:0>을 조정함으로써 5-비트 바이너리 코드로 대역폭을 미세 조정할 수 있다.

3.2. Biquad 필터

그림 3은 biquad 필터의 블록도를 나타낸다 [2].

$$H(s) = \frac{R_4}{R_1} \cdot \frac{1}{s^2 + \frac{1}{R_3 C_2} s + \frac{1}{R_2 R_4 C_1 C_2}} \quad (3)$$

그림 3. Biquad 필터의 블록도
Fig. 3 Block diagram of biquad filter

CSF에 사용된 biquad 필터는 2개의 연산증폭기와 저항, 커패시터로 구성되며 전달함수는 식 (3)과 같다. 식 (3)에 따르면 biquad 필터의 DC 전압 이득 및 차단 주파수, Q-factor는 식 (4), (5), (6)과 같다.

$$DC\ gain = \frac{R_4}{R_1} \quad (4)$$

$$w_o = \frac{1}{\sqrt{R_2 R_4 C_1 C_2}} \quad (5)$$

$$Q = \frac{R_3 C_2}{\sqrt{R_2 R_4 C_1 C_2}} \quad (6)$$

CSF의 전압이득이나 차단 주파수를 변경함에 있어 Q-factor의 값이 변하게 되면 CSF의 특성인 in-band ripple과 attenuation, 차단 주파수의 원치 않는 변화를 초래한다. 따라서 biquad 필터의 전압 이득이나 차단 주

파수를 조정함에 있어 Q-factor를 유지하기 위해서는 R3의 값을 고정하고 C1과 C2의 값을 똑같이 하였을 때 R2와 R4의 곱을 유지하면 된다. R1과 R2, R4를 모두 같은 값으로 함으로써 0dB의 전압 이득을 가질 수 있고, R2와 R4의 곱을 유지한 채 R1과 R2의 값을 낮추고 R4의 값을 증가시킴으로써 6dB의 전압 이득을 가질 수 있다.

그림 3의 C1과 C2는 그림 2(b)와 동일한 커패시터열로 구성된다. 그리고 식 (5)에 따르면 R2와 R4의 곱은 전압 이득이 바뀌어도 일정한 값을 가지도록 설계하였기에 C1과 C2의 값에 따라 차단 주파수를 조정할 수 있다.

biquad 필터의 R1과 R2, R4는 저항열의 구조를 가지며 그림 2(a)와 같이 MOSFET으로 구성되는 스위치와 저항으로 구성된다.

3.3. 연산증폭기

그림 4는 연산증폭기의 회로도를 나타낸다.

그림 4. 연산증폭기의 회로도
Fig. 4 Circuit diagram of OP-AMP

연산증폭기의 입력 전압 범위를 rail-to-rail로 갖기 위해 NMOS의 입력단 (MN1, MN2)과 PMOS의 입력단 (MP1, MP2) 두 종류를 같이 사용하였다. 각각의 구조는 active load (MP3, MP4, MN3, MN4)로 구성되며 R0~R3 통해 바이어스 전압이 인가된다. MP3와 MP4의 바이어스 전압은 OUTP1과 OUTM1의 virtual ground로써 두 노드의 중앙 값을 가지며 MN3와 MN4의 바이어스 전압은 OUTP2와 OUTM2의 중앙값을 가진다. 1st STAGE 각각의 출력 common mode 전압은 CMFB LOOP에 의해 결정된다. 또한, 출력 전압 범위를 rail-to-rail로 갖기 위해 class AB 구조의 output stage

(2nd stage)를 포함한다.

연산증폭기의 입력 전압 범위와 출력 전압 범위는 각각 식 (7), (8)과 같다.

$$\begin{aligned} \text{input voltage range (min, max)} \\ = VSS, VDD \end{aligned} \quad (7)$$

$$\begin{aligned} \text{output voltage range (min, max)} \\ = VSS+VDSAT, VDD-VDSAT \end{aligned} \quad (8)$$

2-stage로 구성된 OP-AMP의 phase margin을 확보하기 위해 2nd stage의 입력단에 R4~R7, C0~C3를 통해 R, C보상을 하였다. 연산증폭기의 common mode 전압을 일정하게 유지하기 위해 CMFB 기법을 사용하였다. CMFB LOOP는 저항 (R8~R10)과 커패시터 (C4~C6), single ended 출력을 갖는 연산증폭기로 구성된다. 연산증폭기의 출력 (OUTP, OUTM)의 중앙값을 갖기 위해 R8과 R9, C4, C5를 이용하였고, 중앙값을 single ended 출력을 갖는 연산증폭기의 입력으로 인가하였다. 따라서 OUTP와 OUTM의 common mode 전압은 외부로부터 인가되는 VCM과 같은 값을 가질 수 있다.

CMFB LOOP는 2-stage 연산증폭기와 single ended 출력을 갖는 연산증폭기를 포함하기 때문에 loop gain이 크게 나타나고 phase margin을 확보하기에 어려움을 갖는다. 따라서 CMFB LOOP의 전압 이득을 낮추기 위해 1st stage의 active load로 피드백하지 않고 active load보다 MOSFET의 크기를 작게 설계한 MN5, MN6, MP5, MP6의 입력으로 피드백 한다. 피드백에 의해 1st STAGE 각각의 출력 common mode 전압이 변하게 된다. 1st STAGE의 출력 (OUTP1, OUTM1, OUP2, OUTM2)은 2nd STAGE의 입력으로 인가되어 최종출력 (OUTP, OUTM)의 common mode 전압을 외부로부터 인가된 VCM과 같은 값을 가지게 한다. 그리고 phase margin 확보를 위해 C4, C5, C6, R10를 사용하였다.

3.4. DC 피드백

그림 1의 DCFB LOOP는 DC 파워를 필터링하기 위해 사용한다[3]. DC 파워를 필터링하기 위해서 수 kHz ~ 수 MHz에 영점을 만든다. 영점은 그림 1의 C2와 R4에 의해 결정이 되는데, 수 kHz의 영점을 만들기 위해서는 저항과 커패시터 모두 큰 값을 가져야 한다. 본 연구에서는 C2를 20pF으로 결정하고 R4를 저항열로 구

현하여 영점을 미세조정 할 수 있도록 하였다.

그림 5(a), (b)는 각각 그림 1의 R3와 R4의 저항열을 보여준다. DCFB LOOP에 의해 생성된 영점은 그림 1의 R4와 C2 외에도 CSF의 전압 이득이 바뀌게 되면 영점이 변하게 된다. 따라서 CSF의 전압 이득이 바뀌에 따라 그림 1의 R3의 값을 같이 조정해 줌으로써 영점에 영향을 미치게 못하게 한다.

그림 5. (a) R3의 저항열 (b) R4의 저항열

Fig. 5 (a) Resistor array of R3 (b) Resistor array of R4

IV. CSF의 구현 및 시뮬레이션 결과

제안된 CSF는 1.2V 40nm 1-poly 8-metal CMOS 공정에서 제작되었다. 그림 6은 CSF의 layout이며 면적은 $450 \times 210 \mu\text{m}^2$ 이다. 구현된 CSF의 아날로그 입력과 출력의 범위는 1.0 V_{pp}이다. CSF의 대역폭은 10MHz, 20MHz, 40MHz로 선택이 가능하며 각각의 대역폭에서 미세조정이 가능하다. 또한 0dB부터 24dB까지의 전압 이득 조정이 가능하며 6dB 단위로 미세조정이 가능하다.

그림 7은 제안된 연산증폭기의 보테선도를 나타낸다. 연산증폭기의 시뮬레이션은 1.2V, TT corner, 25°C의 환경에서 진행하였으며, 전압 이득은 40.7dB, phase margin은 50.1°, unity gain bandwidth는 560.729MHz

이다.

그림 8은 제안된 CSF의 시뮬레이션 환경을 1.2V, TT corner, 25℃로 하고 40MHz의 대역폭에서 전압 이득을 0dB, 6dB, 12dB, 18dB, 24dB로 하였을 때 CSF의 보데 선도를 나타낸다.

그림 6. CSF의 layout
Fig. 6 Layout of CSF

그림 7. 연산증폭기의 보데선도
Fig. 7 Bode plot of OP-AMP

그림 8. CSF의 보데선도 (@40MHz, 0dB ~ 24dB)
Fig. 8 Bode plot of CSF (@40MHz, 0dB ~ 24dB)

(a)

(b)

(c)

그림 9. 대역폭 조정 코드에 따른 CSF의 대역폭 (a) 40MHz의 경우 (b) 20MHz의 경우 (c) 10MHz의 경우

Fig. 9 Bandwidth of CSF according to bandwidth control code (a) case of 40MHz (b) case of 20MHz (c) case of 10MHz

그림 10. CSF의 스텝 응답 (@40MHz, 0dB)
Fig. 10 Step response of CSF (@40MHz, 0dB)

그림 9(a)는 1.2V, TT corner, 25℃에서 CSF의 대역폭이 40MHz일 때 5-비트의 미세조정에 따른 CSF의 대역폭 변화를 나타낸다. 그리고 그림 9(b)와 9(c)는 각각 20MHz, 10MHz일 때 CSF의 대역폭 변화를 나타낸다. 그림 10은 1.2V, TT corner, 25℃의 환경에서 CSF의 스텝 응답을 나타낸다. 590mV에서 610mV의 크기를 갖는 스텝 입력을 인가하였을 때 CSF의 DCFB에 의해 DC offset을 없애주는 것을 확인할 수 있고, 이때의 정착시간 (settling time)이 160us인 것을 확인할 수 있다.

표 1은 CSF의 대역폭이 40MHz에 0dB의 전압 이득을 가질 때 CSF의 특성을 나타낸다. 그리고 표 2는 CSF의 대역폭이 40MHz에 24dB의 전압 이득을 가질 때 CSF의 특성을 나타낸다.

표 1. CSF 특성 (@40MHz, 0dB)

Table. 1 Performance of CSF (@40MHz, 0dB)

Supply	1.2V		
Corner	TT	FF	SS
Temp.	25℃	-40℃	120℃
Current [mA]	5.566	5.616	5.393
Gain [dB]	1.003	1.306	0.6984
Bandwidth [MHz]	41.52	39.12	42.83
OIP3 [dBm]	31.33	33.58	29.02
Atten. [dB]	41.18	40.54	43.19
In-band Ripple [dB]	1.046	0.6044	1.914
IRN [nV/sqrt(Hz)]	39.81	32.26	50.02

표 2. CSF 특성 (@40MHz, 24dB)

Table. 2 Performance of CSF (@40MHz, 24dB)

Supply	1.2V		
Corner	TT	FF	SS
Temp.	25℃	-40℃	120℃
Current [mA]	5.589	5.637	5.414
Gain [dB]	23.97	24.19	23.65
Bandwidth [MHz]	42.09	39.93	42.85
OIP3 [dBm]	38.76	40.92	36.92
Atten. [dB]	42.43	41.33	44.9
In-band Ripple [dB]	1.283	0.7005	2.257
IRN [nV/sqrt(Hz)]	8.5	6.951	10.6

V. 결 론

제안된 Channel Selection Filter (CSF)는 1.2V 40nm 1-poly 8-metal CMOS 공정에서 제작되었으며 CSF의 layout 면적은 $450 \times 210 \mu\text{m}^2$ 이다. 구현된 CSF의 아날로그 입력과 출력의 범위는 $1 V_{p-p}$ 이며 대역폭은 10MHz, 20MHz, 40MHz로 선택할 수 있다. CSF의 대역폭이 40MHz에 0dB의 전압 이득을 가질 때, OIP3는 31.33dBm이고 40MHz에서 120MHz까지의 attenuation은 41.18dB, in-band ripple은 1.046dB, Input Referred Noise (IRN)은 39.81nV/sqrt(Hz)이다.

감사의 글

본 연구는 교육부 기금으로 조성된 한국연구재단의 기초과학연구 사업 (2013R1A1A4A01012914)과 반도체설계교육센터(IDECE)의 지원을 받은 논문임.

REFERENCES

- [1] L. Van der Perre, B. Bougard, J. Craninckx, W. Dehaene, L. Hollevoet, et al, "Architectures and circuits for software-defined radios: scaling and scalability for low cost and low energy," in *IEEE Digest of Technical Papers International Solid-State Circuits Conference*, pp. 568-569, Feb. 2007.
- [2] L. Ye, Y. Wang, L. Chen, H. Liao, R. Huang, "Widely reconfigurable 8th-order chebyshev analog baseband IC with proposed push-pull op-amp for Software-Defined Radio in 65nm CMOS," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp.672-675, May 2012.
- [3] J. Jussila, A. Parssinen, K. Halonen, "A Channel Selection Filter for a WCDMA Direct Conversion Receiver," in *Proceedings of the 26rd European Solid-State Circuits Conference*, pp.264-267, Sept. 2000.
- [4] T.-Y. Lo, C.-C. Hung, M. Ismail, "A Wide Tuning Range Gm-C Filter for Multi-Mode CMOS Direct-Conversion Wireless Receivers," in *IEEE Journal of Solid-State Circuits*, pp.2515-2524, Sept. 2009.

이한열(Han-Yeol Lee)

2012.2 금오공과대학교 전자공학부 공학사
2012.3 ~ 현재 금오공과대학교 대학원 석사과정
※관심분야 : 고속 analog-to-digital converter, analog filter

황유정(Yu-Jeong Hwang)

2013.2 금오공과대학교 전자공학부 공학사
2013.3 ~ 현재 금오공과대학교 대학원 석사과정
※관심분야 : High-speed I/O interface, analog filter

장영찬(Young-Chan Jang)

1995.2 경북대학교 전자전기 공학부 공학사
2001.2 포항공과대학교 전자전기공학과 공학석사
2005.2 포항공과대학교 전자전기공학과 공학박사
2005.3 ~ 2009.8 삼성전자 반도체총괄 책임연구원
2009.8 ~ 현재 금오공과대학교 전자공학부 교수
※관심분야 : High-speed I/O interface, Data converter 및 Mixed mode analog IC design