고성능 HEVC 복호기를 위한 효율적인 32x32 역변환기 설계

한금희* · 류광기**

The Efficient 32x32 Inverse Transform Design for High Performance HEVC Decoder

Geumhee Han* · Kwangki Ryoo**

이 논문은 교육과학부와 한국연구재단의 지역혁신인력양성사업 및
지식경제부 출연금으로 수행한 ETRI SW-SoC 융합 R&BD 센터와의 공동 연구의 결과임

요 약

본 논문에서는 고성능 HEVC 복호기를 위한 효율적인 32x32 역변환기 하드웨어 구조를 제안한다. HEVC는 4k, 8k 이미지와 같이 기존의 이미지코덱에 비해 훨씬 더 큰 크기의 이미지를 처리할 수 있는 새로운 영상 압축 표준이다. 큰 이미지의 데이터를 효과적으로 처리하기 위해 다양한 새 블록 구조를 채택하였으며, 이 블록들은 4x4, 8x8, 16x16, 32x32로 구성되었다. 이 논문에서는 32x32 역변환기의 효과적인 구조를 제안하며, 역변환기의 구조는 32x32 행렬을 16x16 행렬로 재구성하고 쉬프트와 덧셈기로 구성된 곱셈기를 사용하여 연산을 단순화 하였으며 멀티 사이클 패스를 구현하여 낮은 주파수에서도 동작이 가능하도록 설계하였다. 또한 HEVC 코덱의 다양한 크기의 변환이나 순방향 변환 블록에 쉽게 적용할 수 있다.

ABSTRACT

In this paper, an efficient hardware architecture is proposed for 32x32 inverse transform HEVC decoder. HEVC is a new image compression standard to deal with much larger image sizes compared with conventional image codecs, such as 4k, 8k images. To process huge image data effectively, it adopts various new block structures. These blocks consists of 4x4, 8x8, 16x16, and 32x32 block. This paper suggests an effective structures to process 32x32 inverse transform. This structure of inverse transform adopts the decomposed 16x16 matrixes of 32x32 matrix, and simplified the operations by implementing multiplying with shifters and adders. Additionally the operations frequency is downed by using multicycle paths. Also this structure can be easily adopted to a multi-size transform or a forward transform block in HEVC codec.

키워드

HEVC, 이산코사인변환, 역변환, 비디오코딩

Key word

HEVC, Discrete Cosine Transform, Inverse Transform, Video Coding

* 준회원 : 한밭대학교 정보통신공학과

** 종신회원 : 한밭대학교 정보통신공학과(교신저자, kkryoo@hanbat.ac.kr)

접수일자 : 2012. 12. 07

심사완료일자 : 2013. 01. 05

I. 서 론

최근 영상처리 기술이 빠르게 발전하고 고해상도 TV와 스마트폰의 보급 등 멀티미디어 서비스가 대중화되면서 고해상도, 고품질에 대한 소비자의 기대치가 증가하고 있다. 따라서 FHD(Full High-Definition), UHD(Ultra High-Definition)와 같은 고해상도 영상을 지원할 수 있는 새로운 영상 압축 표준인 HEVC(High Efficiency Video Coding)의 개발이 요구되고 있다.

HEVC는 ITU-T/VCEG와 ISO-IEC/MPEG가 공동으로 설립한 JCT-VC(Joint Collaborative Team on Video Coding)에서 개발 중인 차세대 영상 압축 표준이다. 기존의 영상 압축 표준인 H.264/AVC와 거의 유사하나 압축률을 더 높이기 위해 몇 가지 새로운 방식이 채택되었으며, H.264/AVC에 비해 2배 이상 향상된 압축 효율 및 저복잡도를 목표로 현재 표준화를 진행 중에 있다[1,2].

HEVC의 압축 효율을 향상시키기 위해 연산이 복잡해지고 면적이 커지게 되는데 변환의 경우 4x4와 8x8 화소 단위의 변환을 사용하는 H.264/AVC에 비해 4x4, 8x8, 16x16, 32x32의 다양한 화소단위의 변환을 사용하기 때문에 복잡도가 높고 하드웨어 설계 시 크기가 상당히 증가하는 문제점이 발생한다.

따라서 본 논문에서는 HEVC용 역변환기의 복잡도와 연산량을 감소시키는 저면적 32x32 하드웨어 구조를 제안한다.

본 논문의 구성은 다음과 같다. 2장에서는 HEVC의 변환에 대해 기술하고, 3장에서는 제안하는 역변환 알고리즘에 대하여 기술한다. 4장에서는 제안하는 역변환 하드웨어 구조의 검증 및 성능 비교에 대해 기술하며, 5장에서는 본 연구의 결론을 도출한다.

II. HEVC 변환

HEVC의 변환과정은 그 이전 표준인 H.264/AVC와 동일하게 Integer DCT(Discrete Cosine Transform)를 기반으로 사용한다. 변환은 영상의 신호들을 주파수영역으로 변환하여 중복성을 줄이는 방법이며, 주파수 성분을 역변환하면 원래의 영상 신호로 복원된다. HEVC

에서는 압축효율을 향상시키기 위해 처리하는 블록의 크기를 4x4에서 최대 32x32까지 가변적으로 사용하며, 변환 및 양자화(Quantization)를 할 때 사용하는 기본 단위를 TU(Transform Unit)라 하고, TU는 RTQ(Residual Quadtree Transform)에 따라 분할하여 사용한다.

그림 1은 HEVC의 블록 구조를 나타낸다. CU(Coding Unit)의 크기에 따라 다양한 변환 블록의 크기를 사용할 수 있으며, 4x4 단위 크기에서 32x32 단위 크기까지 정사각형의 다양한 TU 크기를 사용한다. 다양한 크기의 TU(Transform Unit)를 처리해야 함으로 HEVC는 H.264/AVC에 비해 복잡도가 증가하게 된다.

그림 1. HEVC의 블록 구조
Fig. 1 HEVC Block Structure

HEVC에서는 처리해야 할 단위 블록의 크기도 커졌지만 전체 처리해야 할 프레임 영상의 크기도 증가하였기 때문에 실시간 처리를 위해서는 보다 높은 동작 주파수에서도 동작하는 효율적인 설계가 필요하게 되었다.

표 1. 영상크기에 따른 데이터 처리량 및 최소 동작 주파수 (30 frames/s)

Table. 1 According to the Image Size of the Data Throughput and Minimum Operating Frequency (30 frames/s)

구분	데이터처리량 (pixel)	동작 주파수 (MHz)
2K(2048x1080)	99,532,800	100
4K(4096x2160)	398,131,200	399
8K(8192x4320)	1,592,524,800	1,600

표 1은 영상크기에 따른 데이터 처리량 및 최소 동작 주파수를 나타낸다. 4K UHD 영상을 처리하기 위해서는 초당 398,131,200 pixel을 처리해야 하며, 그에 따라 요구되어지는 최소 동작 주파수는 399MHz이다. 영상크기가 커질수록 처리해야 하는 데이터양이 많아지고 요구하는 동작주파수도 높아짐을 알 수 있다.

III. 제안하는 역변환 알고리즘

3.1. 행렬의 재구성

DCT, 또는 DCT를 기본으로 하는 변환 알고리즘은 JPEG(Joint Photography Experts Group) 이후 여러 가지 영상압축코덱에서 채택되어왔다. DCT를 구현하는 여러 가지 방법들이 발표되어 왔는데 본 논문에서 채택한 방법은 변환행렬을 두 개의 행렬로 재구성하여 연산량을 줄이는 행렬 재구성 방법이다.

그림 2는 HEVC의 32x32 역변환행렬의 계수 관계를 나타낸다. 16x16, 8x8, 4x4 변환행렬은 32x32 변환행렬의 subset을 이루고 있고 32x32 행렬이 동작 주파수를 결정하는 최종 역할을 하기 때문에 본 논문에서는 32x32 변환블록의 구현에 중점을 둔다.

그림 2. Subset을 이루고 있는 역변환 행렬의 계수 관계

Fig. 2 Inverse Transform Coefficient of Subset Relationship

그림 3은 HEVC의 32x32 역변환 행렬을 나타낸다. 32x32 변환행렬이 상하 대칭이 되는 특성을 이용하여 두 개의 16x16 행렬로 재구성 할 수 있다.

	0	1	2	3	4	5	...	27	28	29	30	31
0	64	90	90	90	89	88	...	22	18	13	9	4
1	64	90	87	82	75	67	...	-61	-50	-38	-25	-13
2	64	88	80	67	50	31	...	85	75	61	43	22
3	64	85	70	46	18	-13	...	-90	-89	-78	-57	-31
4	64	82	57	22	-18	-54	...	73	89	88	70	38
5	64	78	43	-4	-50	-82	...	-38	-75	-90	-80	-46
...	...	...	...	...	...	...	...	...	...	...	...	...
26	64	-78	43	4	-50	82	...	38	-75	90	-80	46
27	64	-82	57	-22	-18	54	...	-73	89	-88	70	-38
28	64	-85	70	-46	18	13	...	90	-89	78	-57	31
29	64	-88	80	-67	50	-31	...	-85	75	-61	43	-22
30	64	-90	87	-82	75	-67	...	61	-50	38	-25	13
31	64	-90	90	-90	89	-88	...	-22	18	-13	9	-4

그림 3. 32x32 역변환 행렬
Fig. 3 32x32 Inverse Transform Matrix

그림 4는 재구성된 16x16 행렬을 나타낸다[4]. 행렬을 재구성함으로써 전체 곱셈 횟수가 줄어들어 연산량을 줄일 수 있다.

	0	1	2	...	13	14	15
0	64	90	89	...	25	18	9
1	64	87	75	...	-70	-50	-25
2	64	80	50	...	90	75	43
...	...	...	...	...	...	...	...
13	64	-80	50	...	-90	75	-43
14	64	-87	75	...	70	-50	25
15	64	-90	89	...	-25	18	-9

	0	1	2	...	13	14	15
0	90	90	88	...	22	13	4
1	90	82	67	...	-61	-38	-13
2	88	67	31	...	85	61	22
...	...	...	...	...	...	...	...
13	22	-61	85	...	-31	67	-88
14	13	-38	61	...	67	-82	90
15	4	-13	22	...	-88	90	-90

그림 4. 재구성된 두 개의 16x16 역변환 행렬
Fig. 4 Two Reconstructed 16x16 Inverse Transform Matrix

3.2. 쉬프트, 덧셈 연산만을 이용한 상수곱셈기 구성

일반적으로 사용하는 곱셈기는 임의의 변수와 변수의 입력을 전제로 하여 구성된다. 임의의 입력 숫자에 대하여 대응해야 하기 때문에 범용성을 갖추기 위해 하드웨어의 크기도 커지고 계산에 소요되는 시간도 증가한다. 그러나 곱셈기의 입력 중 하나가 상수일 경우에는 상수를 2의 제곱승을 이용하여 표현할 수 있으며, 2

의 제공은 하드웨어로 구현 시 시프트 로직으로 처리할 수 있기 때문에 연산량을 줄일 수 있다. 전체 상수와 변수의 곱셈기는 제한된 시프트 연산과 덧셈기로만 이루어지고 그 만큼 면적과 동작 속도를 향상시킬 수 있다. 수식 (1)부터 (3)까지는 상수와 변수의 곱셈의 예를 나타낸다.

$$89 = 2^6 + 2^4 + 2^3 + 1 \quad (1)$$

$$89 \times x = (2^6 + 2^4 + 2^3 + 1) \times x \quad (2)$$

$$89 \times x = (2^6 \times x) + (2^4 \times x) + (2^3 \times x) + x \quad (3)$$

식 (1)~(3)과 같이 상수는 2의 제곱승으로 표현한 후 쉬프트연산과 덧셈연산만으로 구현 할 수 있다.

3.3. 제안하는 구조

본 논문에서 제안하는 역변환기 구조는 동작주파수를 최종적으로 결정하는 32x32 행렬을 16x16 행렬로 재구성하였으며, 쉬프트와 덧셈기로 구성된 행렬 연산을 사용하여 연산을 간단히 하였다. 또한 멀티 사이클 패스를 구현하여 시간이 가장 많이 소요되는 연산 부분을 낮은 주파수에서도 동일한 양을 처리하도록 설계하였다.

기존의 행렬 연산 방법은 행렬의 열 만큼의 변수와 변수 곱셈기를 이용하여 입력데이터의 처리량 만큼 연산을 하는 방법을 채택하였다. 제안하는 구조는 역변환기의 특성이 상수와 변수의 곱셈으로 이루어짐을 이용하여 일반적인 곱셈기가 아닌 시프트와 덧셈기로 연산이 가능한 상수와 변수 곱셈기를 이용하였다.

상수곱셈기를 이용할 경우 고유한 개개의 상수를 곱하기 위해서 별도의 곱셈기가 필요하기 때문에 행렬 연산을 위해서는 행렬을 구성하는 상수의 종류 만큼 곱셈기가 필요하게 된다. 본 논문에서 구현하는 행렬의 경우를 적용시키면 재구성된 16x16 행렬 1개를 계산하기 위해 32개의 상수곱셈기가 필요하게 된다.

일반적인 경우의 변수곱셈기를 적용할 경우 16개가 필요한 것에 비교하면 2배의 곱셈기가 소요되지만 개별 곱셈기의 크기가 더 작기 때문에 전체 크기는 상수곱셈기의 경우가 더 작아지게 됨을 최종 하드웨어 설계를 통해 확인하였다.

그림 5는 재구성된 16x16 행렬의 계산을 나타낸다. 각각의 행렬 연산은 쉬프트와 덧셈연산만으로 계산 할 수 있다.

그림 5. 재구성된 16x16 행렬 계산
Fig. 5 Operation of a Decomposed 16x16 Matrix

한편 상수곱셈기의 숫자가 실시간 처리를 위한 최소 곱셈기의 숫자보다 2배가 되기 때문에 데이터 처리량은 2배가 된다. 하지만 실시간 처리를 위한 단위 시간당 데이터량은 일정하기 때문에 그림 6에서 나타난 바와 같이 주어진 데이터를 처리하고도 시간이 남게 된다.

그림 6. 단일 사이클 동작 모드
Fig. 6 Single Cycle Operating Mode

본 논문에서는 그림 7과 같이 곱셈 연산이 전체 블록에서 동작 주파수를 결정하는 가장 시간이 많이 걸리는 부분임을 고려하여 남은 시간을 이용하여 곱셈기 연산 부분을 멀티 사이클 패스로 구성하였다. 사이클 패스를 멀티 사이클 패스로 구현함으로써 동일한 양의 데이터를 처리할 경우 보다 낮은 주파수에서 동작시킬 수 있는 장점을 가진다.

그림 7. 멀티 사이클 동작 모드
Fig. 7. Multi Cycle Operating Mode

IV. 제안하는 구조의 검증 및 성능 비교

제안하는 역변환기 구조를 TSMC 0.18 μ m 표준 셀 라이브러리를 사용하여 IDEC에서 지원하는 Synopsys 툴로 합성한 결과 총 게이트(2-입력 NAND 게이트 기준) 수는 35k이다. 표 2는 제안하는 구조와 기존의 다른 구조간의 크기를 비교한 결과이다.

표 2. 역변환 하드웨어의 합성 결과 및 비교
Table. 2 Synthesis Result and Comparisons of The inverse Transform Hardware

구분	비교	Park[5]	제안한 구조
공정		0.18 μ m	0.18 μ m
동작주파수*		300MHz	200MHz
게이트 수		52.3K	35K
곱셈기 사용		No	No

표 2에서 볼 수 있듯이 Park[5]에서 제안한 구조의 연구 결과보다 31% 작은 면적으로 구현된 것을 볼 수 있다. 또한 제안한 구조는 낮은 주파수에도 동일한 양의 데이터 처리가 가능하기 때문에 전력 소모를 줄일 수 있다.

V. 결 론

본 논문에서 HEVC 복호기의 성능을 향상시키기 위해 곱셈기를 사용하지 않고 저전력 동작이 가능하도록 낮은 주파수에서 동작하는 저면적의 HEVC용 32x32 역변환기를 구현하는 방법을 제안하였다. 역변환구조는 곱셈기 대신 시프트와 덧셈기만을 사용하였고, 32x32 기본행렬을 두 개의 16x16 행렬로 재구성하여 연산을 단순화하였다. 또한 단위 시간당 일정한 데이터량을 처리하기 위해 연산 과정 중 여분의 사이클을 이용하여 병목현상이 발생하는 곱셈기 연산 부분을 멀티 사이클 패스로 구성하였다. 멀티 사이클 패스로 구현함으로써 시간이 가장 많이 걸리는 곱셈과 덧셈 연산 부분을 보다 낮은 주파수에서 동작시켜도 동일한 성능을 갖도록 설계하였으며, TSMC 0.18 μ m CMOS 공정 라이브러리를 이용하여 합성한 결과 게이트 수는 기존의 구조보다 30% 이상 감소함을 확인하였다.

본 논문에서 제안한 구조는 전치메모리를 결합하여 2-D 역변환기로 용이하게 확장 가능하며 적용된 방법은 부호기용 순방향 변환기에도 적용가능하다.

참고문헌

- [1] ITU-T, WD8: Working Draft 8 of High Efficiency Video Coding, JCTVC-J1003_d1, July 2012.
- [2] 황수진, 호요성, "HEVC를 이용한 양안식 영상의 효율적인 부호화 방법", 한국정보통신학회논문지, 제36권, 제12호, pp. 721-726, 2011.
- [3] 호요성 외, 차세대 비디오 압축 기술, 진샘미디어, 2011.
- [4] 박종태, 고속 DCT/IDCT 소자 설계, 조선대학교 석사학위논문, 1998.

- [5] Jong-Sik Park, Woo-Jin Nam, Seung-Mok Han, and Seongsoo Lee, "2-D Large Inverse Transform for HEVC, Journal of Semiconductor Technology and Science, Vol. 12, No. 2, pp. 203-211, 2012.
- [6] 정홍균, 류광기, "스케일링과 변환계수 복호를 위한 효율적인 하드웨어 설계", 한국정보통신학회논문지, 제16권, 제10호, pp. 2253-2260, 2012.
- [7] J. V. Team, Reference Software HM 8.1.

저자소개

한금희(Geumhee Han)

2008년 한밭대학교 공과대학
정보통신공학과 공학사
2013년 한밭대학교 정보통신
전문대학원 정보통신
공학과 공학석사

※ 관심분야: SoC 플랫폼 설계 및 검증, 영상 코덱 설계

류광기(Kwangki Ryoo)

1986년 한양대학교 공과대학
전자공학과 공학사
1988년 한양대학교 대학원
전자공학과 공학석사

2000년 한양대학교 대학원 전자공학과 공학박사
1991년~1994년 육군사관학교 교수부 전자공학과
전임강사

2000년~2002년 ETRI 시스템IC설계팀 선임연구원
2010년~2011년 Univ of Texas at Dallas 방문교수
2003년~현재 한밭대학교 정보통신공학과 교수

※ 관심분야: SoC 플랫폼 설계 및 검증, 하드웨어/소프트웨어 통합설계 및 검증, 멀티미디어 코덱 설계