技術論文

DOI:10.5139/JKSAS.2010.39.1.56

위성 관제용 반송파 복원부 설계 및 구현

이정수*, 오치욱*, 서규재*, 오승환*, 채장수*, 명로훈*

Design and Implementation of Carrier Recovery Loop for Satellite Telemetry and Tracking & Command

Jung-Su Lee*, Chi-Wook Oh*, Gyu-Jae Seo*, Seung-Han Oh*, Jang-Soo Chae*
and Noh-Hoon Myung*

ABSTRACT

A Satellite transponder is mounted on the Satellite and performs radio communications with the ground station. A Digital transponder compared to The analog transponder is made easy and accurate performance prediction. Also Modulation Scheme, Data Rate, Loop Bandwidth, Modulation Index and etc. can be changed on orbit, by implementing FPGA can reduce the weight and volume. The core technology of digital transponder is Carrier Recovery loop. Dynamic Range, Frequency Tracking Range, Frequency Tracking Rate and Coherent performance are determined by the performance of the Carrier Recovery loop. In this paper, we proposed the structure of Carrier Recovery loop for the Satellite digital transponder, then tested and verified the structure.

초 록

위성 트랜스폰더는 위성내부에 탑재되는 탑재체이며, 위성의 관제 및 제어를 위해 지상국과의 무선통신을 수행한다. 디지털 트랜스폰더는 기존의 아날로그 트랜스폰더에 비해 제작이 쉬우며 정확한 성능 예측이 가능하다. 또한 변복조 방식, Data Rate, Loop Bandwidth, Modulation Index 등의 기능이 위성궤도 상에서 변경 가능하며, 많은 아날로그 부품을 디지털로 구현하여 무게 및 부피를 줄일 수 있다. 디지털 트랜스폰더의 핵심 기술은 반송파 복원부이며, 반송파 복원부의 성능에 의해 Dynamic Range, 주파수 추적 범위, 주파수 추적 Rate 및 Coherent 등의 성능이 결정된다. 따라서 본 논문에서는 위성용 디지털 트랜스폰더에 적합한 반송파 복원부의 구조를 제안하고 이를 시험 및 검증하였다.

Key Words : Carrier Recovery loop(반송파 복원부), Transponder(트랜스폰더)

1. 서 론

위성 트랜스폰더는 위성내부에 탑재되는 탑재체이며, 위성의 관제 및 제어를 위해 지상국과의

무선통신을 수행한다. 기존의 아날로그 트랜스폰더는 많은 아날로그 부품을 이용하여 설계 및 제작되며, 생산 단계에서 단종 부품 및 설계 변경 요소가 발생할 경우 대체 부품 수급 및 대체 설계 등에서 많은 문제점이 유발된다. 또한 Data Rate, Loop Bandwidth, Modulation Index 등의 간단한 설계 변경을 하기 위해서도 복잡한 재설계 과정과 제작 과정이 요구된다.

† 2010년 9월 27일 접수 ~ 2010년 12월 11일 심사완료

* 정회원, 한국과학기술원 인공위성연구센터
교신저자, E-mail : cortot@satrec.kaist.ac.kr
대전광역시 유성구 과학로 335

따라서 디지털 기술을 바탕으로 소프트웨어로 재구성이 가능한 디지털 트랜스폰더 개발이 이루어지고 있는 추세이며, 제작 및 성능구현상의 유연성이 낮은 아날로그 트랜스폰더에 비해 재제작이 쉬우며 정확한 성능 예측이 가능하다. 디지털 트랜스폰더는 Data Rate, Loop Bandwidth, Modulation Index 등의 설계 변경을 간단한 소프트웨어 업데이트를 통해 구현이 가능하며, 많은 아날로그 부품을 디지털로 구현하여 무게 및 부피를 줄일 수 있다[1~3].

디지털 트랜스폰더의 핵심 기술은 반송파 복원부이며, 반송파 복원부의 성능에 의해 Dynamic Range, 주파수 추적 범위, 주파수 추적 Rate 및 Coherent 등의 성능이 결정된다. 본 논문에서는 반송파 복원부의 구조에 대해 소개하고, 설계된 반송파 복원부의 시험 결과를 나타낸다.

II. 본 론

2.1 디지털 트랜스폰더 구조

그림 1은 S 대역 디지털 트랜스폰더 기능 블록도이며, RF Front-End 시스템과 디지털 IF 시스템으로 구성되며 상하향 링크의 주파수 비율인 221:240의 기준이 되는 주파수인 F_0 기반으로 동작된다[5]. RF Front-End 시스템은 수신된 S-band 신호를 증폭 및 IF로 하향 변화하는 수신부와 데이터 변조 및 S-band 신호로 상향 변환하는 송신부 그리고 로컬 신호 발생부로 구성된다. 디지털 IF 시스템은 주파수 추적을 위한

반송파 복원부, 부반송파 복원부, Coherent 회로, PSK/PM & BPSK & QPSK & GMSK를 지원하는 다중 변조부, 수신된 Ranging 회로, Channel Coding 회로 등으로 구성된다. 이중 디지털 IF 시스템의 반송파 복원부 개발이 가장 중요하며 선행되어야 한다.

따라서 이러한 기능을 구현하기 위해 FPGA를 이용한 디지털 IF 보드를 개발하였으며, 우주용으로 사용하기 위한 모델이 아닌 소프트웨어 주요기능 블록 개발용으로 설계 및 제작되었다. 그림 2는 제작된 디지털 IF 보드이며, 전력소모 및 우주용 ADC, DAC 성능을 고려하여 IF단의 샘플링 주파수를 $2.5F_0$ 클럭(22.9 ~ 24MHz)으로 동작되게 시스템간 인터페이스를 설계하였다. 또한 RF Front-End시스템과 디지털 IF 시스템이 기준 주파수를 공유하게 설계하여, Coherent 동작이 가능하게 하였다[4].

그림 2. 제작된 디지털 IF 보드

그림 1. S 대역 디지털 트랜스폰더 기능 블록도

며 PCM/PSK/PM 및 BPSK 데이터 역시 정상적으로 수신 가능하였다. 또한 최소한의 Coefficient를 가지는 FIR Filter로 설계하여 실제 FPGA로 구현할 때 최소한의 Gate 점유율을 가지도록 하였다. 다만 주파수 Sweep 없이 Costas Loop의 주파수 추적 범위는 제한적이며 False Lock의 위험성도 존재한다. 따라서 AFC를 추가로 설계하여 반송파 복원부의 성능을 향상시켰다.

$$\alpha = \frac{1}{\sqrt{1 + \frac{N_0 B_{AGC}}{P_c}}} \quad (1)$$

$$B_L = \frac{\alpha K_p^2 + K_l}{4K_p} \quad (2)$$

2.4 AFC(Automatic Frequency Control)

주파수 차이 검출 알고리즘으로 그림 5의 상단의 블록과 같이 Decision Directed 방식을 사용하였다[7]. Decision Directed 방식을 사용할 경우 그림 6과 같이 톱니 형태의 파형이 검출되며 기준 주파수 대비 입력 주파수의 높고 낮음에 따라 톱니의 방향이 결정되며, 기준 주파수 대비 입력 주파수 차이에 의해 톱니의 기울기가 결정된다. 이를 이용하여 주파수를 검출하는 구조이며, Delta Phase와 Phase Unwarp를 통해 톱니 형태의 파형에서 주파수 차이 값으로 변환된다. SNR이 낮은 신호의 경우 잡음에 의한 영향을 최소한으로 줄이기 위해 Integrated & Dump를 이용하여 잡음을 제거한 후 적분기를 이용하여 주파수 차이를 누적하여 DDS(Direct Digital Synthesizer)를 통해 보정하였다. 현재 구현된 AFC는 중심주파수에서 약 $\pm 150\text{kHz}$ 까지 주파수 추적이 가능하며, S 대역 디지털 트랜스폰더의 요구사항인 $\pm 300\text{kHz}$ 의 주파수 추적을 주파수 Sweep 없이 동작하기 위해서는 중심주파수의

그림 6. Decision Directed 출력 파형

Offset 상태까지 감안하여 $\pm 600\text{kHz}$ 까지 주파수 추적이 가능하여야 한다. 이를 해결하기 위해서는 AFC의 동작 샘플링 주파수를 4배정도 높이거나 주파수 Sweep 기능을 추가할 필요성이 있으며, 트랜스폰더 전체 시스템을 구성 및 시험하여 최적의 방법을 도출할 예정이다.

2.5 AGC(Automatic Gain Control)

S 대역 디지털 트랜스폰더의 Dynamic Range는 90dB이며 이를 만족하기 위해 IF단에 가변 증폭기가 내장된다. 이 가변 증폭기를 제어하기 위해 그림 3의 좌측 상단과 같이 디지털 제어 AGC를 FPGA 내부에 설계 및 구현하였으며, DAC를 통해 제어된다. 입력되는 신호의 크기에 따라 반송파 복원부의 Loop Gain이 달라지며, 정밀한 Lock Detection 및 Loop Bandwidth 조절을 위해서 AGC의 정확한 제어가 중요하다. 이를 위해 낮은 SNR 환경에서도 동작이 가능하게 Noncoherent AGC로 설계하였으며, 신호 세기 검출 알고리즘으로 식 3을 사용하였다[1][8]. 식 3은 I & Q 채널의 최대 최소값을 간단한 연산 후 더해 신호의 크기를 검출하는 알고리즘으로 구현하였으며, ADC 입력 신호 기준을 -13dBm 으로 설정하였다. 시험 결과 가변 증폭기의 증폭

그림 5. AFC(Automatic Frequency Control) 블록도

범위 내에서 모두 제어가 가능하며 동일 변조 파형에서는 $\pm 0.1\text{dB}$ 이내의 정밀도를 보인다. 하지만 PCM/PSK/PM 신호의 경우 CW 신호나 BPSK 신호 대비 약간의 차이를 보이며 이는 신호 세기 검출 알고리즘에서 발생하는 오차로 파악된다. 따라서 구현상 복잡성 및 FPGA 게이트 점유율 등의 문제로 구현되지 않은 식 4의 신호 세기 검출 알고리즘을 활용하여 기존 대비 차이 점을 시험 할 예정이다.

$$P_c = \text{Max}(|I|, |Q|) + \frac{1}{2} \text{Min}(|I|, |Q|) \quad (3)$$

$$P_c = \sqrt{I^2 + Q^2} \quad (4)$$

2.6 시험 결과

구현된 반송파 복원부 기능검증을 위해 IN-SNEC사의 cortex CRT(Command Ranging & Telemetry)와 연동하여 기능시험을 수행하였으며, 기능시험 블록도는 그림 7과 같다. CRT의 입출력 주파수는 70MHz 대역이므로 Digital IF 보드와의 연동을 위해 IF Front-End를 설계 및 제작하였으며, S 대역 디지털 트랜스폰더의 RF Front-End와 최대한 유사하게 설계하였다. 가변 증폭기를 H/W로 구현하여 AGC 제어를 검증하였으며, 시리얼 통신을 사용하여 Digital IF 보드의 변복조 방법 및 데이터 속도 등을 가변할 수 있게 설계 및 시험하였다.

주파수 추적 시험을 위해 주파수를 순간적으로 Offset을 주어 그 후 정상적으로 주파수를 추적하는 시험을 수행하였으며, 그림 8을 주파수 추적 과정에서 오실로스코프로 측정한 I 채널 파형이다. 주파수 Offset이 작을 경우 주로 Costas

(a) 1kHz 주파수 Offset

(b) 10kHz 주파수 Offset

(c) 100kHz 주파수 Offset

그림 8. 주파수 추적시험

그림 7. 기능시험 블록도 (CRT & IF Front-End 연동)

Loop에 의해 주파수가 추적되며, 주파수 Offset 이 클 경우 AFC에 의해 주파수가 추적되다가 어느 정도 중심주파수 부근으로 주파수가 추적되면 Costas Loop에 의해 주파수가 추적되는 결과를 보였다. 또한 Loop Bandwidth에 의해 주파수 추적 속도가 달라지며, 트랜스폰더 최적의 Loop Bandwidth는 RF Front-End와 연동 후 입력 신호의 레벨에 따라 시험 및 분석하여 최적의 값을 결정할 예정이다.

그림 9는 CRT에서 변조된 PCM/PSK/PM 신호를 반송파 복원부로 복조한 파형이다. PCM/PSK/PM는 데이터 신호를 16kHz의 Subcarrier에 PSK 변조한 후 반송파 신호에 위상변조(PM) 한 신호이며, 따라서 Costas Loop 형태의 반송파 복원부로 복조될 경우 식 5, 6와 같은 신호로 검출된다. M_{index} 는 Uplink 신호의 Modulation Index 수치를 나타내며, f_{sc} 는 Uplink 신호의 부반송파 주파수, $D(t)$ 는 NRZ-L 형태의 데이터 신호를 나타낸다.

$$I_{ch}(t) = \sin(M_{index} * 2\pi f_{sc} D(t)) \quad (5)$$

$$Q_{ch}(t) = \cos(M_{index} * 2\pi f_{sc} D(t)) \quad (6)$$

그림 9에서의 파형은 Modulation Index가 $\pi/4$ 일 때의 I 및 Q 채널 파형이며 이중 I 채널 신호

그림 9. PCM/PSK/PM 복조 파형

그림 10. BPSK 복조 파형

를 부반송파 복원부에 입력하여 데이터 신호를 복조한다. 그림 10은 CRT에서 변조된 BPSK 신호를 반송파 복원부로 복조한 파형이며, 데이터 속도는 512kbps 일때의 파형이다. 실제 1024kbps 까지 정상적으로 수신됨을 확인하였으며, CRT에서 송신된 데이터 신호와 비교 시 정상적으로 수신됨을 확인하였다.

III. 결 론

본 논문에서는 S 대역 디지털 트랜스폰더 수신부의 핵심기술인 반송파 복원부를 설계 및 구현하였다. 반송파 복원부는 크게 수신된 신호의 위상을 추적하는 Costas Loop와 주파수를 추적하는 AFC, 그리고 신호의 세기를 일정하게 제어하는 AGC로 구성되며, FPGA를 이용하여 디지털 기반으로 기능을 구현하였다. 구현된 기능 검증 위해 IF Front-End와 연동하여 기능시험을 수행하였으며, 주파수 추적 및 신호 세기 제어 등의 기능이 정상 동작함을 확인하였다. 또한 국제표준 규격(CCSDS)의 지상국 장비와의 데이터 Loop Back 시험을 수행하였으며, PCM/PSK/PM 및 BPSK 데이터가 정상적으로 수신되는 것을 확인하였다. 현재 작성된 논문은 Xilinx Virtex5를 사용하여 설계되었으며, 현재 사용된 점유율은 반송파 복원부 및 부반송파 복원부 등을 포함한 수신부 전체가 약 15% 정도이며 FPGA Gate 수로 환산하면 150만 Gate이다. 차후 ASIC으로 변환 시 약 10만 Gate 정도를 가질 것으로 파악되며, ASIC에서 TMR(triple-module redundancy) 사용을 감안하면 40만 Gate 정도 될 것으로 판단된다. 또한 Xilinx Virtex5는 개발단계에서 사용된 FPGA이며, 최종적인 Target FPGA는 Actel RTAX2000이며 TID 및 SEE 등의 방사능 특성을 모두 만족하며, 위성 heritage를 보유하고 있다. 본 기술은 디지털 기반으로 국제표준 규격에 따라 트랜스폰더의 핵심기술인 송파 복원부의 구조의 동작 타당성을 검증하였다는데 큰 의미가 있으며, 차후 개발 과정에서 나타난 문제점을 보완하여 S 대역 디지털 트랜스폰더 시험모델(EM)을 개발할 예정이다.

후 기

본 연구논문은 교육과학기술부의 우주핵심기술개발사업의 예산으로 KAIST 인공위성연구센터의 지원을 받아 작성되었습니다.

참고문헌

- 1) Wesley P. Millard, Christopher B. Haskins, "X-band digital receiver for the New Horizons spacecraft", Aerospace Conference, 2004. Proceedings. 2004 IEEE Vol. 3, Issue 29902, 6-13 March 2004.
- 2) Tomoaki Toda, Hirofumi Saito, Zenichi Yamamoto, Hideho Tomita, Kazumi Sagawa, Shinji Yamada, and Kazutoshi Sugoyama, "X-Band Deep Space Digital Transponder and Regenerative Ranging", JAXA Research and Development Report, Oct 29, 2004.
- 3) L. Shone, D. Gelfusa, S. Cocchi, M. C. Comparini, D. Fiore, V. Piloni, A. Rapposelli, and M. Capannolo, "A novel digital platform for deep space transponders_the receiver side", IEEE Aerospace Conference Proceedings, 2004.
- 4) 이정수, 오승한, 오치욱, 서규재, 채장수, 명로훈, "S 대역 디지털 트랜스폰더를 위한 디지털 IF H/W 개발", 한국항공우주학회 2010년도 춘계 학술발표, pp. 513 ~ 516.
- 5) Radio Frequency and Modulation Part 1 Earth Stations and Spacecraft, CCSDS 401.0-B20, Blue Book, 2009.
- 6) J. B. Berner, J. M. Layland, and P. W. Kinman, "Flexible Carrier Loop Design for the Spacecraft Transponding Modem (STM)", TMO Progress Report 42-135, November 15, 1998.
- 7) M. Rice, C. Dick, and F. Harris, "Maximum likelihood carrier phase synchronization in FPGA-based software defined radios", Acoustics, Speech, and Signal Processing Proceedings., IEEE International Conference on, pp. 889 - 892 vol. 2, 2001.
- 8) K.M. Cho, "Optimum gain control for A/D conversion using digitized I/Q data in quadrature sampling", Aerospace and Electronic Systems, IEEE Transactions on, Vol. 27, Issue 1, 1991.