저전력 용량성 센서 인터페이스를 위한 저잡음 CMOS LDO 레귤레이터 설계

권보민 · 정진우 · 김지만* · 박용수** · 송한정†

Design of the low noise CMOS LDO regulator for a low power capacitive sensor interface

Bomin Kwon, Jinwoo Jung, Jiman Kim*, Yongsu Park**, and Hanjung Song†

Abstract

This paper presents a low noise CMOS regulator for a low power capacitive sensor interface in a 0.5 μm CMOS standard technology. Proposed LDO regulator circuit consist of a voltage reference block, an error amplifier and a new buffer between error amplifier and pass transistor for a good output stability. Conventional source follower buffer structure is simple, but has a narrow output swing and a low S/N ratio. In this paper, we use a 2-stage wide band OTA instead of source follower structure for a buffer. From SPICE simulation results, we got 0.8 % line regulation and 0.18 % load regulation.

Key Words : LDO regulator, line regulation, load regulation, buffer, sensor interface

1. 서 론

최근 카메라를 내장한 이동통신 단말기가 인기를 끌고 있다. 이러한 카메라를 내장한 이동통신 단말기에는 영상을 촬영하고, 촬영된 신호를 영상 신호로 출력하는 카메라 센서 칩이 탑재된다. 이러한 카메라 센서 칩의 노이즈의 대부분은 전원 노이즈이기 때문에, 카메라 센서의 인터페이스에 안정한 전원을 공급해 주는 전원 장치가 필요하다^[1].

정확하고 정밀한 전원을 제공할 수 있는 회로로는 PMIC(power management integrated circuit)의 하위 시스템인 LDO(low drop-out)레귤레이터와 벡컨버터(buck converter)가 있다^[2]. 이중 LDO 레귤레이터는 벡컨버터보다 효율은 떨어지지만 선형 방식의 제어로 인하여 우수한 저잡음 특성을 가지며 저 소비전력을 가진다. 따라서 센서의 인터페이스에 Fig. 1과 같이 LDO

를 삽입하여 센서의 전원 잡음을 최소화할 수 있다^[3].

카메라 센서를 비롯하여 모든 전자기기들은 부하응답에 크게 영향을 받는다. LDO의 부하전류의 변화는 오류증폭기가 패스 트랜지스터를 부하 전류의 변화에 따라 구동함으로써 변화값을 보상할 수 있게 될 때까지 LDO의 출력전압 수준을 변화시킨다. 이 기간 동안에 LDO 출력부에 전압 스파이크들이 생성된다. 이 때의 지연시간을 줄이면 출력전압 오류를 최소화 할 수 있다^[4]. 특히 고속 칩은 MHz의 주파수에서 동작하는데, 이에 따라 부하전류는 매우 짧은 시간동안 0에서 전체 값까지 변화하게 된다. 전자기기의 안정된 전압 공급을 위해서는 부하전류에 크게 영향을 받지 않는

Fig. 1. Block diagram of the capacitive interface sensor IC with LDO circuits.

인제대학교 나노시스템공학과(Department of Nano Systems Engineering, Center for Nano Manufacturing, Inje University)

*인제대학교 나노공학부(Department of Nano Engineering, Inje University)

**충청대학교 전기전자학부(Department of Electronics, Chung cheong University)

†Corresponding author : hjsong@inje.ac.kr

(Received : November 6, 2009, Revised : December 18, 2009)

Accepted : December 21, 2009)

Fig. 2. Basic block diagram of LDO regulator.

회로 설계가 필요하다^[5]. 본 논문에서는 저전력 용량성 센서 인터페이스를 위하여 부하전류에 크게 영향을 받지 않는 빠른 천이응답 특성을 가지는 저잡음 LDO 레귤레이터를 설계하고자 한다.

2. CMOS LN-LDO 레귤레이터 회로 설계

기본적인 구조의 LDO 레귤레이터 회로도 Fig 2와 같다. LDO 레귤레이터는 오류증폭기(error amplifier), 기준전압회로와 패스 트랜지스터, 저항으로 구성된다. LDO 레귤레이터의 출력 전압은 패스 트랜지스터로 사용된 PMOS에 의해서 전압 강하되어 출력된다. 출력 전압의 일부는 저항 R1과 R2의 전압분배에 의해 오류증폭기로 귀환하여 들어가게 되고, 기준전압과 비교하여 그 차이만큼 증폭된 신호를 출력한다. 그 차이만큼 증폭된 신호가 패스 트랜지스터를 제어하여 출력 전압을 일정하게 만든다^[6].

Fig. 2의 출력전압 관련 식은 다음과 같다.

$$V_{OUT} \cong \left(1 + \frac{R_1}{R_2}\right) V_{REF} \quad (1)$$

기본적인 구조의 LDO 레귤레이터는 안정도를 향상시키기 위하여 Fig. 3과 같이 오류증폭기와 패스 트랜지스터 사이에 버퍼를 삽입하는 것이 제안된 바 있다^[7]. 버퍼를 삽입하였을 경우 고속 슬루잉 동작이 가능하도록 용량성 부하를 낮게 유지시킬 수 있다. 또한 고입력 임피던스, 낮은 출력 임피던스, 넓은 대역폭을 가지게 된다^[8].

주로 버퍼로 사용되며 간단하게 구현할 수 있는 구조로는 소스팔로워 구조가 있다. 소스팔로워 버퍼구조는 안정도를 향상하는 데는 문제가 없지만, 출력 스윙이 좁고, 신호대 잡음비가 저하되는 문제점이 있다^[9].

패스 트랜지스터를 구동하기 위해서는 출력 스윙이

Fig. 3. LDO regulator circuit with a buffer structure for fast transient response.

Fig. 4. Proposed LDO circuit using 2-stage wide band OTA.

가능한 넓어야 한다. 높은 부하전류와 낮은 입력저항을 가질 때는 그라운드 ‘GND’에 가깝게 동작을 해야 하고, 낮은 부하전류를 가질 때는 입력전압 ‘Vin’에 가깝게 동작해야 한다.

Fig. 4는 제안하는 LDO 회로도로서 오류증폭기로는 큰 이득을 가지고 증폭하는 차동입력단을 가진 1단 차동증폭기를 사용하였다. 버퍼로는 소스팔로워의 출력 스윙이 좁다는 문제점을 개선하기 위해 2단 광대역 OTA를 버퍼로 사용하기를 제안한다. 이 버퍼단은 큰 전류 구동 능력을 가지고 rail-to-rail의 큰 전압 스윙을 만들어 줄 수 있다.

3. SPICE 시뮬레이션

LDO 레귤레이터의 성능은 라인 레귤레이션(line regulation)과 부하 레귤레이션(load regulation)의 크기에 따라 결정된다. 라인 레귤레이션과 부하 레귤레이션의 값이 작을수록 출력 전압은 안정적이다. 제안하는 LDO 레귤레이터의 성능을 알아보기 위하여 0.5 μm CMOS 공정을 사용하여 SPICE 시뮬레이션을 하였다.

(a) Waveform of output voltage during input voltage variation

(b) Enlarged waveform of output voltage

Fig. 5. Simulation results of LDO line regulation.

3.1. 라인 레귤레이션

라인 레귤레이션은 입력 전압단의 변화로 초래되는 출력 전압단의 변화이다. 라인 레귤레이션의 계산식은 다음과 같이 표현된다.

$$\text{Line Regulation} = \frac{\Delta V_{out}}{\Delta V_{in}} \times 100\% \quad (2)$$

Fig. 5(a)는 입력전압을 0 V~5 V까지 선형적으로 증가시켰을 때 출력전압의 변화를 나타내고 있다. 대략 2.3 V 이상의 입력 전압을 인가했을 때부터 출력전압이 일정하게 나오는 것을 볼 수 있다. Fig. 5(b)와 같이 입력 전압이 2.5 V에서 5 V로 변화할 때 출력 전압은 2.25 V에서 2.23 V로 대략 200 mV정도 차이를 가지고 바뀌는 것을 볼 수 있다. 이때의 라인 레귤레이션을 계산하면 0.8 %로 나타난다.

드롭아웃 전압(dropout voltage)은 정상적인 레귤레이터 동작을 유지하는 입력 전압과 출력 전압의 최소 값이다. 본 논문에서 출력전압의 오차를 ± 0.1 V로 두었기 때문에 정상적으로 동작하는 입력의 동작범위는 2.5 V~5 V이다. 제안하는 LDO 회로의 드롭아웃 전압은 Fig. 5(b)와 같이 최소 입력 값 2.5 V와 출력전압

Fig. 6. Output voltage variation by pulse voltage.

Fig. 7. Load regulation of LDO(load current:10~170 mA).

2.25 V의 차이인 250 mV로 나타났다.

입력 전압이 갑자기 급격하게 변할 경우 출력전압이 안정한지를 확인하기 위하여 Fig. 6과 같이 입력에 펄스전압을 인가하여 출력전압을 확인하였다. 2.5 V~5 V로 변화하는 주기 20 μ s의 펄스전압을 인가하였을 경우, 입력 전압이 상승할 때 10 mV의 피크전압을 출력하였다.

3.2. 부하 레귤레이션

부하 레귤레이션은 출력 부하의 변동에 의해 초래되는 출력 전압의 변화로 식(3)과 같이 나타낸다.

$$\text{Load Regulation} = \frac{V_{NL} - V_{FL}}{V_{FL}} \times 100\% \quad (3)$$

* V_{NL} : 무부하(no-load)에 따른 출력전압

* V_{FL} : 전부하(full-load)에 따른 출력전압

선형적으로 증가하는 출력 부하전류에 따른 DC응답 특성은 10 mA~170 mA까지 일정한 전압을 출력하였고, 부하 레귤레이션을 계산한 결과 0.18 %로 나타났다.

출력 부하전류는 동작 상태에 따라 변할 수 있다. 예를 들어 휴대폰의 경우, 대기 중인 상태와 어떤 성능을 위하여 동작하고 있을 때 동작되는 회로나 트랜지스터의 수가 다를 수 있다. 이는 출력 부하전류의 변화를

(a) Transient response by pulse load current

(b) Undershoot waveform during a increase of load current

(c) Overshoot waveform during a decrease of load current

Fig. 8. Output voltage variation by pulse load current about a basic LDO regulator without buffer.

유발하는데, 이 출력 부하전류는 출력 전압의 값에도 영향을 미친다. 동작 모드가 변함에 따라 바뀌는 출력 부하 전류에 빠르게 응답할 수 있어야 한다. 출력부하 전류가 빠르게 응답하기 위하여 버퍼의 쓰임에 대하여 앞서 이야기하였다. 버퍼는 오류 증폭기 출력단의 높은 출력 저항을 패스 트랜지스터의 높은 부하 커패시턴스로부터 절연시켜 패스 트랜지스터를 신속하게 동작시키도록 해준다.

제안하는 버퍼가 사용되었을 경우와 사용되지 않았을 경우를 비교하기 위해 Fig. 8에 버퍼가 사용되지 않았을 경우에 대하여 시뮬레이션하였다.

(a) Transient response by pulse load current

(b) Undershoot waveform during a increase of load current

(c) Overshoot waveform during a decrease of load current

Fig. 9. Output voltage variation by pulse load current of the proposed LDO with a buffer.

Fig. 8(a)는 Fig. 1의 버퍼가 없는 기본 LDO 레귤레이터의 변동하는 입력전압에 따른 출력전압의 파형을 본 것이다. 입력 펄스 부하전류는 10 mA~170 mA로 주기 2 ms를 가지고 변동하고 있다. Fig. 8(b)와 같이 부하 전류가 10 mA부터 170 mA까지 상승할 때, 언더슈트는 180 mV로 나타났다. 이때의 세팅 시간은 300 μs이다. 부하 전류가 170 mA부터 10 mA까지 하강할 때, 오버슈트는 190 mV로 나타났다. 이때의 세팅 시간은 600 μs이다.

Table 1. Summary of proposed LDO simulation result

Technology	0.5 μm CMOS tech.
Input Voltage Range	2.5 ~ 5 V
Output Voltage	2.24 V
Drop Output	250 mV
Line Regulation	0.8 %
Load Regulation	0.18 %
Overshoot voltage	156 mV
Undershoot voltage	158 mV
Settling time	2.5 μs (10 mA $\rightarrow$ 170 mA) 5 μs (170 mA $\rightarrow$ 10 mA)

Fig. 9는 제안하는 버퍼가 추가된 LDO회로의 출력전압 변동을 본 것이다. Fig. 9(a)과 같이 변동하는 펄스 부하전류가 인가되는 경우, 다음과 같은 출력전압의 천이응답 상태를 볼 수 있다. 인가되는 펄스 부하전류의 범위는 10 mA~ 170 mA로 주기 100 μs 를 가지고 변동하고 있다.

부하 전류가 10 mA부터 170 mA까지 상승할 때, 언더슈트는 158 mV로 나타났다. 이때의 세팅 시간은 2.5 μs 이다. 부하 전류가 170 mA부터 10 mA까지 하강할 때, 오버슈트는 156 mV로 나타났다. 이때의 세팅 시간은 5 μs 이다.

따라서 버퍼가 사용될 때와 버퍼가 사용되지 않을 경우는 확연히 차이가 남을 알 수 있다. 버퍼가 사용되었을 경우가 훨씬 빠른 천이 응답시간을 가지게 되고, 오버슈트나 언더슈트도 더 작게 나타난다.

설계한 LDO 레귤레이터의 시뮬레이션 결과를 Table 1과 같이 정리하였다.

4. 결 론

본 논문에서는 저잡음 LDO 레귤레이터를 설계하기 위하여 주로 사용되는 소스팔로워 버퍼 대신 2단 광대역 OTA 버퍼를 제안하였다. 기존의 소스팔로워 버퍼는 신호대 잡음비가 저하되고 출력스윙이 좁다는 문제가 있는데, 제안하는 2단 광대역 OTA를 버퍼단으로 사용할 경우 이 문제점을 해결할 수 있다. 제안하는 버퍼단은 rail-to-rail의 큰 출력스윙을 제공하며, 이로 인해 빠른 천이응답 특성을 가지게 된다.

제안하는 버퍼를 가진 LDO 회로의 천이응답 시간은 2.5 μs 와 5 μs 이고, 버퍼를 가지지 않은 LDO 회로의 천이응답 시간은 0.3 ms과 0.6 ms이다. 제안하는 버퍼를 가진 LDO 회로는 버퍼를 가지지 않았을 때보다 천이응답 시간을 120배나 단축시킬 수 있다.

감사의 글

본 논문은 IDEC(IC Design Education Center)의 지원으로 이루어졌습니다.

참고 문헌

- [1] M. Paavola, M. Kamarainen, M. Saukoski, and K. Halonen, "A micropower low-dropout regulator with a programmable on-chip load capacitor for a low-power capacitive sensor interface", *IEEE International Conference on Electronics, Circuits and Systems*, pp. 450-453, 2008.
- [2] Chunlei Shi, B.C. Walker, E. Zeisel, B. Hu, and GH McAllister, "A highly integrated power management IC for advanced mobile applications", *IEEE J. Solid-State Circuit*, vol. 42, no. 8, pp. 1723-1731, 2007.
- [3] S. M. Ha, S. H. Seo, and J. Y. Sin, "A 2-stage CMOS operational amplifier with temperature compensation function for sensor signal processing", *J. Kor. Sensors Soc.*, vol. 18, pp. 280-285, 2009.
- [4] G. A. Rincon-Mora, "Active capacitor multiplier in miller-compensated circuits", *IEEE J. Solid-State Circuits*, vol. 35, pp. 26-32, 2000.
- [5] R. K. Dokania and G. A. Rincon-Mora, "Cancellation of load regulation in low drop-out regulators", *Electronics Letters*, vol. 38, no. 22, pp. 1300-1302, 2002.
- [6] V. Mannama, R. Sabolotny, and V. Strik, "Ultra low noise low power LDO design", *Baltic Electronics Conference*, pp. 1-4, 2006.
- [7] C-W Lin and Y-J Liu, "A power efficient and fast transient response low drop-out regulator in standard CMOS process", *IEEE International Symposium on VLSI Design, Automation and Test*, pp. 1-4, 2006.
- [8] J. Ramirez-Angulo, S. G. Ivan Padilla, R. G. Carvajal, A. Torralba, M. Jimenez, F. Munoz, and Antonio Lopez-Martin, "Comparison of conventional and new flipped voltage structures with increased input/output signal swing and current sourcing/sinking capabilities", *IEEE International Midwest Symposium on Circuits and Systems*, pp. 1151-1154, 2005.
- [9] R. G. Carvajal, J. Ramirez-Angulo, A. J. Lopez-Martin, A. Torralba, J. A. G. Galan, A. Carlosena, and F. M. Chavero, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design", *IEEE Trans. Circuits and Systems I*, vol. 52, no. 7, pp. 1276-1291, 2005.

권 보 민

- 2009년 2월 인제대학교 나노공학부 (공학사)
- 2009년 3월 인제대학교 대학원 나노시스템공학과 재학중

정 진 우

- 2009년 2월 인제대학교 나노공학부 (공학사)
- 2009년 3월 인제대학교 대학원 나노시스템공학과 재학중

김 지 만

- 2004년 3월 인제대학교 나노공학부 재학중

박 용 수

- 센서학회지 제18권, 제2호, p. 31 참조
- 현재 충청대학교 전기전자학부 부교수

송 한 정

- 센서학회지 제18권, 제2호, p. 31 참조
- 현재 인제대학교 나노공학부 부교수