리드 온 칩 패키징 기술을 이용하여 조립된 반도체 제품에서 패시베이션 박막의 TC 신뢰성에 영향을 미치는 요인들

이성민[†] · 이성란*

인천대학교 신소재공학부, *공주대학교 보건학부

Factors to Influence Thermal-Cycling Reliability of Passivation Layers in Semiconductor Devices Utilizing Lead-on-Chip (LOC) Die Attach Technique

Seong-Min Lee[†] and Seong-Ran Lee*

Department of Materials Science & Engineering, University of Incheon, 177 Dohwa-dong, Nam-gu, Incheon, S. Korea

*Division of Health, Kongju National University, 182 Shinkwan-dong, Kongju, Chungnam, S. Korea

(2009년 1월 22일 접수 : 2009년 3월 11일 최종수정 : 2009년 3월 24일 채택)

Abstract This article shows various factors that influence the thermal-cycling reliability of semiconductor devices utilizing the lead-on-chip (LOC) die attach technique. This work details how the modification of LOC package design as well as the back-grinding and dicing process of semiconductor wafers affect passivation reliability. This work shows that the design of an adhesion tape rather than a plastic package body can play a more important role in determining the passivation reliability. This is due to the fact that the thermal-expansion coefficient of the tape is larger than that of the plastic package body. Present tests also indicate that the ceramic fillers embedded in the plastic package body for mechanical strengthening are not helpful for the improvement of the passivation reliability. Even though the fillers can reduce the thermal-expansion of the plastic package body, microscopic examinations show that they can cause direct damage to the passivation layer. Furthermore, experimental results also illustrate that sawing-induced chipping resulting from the separation of a semiconductor wafer into individual devices might develop into passivation cracks during thermal-cycling. Thus, the proper design of the adhesion tape and the prevention of the sawing-induced chipping should be considered to enhance the passivation reliability in the semiconductor devices using the LOC die attach technique.

Key words lead-on-chip package, semiconductor, passivation, thermal-cycling, reliability.

1. 서 론

반도체 칩은 실리콘 등의 세라믹 재질로 구성되어 있다. 그러나, 반도체 칩 상단의 미세한 회로를 외부의 가혹한 환경으로 부터 보호하고 반도체 칩을 전자제품에 효율적으로 장착하기 위해 패키징을 하게 된다. 이때, CPU 등 고가의 반도체 제품의 경우 Al_2O_3 등 세라믹 재질을 이용하여 패키징 하는 경우가 있지만, 일반 메모리 칩을 포함한 대부분의 반도체 제품은 에폭시를 모체로 한 플라스틱 재질을 이용하여 패키징 하게 된다. 이러한 플라스틱 패키징 몸체는 몰딩이 쉽고 반도체 칩을 외부의 스크래치나 화학적 공격으로부터 보호하는 기능은 좋으나,

실리콘 칩과의 과도한 물성차이로 인해 신뢰성 테스트 과정에서 회로에 여러 가지 물리적 손상을 유발하는 것으로 보고되어 왔다.¹⁻⁵⁾ 이러한 불량 발생의 예방차원에서 플라스틱 패키지 몸체내에는 실리콘과의 물성차를 줄이기 위한 여러 가지 첨가재들이 들어가게 된다. 실리카와 같은 강화재가 대표적인 첨가재들이며, 이는 패키지 몸체의 강도를 향상시킬 뿐만아니라 패키지 몸체의 열팽창 계수를 낮추어 칩 표면의 회로손상을 막아주는 역할을 하게 된다. 그러나, 과도한 강화재의 사용은 자칫 몰딩의 어려움을 초래할 수 있어 이러한 노력에도 한계가 있으며, 강화재로 인한 회로의 손상에 대한 우려도 무시할 수 없는 상황이다. 더불어 리드 온 칩 패키지의 경우 리드 프레임을 칩 표면에 장착하기 위해 사용되는 접착 테이프에 의해서도 회로가 영향을 받는 것으로 보고되었다.³⁾ 또한, 세라믹 웨이퍼의 특성상 두께 조절을 위한 그라인

[†]Corresponding author

E-Mail : smlee@incheon.ac.kr (S. -R. Lee)

딩 단계나 개별 소자로의 분리를 위한 다이싱 단계에서 기계적인 마찰에 의한 공정이 보편적으로 적용되고 있어 이에 따른 회로손상의 위험성 또한 우려되는 사항이다. 무엇보다 반도체 칩의 메모리 용량이 계속적으로 증가하면서 회로의 선폭이나 보호막 두께의 감소에 따른 칩 표면의 거칠기 등이 악화되면서 위에서 언급된 여러 가지 요인들로 인한 회로 손상의 위험성은 점차 심화되고 있다.²⁾ 따라서 본 연구에서는 회로를 보호하는 세라믹 특성의 패시베이션의 신뢰성에 미치는 인자들에 대한 연구를 진행해 보았다.

2. 실험 방법

8인치 직경의 실리콘 웨이퍼에 1 μm 두께의 SiO_2 를 도포한 후 알루미늄을 이용한 금속배선을 0.8 μm 두께로 스퍼터 공정에 의해 코팅하였다. Al 배선을 보호하는 역할을 수행하는 불활성 패시베이션 막질은 CVD (chemical vapor deposition) 기술을 이용하여 만들어진 SiN 박막으로 0.4 μm 두께로 도포하였다. 통상 SiN 막질은 CVD에 의해 도포될 경우 900°C 정도까지 재결정 없이 안정한 비정질 상태로 남아 플라스틱 패키징 구조에서는 수분흡수에 의한 금속 회로의 부식을 효과적으로 차단할 수 있기 때문에 가장 널리 쓰이는 보호막질이다. 본 연구에서는 패시베이션 막질의 신뢰성 검증을 위해 일반적으로 최종 응력 완충 역할을 수행하는 폴리이미드 층의 도포가 생략되었다.

760 μm 의 실리콘 웨이퍼는 패터닝이 완성된 후 210 μm 까지는 325mesh의 그라인더를 이용하여 두께를 조절하고 200 μm 까지는 1500mesh의 그라인더를 이용하여 최종적으로 이면을 가공하였다. 다이싱 공정은 15 μm 두께의 다이아몬드 휠을 이용하여 45,000rpm의 속도로 진행하였다. 결과적인 개별 실리콘 칩의 두께를 200 μm , 칩 면적은 1.0×2.0 cm^2 의 크기로 준비하여 EMC (epoxy molding compound)를 이용하여 LOC (lead-on-chip) 형태로 조립하였다. (Fig. 1 참조) LOC 구조는 120 μm 두께의 리드 프레임 alloy 42를 이용하여 패키징 하였으며, 리드 프레임을 칩 위에 장착하기 위한 접착 테이프는 DSAT (double-sided adhesive tape) 형태를 갖도록 준비하였다. 이때, 칩 표면의 패턴에 미치는 접착 테이프의 영향을 평가하기 위해 10개의 시편은 정상적인 리드프

Fig. 1. Cross-sectional view of LOC package.

레이프 테이프가 부착되어 조립되고, 나머지 10개의 시편에서는 리드프레임이나 접착재 없이 조립되었다.

신뢰성 실험은 패시베이션 균열에 가장 민감한 반응을 나타내는 TC (thermal-cycling)로 한정되어 실시하였다. 온도변화 실험은 1000 cycle까지 수행되었으며 실험 조건은 Fig. 2에 정리하였다. 온도변화 실험을 마친 시편들은 패키지 몸체를 KOH를 이용하여 제거한 후 불량 발생 여부를 광학현미경을 이용하여 1차적인 조사를 실시하였고, 균열 발생이 많은 부위는 SEM (scanning electron microscope)을 이용하여 정밀 조사하였다.²⁾

3. 결과 및 고찰

3.1 공정관련 요인

반도체 회로를 보호하는 패시베이션 막질은 SiN으로 구성되어 대단히 취성이 큰 특성을 지닌다. 따라서, 반도체 회로와 패시베이션이 도포된 웨이퍼의 가공 과정에서 패시베이션의 손상은 충분히 예견될 수 있는 사항이지만 이에 대한 깊이 있는 연구는 미진한 편이다. 본 연구에서는 일차적으로 회로와 패시베이션이 도포된 웨이퍼에 325mesh의 그라인더를 이용하여 두께를 조절하고 200 μm 까지는 1500mesh의 그라인더를 이용하여 최종적으로 이면을 가공하였을 경우 실리콘 파편으로 인한 패시베이션의 영향에 대해 분석해 보았다. Fig. 3에 제시된 사진에서 볼 수 있듯이 기계적인 마찰과정은 필연적으로 실리콘 파편을 양산하게 된다. 문제는 이러한 파편의 크기와 모양이 그림에서 볼 수 있듯이 패시베이션 막질 두께 0.4 μm 에 비해 대단히 크고 거칠어 패시베이션 표면을 별

Fig. 2. Thermal-cycling profile.

Fig. 3. A scanning electron micrograph showing silicon dust.

Fig. 4. A scanning electron micrograph showing dicing-induced damage.

도의 보호재로 도포해 주지 않을 경우 패시베이션에 직접적인 손상을 유발할 수 있다는 사실이다. 대부분의 반도체 회사에서는 그라인딩 공정시 비닐성분의 테이프를 도포하여 이를 보호하고 있기 때문에 그라인딩과 관련된 패시베이션 손상은 없는 것으로 판단된다. 그러나 웨이퍼의 다이싱 공정은 패시베이션에 치명적인 손상을 입힐 수 있는 것으로 조사되었다. 일반적으로 웨이퍼의 다이싱은 다이아몬드 입자들이 박혀 있는 절단날을 이용하여 마찰에 의해 웨이퍼를 절단하게 된다. 이때 기계적인 마찰로 인해 패시베이션 (혹은 회로)이 손상되는 것을 최소화하기 위해 패틴이 존재하는 액티브 표면의 반대편 웨이퍼 이면에서 다이싱이 시작되어 액티브 면까지 이르도록 공정이 진행되는데 휠의 고속회전으로 인한 충격과 웨이퍼 고유의 취성으로 인해 휠이 이면에서 전면을 관통하기 전에 웨이퍼가 분리된다. 그 결과 웨이퍼의 최종 분리과정은 휠과 웨이퍼의 마찰보다는 휠 회전력으로 인한 충격에너지에 의한 파손에 의해 발생하기 때문에 해당 부위에 존재하는 패시베이션의 손상은 필연적이다. 따라서 이러한 손상을 예견하여 모든 웨이퍼에는 분리선 (보통 100 μm 정도의 폭)을 두어 이에 대해 대비하고 있으나

Fig. 5. A scanning electron micrograph showing passivation damage after 1000 thermal cycles.

Fig. 6. A graph showing the effect of packaging materials on passivation reliability.

분리선에서 기계적인 손상이 개별 소자의 회로까지 이어지는 경우 또한 배제할 수 없다. Fig. 4는 다이싱에 의한 손상이 분리된 개별소자의 회로부근까지 침범한 경우를 보여주는 사진이다. 이의 예방을 위해서는 분리선의 폭을 넓히는 것이 유리하지만 분리선의 폭이 넓을수록 웨이퍼 당 개별소자의 수가 줄어들 수 있기 때문에 극히 제한적인 방법이다. 더욱이 이러한 다이싱 결함의 존재는 신뢰성 실험과정에서 회로내로 파고들어 회로를 손상시키는 결과를 초래할 수 있다. Fig. 5는 TC 1000 cycles 이후 다이싱 결함이 개별소자의 내부로 깊숙이 파고들었다는 것을 보여준다. 이에 대한 해결책으로 분리선 위에는 패시베이션과 같이 취성이 큰 막질의 존재를 가급적 제한하거나 불연속으로 처리하는 것이 필요하다는 것을 알 수 있다.

3.2 구조적 요인

본 연구에서는 패시베이션에 직접적으로 접촉되는 리

드-온-칩 구조에서 플라스틱 패키지의 몸체와 리드 프레임 접착 테이프가 패시베이션의 TC 신뢰성에 미치는 영향에 대한 분석을 위해 A 형태의 시편들은 정상적으로 리드 프레임 접착 테이프를 이용하여 조립하고, B 형태의 시편들은 실험을 위해 리드 프레임 접착 테이프 없이 조립하여 TC (thermal-cycling) 실험을 수행하였다. 그 결과가 어느 경우에도 Fig. 6에 제시된 것처럼 TC 횡수가 증가하면서 패시베이션 균열의 발생빈도는 높아진다는 것을 알 수 있다.²⁾ 이는 플라스틱 패키지 몸체 또는 테입과 실리콘 칩 사이의 열팽창계수 차로 인한 응력이 패시베이션에 가중되어 패시베이션이 파손될 수 있기 때문인 것으로 해석된다. 이때, 특이한 것은 리드 프레임 테이프가 존재하지 않을 경우 TC 횡수에 관계 없이 전반적으로 패시베이션 균열의 발생빈도가 대단히 낮다는 사실이다. 이 결과는 리드 프레임 접착 테이프의 열팽창계수 값이 플라스틱 패키지 몸체의 열팽창계수 값보다 4배 이상 크기 때문인 것으로 해석되며 이에대한 타당한 수식은 다음과 같다.

일반적으로 물성이 서로 패키징 재료 (플라스틱 패키지 몸체 혹은 접착 테이프)와 실리콘 칩 사이에 존재하는 패턴 (즉, 패시베이션 막질)에 발생하는 응력에 대한 해석은 TC 구간 (즉, +150 °C에서 -65 °C)의 온도변화에 의해 칩 표면의 박막에 발생하는 응력 중 패시베이션 균열에 가장 큰 역할을 하는 것으로 알려진 전단응력에 대한 평가에 의해 이루어진다.²⁾ 즉, 2개의 서로 다른 물성을 가진 두꺼운 재료의 열팽창 차이에 의해 중간의 박막이 받게 되는 전단응력;

$$\tau = \frac{(\alpha_1 - \alpha_2)TG \sin h \beta x}{\left[\sqrt{\frac{G}{t} \left(\frac{1}{E_1 t_1} + \frac{1}{E_2 t_2} \right)} \right] \cosh \beta L} \quad (1)$$

where,

x = distance from the chip center

L = package dimension

($\alpha_2 - \alpha_1$) = difference in thermal expansion coefficient between two thick layers

E_1 = elastic modulus of upper layer

E_2 = elastic modulus of lower layer

t_1 = thickness of upper layer

t_2 = thickness of lower layer

t = thickness of interlayer

G = shear modulus of interlayer

T = temperature

$$\beta = \sqrt{\frac{G}{t} \left(\frac{1}{E_1 t_1} + \frac{1}{E_2 t_2} \right)}$$

식 (1)에서 두 개의 두꺼운 층에 의해 중간의 박막에

Fig. 7. A scanning electron micrograph showing filler-induced damage.

서에서 받게 되는 최대의 전단응력은 다음과 같은 관계식으로 나타낼 수 있다. 즉, $x \rightarrow L$ 일 때, 전단응력은 최대가 되며 그때의 응력 값은 다음과 같다.

$$\tau_{\max} = \frac{(\alpha_1 - \alpha_2)TG \tan h \beta x}{\left[\sqrt{\frac{G}{t} \left(\frac{1}{E_1 t_1} + \frac{1}{E_2 t_2} \right)} \right]} \quad (2)$$

where L = package dimension and $\tanh \beta L \approx 1$

식 (2)에서 볼 수 있듯이 실리콘 칩과 플라스틱 패키지와의 여러 가지 물성차이에 의해 칩 표면의 패시베이션에서 받게되는 전단응력이 칩의 위치 (L)에 상당히 민감하게 의존한다는 것을 알 수 있다. 특히, 식 (2)의 상층 (layer 1)을 플라스틱 재질이 아닌 리드 프레임 테이프에 대한 물성 값으로 대입할 경우 최대 전단응력 값은 열팽창 계수의 차이 만큼 커질 수 있다는 것을 예측할 수 있다.

결국, 리드 온 칩 패키지의 경우 접착 테이프에 의한 영향이 워낙 지배적으로 크기 때문에 플라스틱 패키지 몸체의 열팽창력 저하를 위해 세라믹 강화재를 지나치게 투입할 필요가 없다는 것을 알 수 있다. 강화재가 만일 리드프레임과 칩사이의 공간에 끼어들 경우 TC 실험동안 패시베이션에 직접적인 손상을 입힐 수 있기 때문이다. Fig. 7은 리드 프레임과 칩 표면사이에 끼인 강화재들에 의해 TC 1000 횡수가 지난 후 패시베이션이 손상된 모습을 보여주는 전자현미경 사진이다. 결론적으로 패시베이션의 TC 신뢰성 확보를 위해서는 패키지 전체 구조상에서 각 구성 재료들의 개별적인 역할 뿐만아니라 이들의 상호작용으로 인해 발생하는 복합적인 문제들에 대한 종합적인 분석이 필요하다는 것을 알 수 있다.

4. 결 론

리드 온 칩 패키지로 조립되는 반도체 회로를 보호하

는 패시베이션 막질은 본 연구에서 살펴 본 것처럼 여러 가지 요인들에 의해 그 신뢰성에 영향을 받으며, 이들 요인들의 상호 연관성에 대한 깊이 있는 연구는 디바이스 패턴에 대한 패키지 구조의 영향을 최소화할 수 있는 방안을 찾는 데 큰 도움을 줄 수 있다는 것을 알 수 있었다. 특히, 메모리 용량의 증가로 인해 회로는 점차 복잡해지는 반면, 패시베이션 두께는 점차 얇아지는 상황에서 패시베이션의 신뢰성을 확보하기 위해서는 패키지 공정뿐만 아니라 박막공정과 회로 설계에서부터 신뢰성 문제를 미연에 예견하여 문제의 소지를 예방하려는 노력이 필요하다는 것을 본 연구에서는 보여준다. 예를 들어, 웨이퍼의 절단선 위에 패시베이션 막이 부분적으로 제거되도록 설계할 경우 다이싱 공정이나 리드 온 칩 패키지 디자인상에 여러 가지 유연성이 확보되어 공정 원가절감이나 고 품질의 제품생산으로 이어질 수 있다는 것을 본 연구에서는 지적하고 있다.

감사의 글

본 연구는 2008년도 인천대학교 자체연구비에 의하여 수행되었기에 이에 감사드립니다.

참 고 문 헌

1. S. M. Lee and K. W. Lee, Jpn. J. Appl. Phys., **41**, 5465 (1996).
2. S. M. Lee, Jpn. J. Appl. Phys., **45**(10A), 7677 (2006).
3. S. M. Lee, Met. Mater Int., **11**(1), 89 (2005).
4. M. Lamson, D. Edwards, S. Groothuis and G. Heine, in Proceedings of the IEEE 45 ECTC (Las Vegas, Nevada, May, 1995) p.1045.
5. Z. Q. Jiang, Y. Huang and A. Chandra, J. of Electronic Packaging, **119**, 127 (1997).