전하 포획 플래시 소자를 위한 $\text{Al}_2\text{O}_3/\text{La}_2\text{O}_3/\text{SiO}_2$ 다층 박막 구조의 메모리 특성

차승용 · 김효준 · 최두진[†]

연세대학교 신소재공학과

Memory Characteristics of $\text{Al}_2\text{O}_3/\text{La}_2\text{O}_3/\text{SiO}_2$ Multi-Layer Structures for Charge Trap Flash Devices

Seung-Yong Cha, Hyo-June Kim and Doo-Jin Choi[†]

Department of Materials Science and Engineering, Yonsei University, Seoul 120-749, Korea

(2009년 7월 24일 접수 : 2009년 8월 28일 최종수정 : 2009년 9월 3일 채택)

Abstract The Charge Trap Flash (CTF) memory device is a replacement candidate for the NAND Flash device. In this study, Pt/ $\text{Al}_2\text{O}_3/\text{La}_2\text{O}_3/\text{SiO}_2/\text{Si}$ multilayer structures with lanthanum oxide charge trap layers were fabricated for nonvolatile memory device applications. Aluminum oxide films were used as blocking oxides for low power consumption in program/erase operations and reduced charge transports through blocking oxide layers. The thicknesses of SiO_2 were from 30 Å to 50 Å. From the C-V measurement, the largest memory window of 1.3V was obtained in the 40 Å tunnel oxide specimen, and the 50 Å tunnel oxide specimen showed the smallest memory window. In the cycling test for reliability, the 30 Å tunnel oxide sample showed an abrupt memory window reduction due to a high electric field of 9~10 MV/cm through the tunnel oxide while the other samples showed less than a 10% loss of memory window for 10^4 cycles of program/erase operation. The I-V measurement data of the capacitor structures indicated leakage current values in the order of 10^{-4} A/cm² at 1V. These values are small enough to be used in non-volatile memory devices, and the sample with tunnel oxide formed at 850°C showed superior memory characteristics compared to the sample with 750°C tunnel oxide due to higher concentration of trap sites at the interface region originating from the rough interface.

Key words charge trap flash, La_2O_3 , tunnel oxide, MOCVD, SONOS.

1. 서 론

NAND Flash 메모리 소자는 현재 다양한 휴대용 기기에서 데이터 저장 매체로 널리 사용되고 있다. 그러나 ITRS (International Technology Roadmap for Semiconductor)에서는 현재의 NAND Flash는 약 25 nm node에서부터 인접 셀간의 간섭 현상과 aspect ratio 증가로 인한 기계적 불안정성 등의 문제로 인해 사용되기 어려울 것으로 예측하고 있다.¹⁾ 최근 이러한 고집적의 어려움을 해결하기 위한 차세대 비휘발성 메모리 개발의 일환으로 전하 포획 플래시 소자 (Charge Trap Flash, CTF) 소자에 대한 연구 개발이 진행되고 있다.^{2,3)}

전하 포획 소자는 크게 SONOS (poly-Si/ $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}$) 형태의 소자와 nanocrystal 소자로 나눌 수 있는데 nanocrystal 소자의 경우 양자점 분포의 균일성 문제가 해결되지 않고 있으며, 또한 SONOS 형태의 소자

는 양자점 형성과 같은 추가 공정을 필요로 하지 않으므로 제조상 더 유리한 장점을 가진다.

SONOS-type 메모리 소자는 기존 플래시 메모리에서 전하 저장을 위해 이용되던 다결정 실리콘 대신, 실리콘 질화물 (Si_3N_4)이나 하프늄 산화물 (HfO_2)과 같은 부도체를 전하 저장에 사용한다는 점에서 차이가 있다. 부도체 내에 물리적으로 불연속적으로 분포하는 트랩 내에 전하를 저장하므로, 다결정 실리콘에서 발생하던 셀 간 간섭 문제나 전하 유실 등을 억제할 수 있다.⁴⁾ 이러한 전하 포획 소자의 메모리 특성에서 상용화를 위해 개선되어야 할 점은 erase 동작 하에서의 전압 문제 및 retention 특성과 같은 신뢰성 문제이다.⁵⁻⁷⁾

본 연구에서는 신뢰성 문제 해결을 위하여 전하저장층으로 널리 연구되고 있는 Si_3N_4 대신 란타넘 산화물 (La_2O_3)을 전하 저장 물질로 사용하였다.⁸⁾ 또한, 실리콘 산화물 (SiO_2) 대신 이보다 두 배 정도 더 높은 유전상수를 가지는 알루미늄 산화물 (Al_2O_3)을 blocking oxide로 사용하여 터널 산화막에 작용하는 전계를 증가시켜 program 및 erase 동작을 더 낮은 전압에서 이루어질 수

[†]Corresponding author

E-Mail : drchoijdj@yonsei.ac.kr (D. -J. Choi)

Fig. 1. The energy band diagrams of the multilayer structures in (a) program operation and (b) erase operation.

있도록 하였다. 이러한 구조의 경우 La_2O_3 가 하부의 SiO_2 와 상부의 Al_2O_3 보다 전도대 (conduction band) 에너지 레벨이 낮아 program 동작을 통해 전하를 저장할 수 있게 된다.⁹⁾ Program 및 erase pulse를 인가할 때의 다층막 구조의 에너지 밴드 변화를 Fig. 1에 나타내었다. 이를 바탕으로 $\text{Al}_2\text{O}_3/\text{La}_2\text{O}_3/\text{SiO}_2$ 다층 유전막을 사용한 캐패시터를 제작하여 전기적 특성을 분석하였다.

2. 실험 방법

실리콘 웨이퍼의 표면에 존재하는 유기물 및 자연 산화막을 제거하기 위하여 유기 용매에 세척 후 10% HF 용액 처리를 하였다. SiO_2 터널 산화막 형성을 위하여 Rapid Thermal Oxidation (RTO)을 사용하여 750°C 및 850°C 에서 웨이퍼를 dry O_2 분위기에서 산화시켰다.¹⁰⁾ 산화막의 두께는 두께 변화에 따른 메모리 특성을 측정하기 위해 3 nm, 4 nm 그리고 5 nm로 달리하였다. 전하저장층으로 사용한 La_2O_3 박막 및 blocking oxide로 사용한 Al_2O_3 박막은 금속유기화학기상증착법 (MOCVD)을 사용하여 350°C , 667 Pa (5 torr)에서 증착하였다. La_2O_3 박막과 Al_2O_3 박막의 두께는 각각 7 nm, 15 nm이었고 이를 ellipsometer (Gaertner L117, $\lambda = 632.8 \text{ nm}$)와 고분해능 투과전자현미경 (HRTEM, JEM-2100, JEOL)으로 확인하였다. 상부 전극은 백금 (Pt)을 사용하였으며, shadow mask를 이용하여 DC magnetron sputtering으로 증착하였다. 만들어진 $\text{Pt}/\text{Al}_2\text{O}_3/\text{La}_2\text{O}_3/\text{SiO}_2/\text{Si}$ 캐패시터의 메모리 특성 관찰을 위하여 C-V (HP 4280A C-V plotter) 측정을 수행하였다. 측정 시 Program pulse는 5 V에서

13 V까지 1 ms ~ 1000 ms의 범위에서 변화시켜가며 인가하였다. Erase 역시 -5 V에서 -13 V 범위에서 동일한 시간 범위의 pulse를 인가하였다. 그리고 메모리 소자로서의 신뢰성 테스트를 위하여 10^4 회까지의 program/erase cycling을 수행 후 C-V 측정을 통해 메모리 특성의 변화를 관찰하였다. 또한 누설전류 특성을 분석하기 위하여 I-V (HP 4284A LCR Meter) 측정을 수행하였다.

3. 결과 및 고찰

Fig. 2에 실리콘 기판 위에 증착된 $\text{Al}_2\text{O}_3/\text{La}_2\text{O}_3/\text{SiO}_2$ 다층막의 고분해능 투과전자현미경 사진과 회절 패턴을 나타내었다. 터널 산화막 두께가 40 Å인 시편을 측정하였으며, 각 층의 두께가 각각 15 nm/7 nm/4 nm 정도임

Fig. 2. The HRTEM image of $\text{Al}_2\text{O}_3/\text{La}_2\text{O}_3/\text{SiO}_2/\text{Si}$ structure and diffraction pattern.

Fig. 3. Threshold voltage (V_{th}) shifts of (a) 30 Å, (b) 40 Å, (c) 50 Å tunnel oxide specimen after program pulse of 5~13 V and 1 ~ 1000 ms.

을 확인하였다. 또한 회절 패턴을 통해 전체 다층 유전막 구조가 비정질 상태임을 확인할 수 있었다.

Fig. 3은 터널 산화막을 850 °C에서 형성시키고, 두께를 30~50 Å으로 달리한 다층막 구조의 프로그램 동작의 전압과 시간에 따른 문턱전압 변화를 나타낸 그래프이다.

30 Å 터널 산화막을 사용한 시편의 경우, 비교적 낮은 프로그램 전압인 7 V부터 문턱전압 변화가 이루어지는 것을 볼 수 있다. 이는 전자의 터널링을 위한 에너지 장벽의 길이가 짧아서 전자가 통과할 확률이 증가하기 때문이다. Fig. 3(a)에서 (c)까지의 그래프를 비교해 보았을 때 터널 산화막의 두께가 두꺼워질수록 충분한 문턱전압 변화를 가져오기 위해 필요한 프로그램 전압이 증가하는 것을 확인할 수 있다. 최대 문턱전압 변화값은 터널 산화막이 30 Å 및 40 Å일 때 각각 3.3 V, 3.5 V로 유사한 값을 나타내었다. 산화막의 두께가 매우 얇을 경우 산화막 내에 결함이 존재할 때 전하 손실이 쉽게 일어나고 이로 인해서 30 Å 터널 산화막을 사용하였을 경우 프로그램 동작 후 C-V 측정 중에 전하 손실이 일어나게 된다. 이들 30 Å 및 40 Å 터널 산화막을 사용한 시편에서는 11 V 및 13 V에서 좋은 프로그램 특성을 나타내며 10 ms 이상의 동작 시간을 필요로 한다. 또한 50 Å 터널 산화막을 사용하였을 경우에는 전자의 터널링이 쉽게 일어나지 않기 때문에 프로그램 동작에 의한 충분한 문턱전압 변화가 일어나지 않는 것으로 나타났다. 30 Å 및 40 Å 터널 산화막을 사용한 시편의 경우 11 V 100 ms, 50 Å 터널 산화막의 경우 13 V 100 ms에서 좋은 특성이 관찰되었으며 따라서 Erase 동작 전의 프로그램 조건으로 결정하였다.

Fig. 4에 프로그램 후 erase pulse에 의한 문턱전압 변화를 나타내었다. 30 Å 터널 산화막 및 40 Å 터널 산화막 사용의 경우 -9 V부터 양호한 동작이 이루어졌다. 40 Å 터널 산화막 시편의 경우 -13 V 1000 ms에서 최대 1.3 V의 메모리 윈도우를 나타내었다. 이는 기존에 광범위하게 연구가 이루어지고 있는 Si_3N_4 를 사용하였을 경우의 약 5 V보다는 작은 값이며, 이를 통해 란타늄 산화물이 실리콘 질화물보다 트랩 밀도가 낮음을 알 수 있다.¹⁰⁾ 하지만 메모리 셀에서의 데이터 구분을 위한 차이로는 충분한 값이라고 생각된다. 30 Å 터널 산화막을 사용한 시편보다 40 Å 터널 산화막을 사용한 시편의 경우 메모리 윈도우가 약 0.2 V 정도 더 크게 나타났으며, 이는 프로그램 동작에 의한 문턱전압 변화 차이와 유사한 값이다. 따라서 프로그램 특성에서 나타난 전하 손실에 따른 차이에 따라 이러한 메모리 윈도우 차이가 나타나게 된다. 50 Å 터널 산화막 시편의 경우 -11 V까지는 충분한 문턱전압 변화가 나타나지 않다가 -13 V의 고전압을 인가하였을 때 erase 동작이 일어난 것을 볼 수 있

Fig. 4. Memory windows of (a) 30 Å, (b) 40 Å, (c) 50 Å tunnel oxide specimen after erase pulse of -5 ~ -13 V and 1 ~ 1000 ms.

었으며 또한 erase에 필요한 시간 또한 다른 두 시편보다 더 길게 나타났다. 세 시편 모두 프로그램 동작 후

Fig. 5. Threshold voltage changes after program/erase cycling test.

의 문턱전압 변화와 비교해 보았을 때 일반적으로 erase 동작 시에 프로그램 동작보다 좀 더 큰 전압이 필요하고 또한 오랜 시간이 걸리는 것을 확인하였다.

다층 박막 메모리 구조의 신뢰성 측정을 위해서 program/erase cycling test를 수행하였다. 30 Å 및 40 Å 터널 산화막을 사용한 시편의 경우 프로그램 조건은 11 V 100 ms, erase 조건은 -13 V 100 ms에서 측정하였고 50 Å 터널 산화막 시편의 경우 프로그램 13 V 100 ms, erase에는 -13 V 1000 ms를 사용하였다. 10^4 회까지의 측정 결과를 Fig. 5에 나타내었다. 30 Å 터널 산화막을 사용한 시편은 약 10^3 회의 동작부터 메모리 윈도우가 급격히 감소하였다. 실리콘 산화물은 약 10 MV/cm 정도의 유전 강도를 가지는 것으로 알려져 있는데,¹¹⁾ 터널 산화물의 두께가 30 Å 정도로 매우 얇은 경우 La_2O_3 및 Al_2O_3 박막과 SiO_2 터널 산화막 간의 유전상수 차이로 인하여 터널 산화막에 약 9 ~ 10 MV/cm의 큰 전계가 작용하게 되고 이로 인하여 터널 산화막의 유전파괴 현상이 쉽게 일어나게 된다. 반면 40 Å 및 50 Å 터널 산화막의 경우 각각 10^4 회 동작 후 각각 0.11 V, 0.07 V의 메모리 윈도우 감소가 나타났다으며 이는 각각 초기 문턱전압 차이의 8.5%, 6.4%에 해당한다. 이러한 결과로 미루어 볼 때, 40 Å 이상의 두께를 가지는 터널 산화막을 사용할 경우 플래시 메모리의 신뢰성 기준으로 제시되고 있는 10^5 회 작동이 충분히 가능할 것으로 생각된다. 또한 이러한 결과는 기존의 실리콘 질화물을 전하 저장에 이용하였을 때보다 더 뛰어난 특성을 보여주고 있다.¹⁰⁾

Fig. 6에 이들 $\text{Al}_2\text{O}_3/\text{La}_2\text{O}_3/\text{SiO}_2$ 다층막의 I-V 측정

결과를 나타내었다. 플래시 메모리 소자에서 읽기 동작을 위해서 주로 사용되는 전압인 1 V에서의 누설전류밀도는 30 Å, 40 Å 그리고 50 Å 터널 산화물을 사용한 시편에 대해 각각 $5.89 \times 10^{-4} \text{ A/cm}^2$, $2.16 \times 10^{-4} \text{ A/cm}^2$ 그리고 $1.72 \times 10^{-4} \text{ A/cm}^2$ 이었다. 이는 문턱전압 변화를 일으키기에는 매우 작은 값이므로 실제 메모리 소자에 적용 시 read disturb 문제는 일어나지 않을 것으로 생각된다. 전체 유전막의 두께는 각각 25 nm, 26 nm, 27 nm 인데 누설전류밀도에서 이처럼 차이가 나는 이유는 SiO₂의 경우 전도대 에너지 레벨이 La₂O₃ 및 Al₂O₃에 비해 높기 때문에 전자의 이동을 더 어렵게 하고, 따라서 전체 구조에서 blocking oxide와 전하 저장층에 비해 누설전류 감소에 미치는 영향이 더 크기 때문으로 판단된다.

실리콘 산화막의 형성 온도 변화에 따른 표면 특성의 차이와 그에 따른 메모리 특성 변화에 대해서도 알아보았다. Fig. 7(a)는 터널 산화막을 750 °C 및 850 °C로 변화시켜 40 Å의 동일한 두께로 형성시켰을 때의 AFM image이다. 850 °C로 형성시켰을 때의 RMS roughness는 15 Å이었고, 750 °C로 형성시켰을 때는 5.5 Å의 roughness가 측정되었다. 이러한 거칠기 변화를 통해 SiO₂/La₂O₃ 및 La₂O₃/Al₂O₃ 계면에서의 트랩 밀도를 변화시켜 메모리 특성에 미치는 영향을 알아보려고 하였다. Fig. 7(b)는 이들 터널 산화막 위에 메모리 다층막 구조를 만들고 program 및 erase를 수행하였을 때의 C-V 측정 결과이다. 850 °C에서 터널 산화막을 형성하였을 때 program/erase 차이가 더 큰 것을 볼 수 있다. 750 °C에서 산화시킬 경우에는 터널 산화막과 전하 저장층 사이 계면의

거칠기가 감소하게 되고 따라서 계면에서의 전하 트랩의 밀도가 감소하게 된다. 결과적으로 program/erase시 더 적은 문턱전압 변화가 나타나게 된다.¹²⁾ 따라서, 전하 포획 소자에서의 터널 산화막을 형성시킬 경우 SiO₂의 viscous flow가 일어나지 않는 온도 범위에서 거친 계면

Fig. 6. Current-Voltage characteristics of Pt/Al₂O₃/La₂O₃/SiO₂/Si capacitors.

Fig. 7. (a) AFM images of 750 °C - and 850 °C -grown 40 Å SiO₂ on Si. (b) C-V plots of Pt/Al₂O₃/La₂O₃/SiO₂/Si capacitors of 750 °C - and 850 °C -grown tunnel oxides after program and erase.

구조가 형성되도록 높은 온도에서 산화시키는 것이 유리하다는 것을 알 수 있었다.

4. 결 론

비휘발성 메모리 소자를 위한 다층 유전막 캐패시터 구조를 제작하여 그 전기적 특성을 측정하였다. 저전력으로 program/erase 동작이 가능하게 하고 동시에 전하 손실을 최소화하기 위하여 알루미늄 산화물 blocking oxide를 사용하였고 기존의 Si_3N_4 대신 La_2O_3 전하저장층을 사용하여 그 전기적 특성을 알아보았다. 터널 산화막의 형성 온도를 850°C 로 고정하고 두께를 $30\text{ \AA}$, $40\text{ \AA}$ 그리고 $50\text{ \AA}$ 로 변화시키면서 메모리 특성의 차이를 C-V 측정을 통해 분석한 결과 $40\text{ \AA}$ 터널 산화막을 사용한 경우 program 및 erase 시에 가장 큰 문턱전압 변화를 나타내었다. Program/erase 반복에 의한 신뢰성 측정 결과, $30\text{ \AA}$ 터널 산화막을 사용한 구조의 경우 약 10^3 회의 program/erase 반복에 의해 급격한 memory window 감소가 일어났으며 이는 반복적인 높은 전압 스트레스에 의해 생겨나는 결함으로 인한 유전 파괴 때문이다. $40\text{ \AA}$ 이상의 두께를 가지는 터널 산화막의 경우 이러한 현상이 관찰되지 않았고 10^4 회의 반복 후에도 10% 미만의 메모리 윈도우 감소만이 일어났다. I-V 측정을 통해 $2 \times 10^{-4}\text{ A/cm}^2 \sim 6 \times 10^{-4}\text{ A/cm}^2$ 단위의 누설전류밀도 값을 얻을 수 있었으며 메모리 소자로 사용하기에 충분히 작은 누설량을 나타내었다. 750°C 에서 형성한 실리콘 산화물 터널 산화막의 경우, 850°C 에서 형성하였을 때보다 더 평평한 계면 구조로 인해 계면에 포획되는 전하 밀도가 줄어들어 더 좋지 않은 메모리 특성을 나타내었다. 따라서, SiO_2 터널 산화막을 850°C 에서 $40\text{ \AA}$ 정도의 두께로 형성하였을 때 메모리 특성이 최적화되는 것을 확인하였다.

감사의 글

이 논문은 2008년 정부(교육과학기술부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임(KRF-2008-313-D00448).

참 고 문 헌

1. International Technology Roadmap for Semiconductors, PIDS (2008).
2. K. Kim and S. Y. Lee, Microelectron. Eng., **84**(9), 1976 (2007).
3. G. W. Burr, B. N. Kurdi, J. C. Scott, C. H. Lam, K. Gopalakrishnan and R. S. Shenoy, IBM J. Res. & Dev., **52**(4), 449 (2008).
4. M. H. White, D. A. Adams and J. Bu, IEEE Circuit. Dev. Magazine, **16**(4), 22 (2000).
5. J. A. Felix, J. R. Schwank, D. M. Fleetwood, M. R. Shaneyfelt and E. P. Gusev, Microelectron. Reliab., **44**(4), 563 (2004).
6. T. M. Pan and T. Y. Yu, Appl. Phys. Lett., **92**, 112906 (2008).
7. Y. N. Tan, W. K. Chim, B. J. Cho and W. K. Choi, IEEE T. Electron. Dev., **51**(7), 1143 (2004).
8. B. Sen, H. Wong, J. Molina, H. Iwai, J. A. Ng, K. Kakushima and C. K. Sarkar, Solid State Electron., **51**(3), 475 (2007).
9. S. Jeon, J. H. Han, J. H. Lee, S. Choi, H. Hwang and C. Kim, IEEE T. Electron. Dev., **52**(12), 2654 (2005).
10. J. Hwang, Kor. J. Mater. Res., **18**(10), 552 (2008).
11. H.-M. An, Y. J. Seo, H. D. Kim, K. C. Kim, J.-G. Kim, W.-J. Cho, J.-H. Koh, Y. M. Sung and T. G. Kim, Thin Solid Films, **517**(18), 5589 (2009).
12. C. M. Osburn and D. W. Ormond, J. Electrochem. Soc., **119**, 591 (1972).
13. Y. Shi, K. Saito, H. Ishikuro and T. Hiramoto, J. Appl. Phys., **84**(4), 2358 (1998).